

普通高等院校

电子信息类系列教材

*MoNi Yu*  
*ShuZi DianLu*

# 模拟与 数字电路

© 宁帆 张玉艳 编

 人民邮电出版社  
POSTS & TELECOM PRESS

普通高等院校电子信息类系列教材

# 模拟与数字电路

宁帆 张玉艳 编

人民邮电出版社

北京

## 图书在版编目(CIP)数据

模拟与数字电路 / 宁帆, 张玉艳编. —北京: 人民邮电出版社, 2009. 2  
(普通高等院校电子信息类系列教材)  
ISBN 978-7-115-19321-6

I. 模… II. ①宁…②张… III. ①模拟电路—高等学校—教材②数字电路—高等学校—教材 IV. TN710 TN79

中国版本图书馆CIP数据核字(2008)第191720号

## 内 容 提 要

本书是高等学校信息与通信专业、计算机专业等专业基础课教材。全书包括半导体元器件、放大器基础、模拟集成电路、功率放大器、数字与逻辑基础、逻辑门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器等 10 章最基本的教学内容。

本书理论性和实践性较强, 为了便于读者阅读理解, 全书按由浅入深的原则安排, 阐述模拟电路和数字逻辑电路的基本理论、基本概念和基本分析设计方法, 语言力求通俗易懂、文字简洁、观点明确、逻辑清晰, 并结合各章特点, 提供了例题、小结、思考题及习题等。

本书可以作为高等学校信息通信专业、计算机专业、自动控制专业及电子类工程技术人员的教材或教学参考书, 也可作为电子与通信工程专业工程硕士的复习参考书。

普通高等院校电子信息类系列教材

## 模拟与数字电路

- 
- ◆ 编 宁 帆 张玉艳  
责任编辑 滑 玉
  - ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号  
邮编 100061 电子函件 315@ptpress.com.cn  
网址 <http://www.ptpress.com.cn>  
北京铭成印刷有限公司印刷
  - ◆ 开本: 787×1092 1/16  
印张: 20.5  
字数: 499 千字  
印数: 1—3 000 册
- 2009 年 2 月第 1 版  
2009 年 2 月北京第 1 次印刷

---

ISBN 978-7-115-19321-6/TN

定价: 35.00 元

读者服务热线: (010) 67170985 印装质量热线: (010) 67129223  
反盗版热线: (010) 67171154

# 前 言

模拟与数字逻辑电路是针对电子信息类专业设置的专业基础课程。电子技术的发展直接推动计算机技术,带动信息、通信技术飞快发展,来势迅猛的变化,对工学类学科建设提出了新的挑战,出现了学科分裂和跨学科发展的情况,增加了各学科的课程种类。为此,我们根据技术发展的方向,结合 20 多年的教学实践,将模拟电子电路和数字逻辑电路进行有机地结合,由模拟分立元件电路的基本原理、分析方法,逐步向数字集成电路过渡,编写了本教材。

本书的编写原则,一方面要满足教学对基本理论和基本设计方法所提出的各种要求,为学生从事电子电路设计和学习专业课程打下坚实的基础;另一方面,也要考虑电子数字技术的近期发展,反映这些发展中所需要的基本知识和方法,使学生能更好地适应实际工作的需要。为此,编者结合新技术发展带来的新问题,使教材能够面向更多的使用者,在编写过程中尽量做到文字叙述通俗易懂,逻辑性强;内容安排循序渐进,便于自学。

鉴于上述情况,本书整合、归纳了模拟电路与数字逻辑电路,既满足通信、电子信息类专业的基本要求,又可以作为该专业工程硕士的入学复习参考书。全书共分 10 章,首先介绍半导体器件和基本放大器的分析方法,然后介绍了基本放大器的应用电路——模拟集成电路和功率放大器;为了体现新的技术发展,我们加强介绍了 CMOS 集成电路的内容,除了用相当篇幅叙述以小规模集成电路为基础的数字电路和逻辑设计之外,适当增强了中规模集成电路的内容。

北京邮电大学网络教育学院的李文海教授不辞辛劳,认真地审阅了书稿,并提出了许多宝贵意见;编者在教学及编写本书的过程中,得到了教研室高立、上官佑黎、姬艳丽、孙艳莲等老师的大力支持,在此谨向他们表示衷心的感谢。借此机会也向所有关心、支持和帮助过本书编写、出版、发行工作的同志们致以最诚挚的谢意。

本书第 1、2、3、4、5、6 章由宁帆编写,第 7、8、9、10 章由张玉艳编写。

由于编者的水平有限,书中缺点和不足在所难免,恳请读者批评指正。

编 者

# 目 录

<b>第 1 章 半导体元器件</b> .....	1	2.1.2 放大器工作原理.....	35
1.1 半导体基础知识.....	1	2.1.3 图解分析法.....	36
1.1.1 什么是半导体.....	1	2.1.4 等效电路分析法.....	39
1.1.2 本征半导体.....	2	2.1.5 共基极放大器的特点.....	43
1.1.3 杂质半导体.....	3	2.1.6 多级放大器.....	43
1.2 PN 结.....	4	<b>2.2 放大器的反馈</b> .....	47
1.2.1 PN 结的形成.....	4	2.2.1 反馈的基本概念.....	47
1.2.2 PN 结的单向导电性.....	5	2.2.2 反馈放大器的一般表 示式.....	51
1.2.3 温度对伏安特性的影响.....	6	2.2.3 负反馈对放大器性能的 影响.....	53
1.2.4 PN 结的反向击穿.....	7	2.2.4 两种常用的负反馈放大 电路.....	56
1.2.5 PN 结的电容效应.....	7	* 2.2.5 深度负反馈放大器的 计算举例.....	60
1.3 半导体二极管.....	8	2.2.6 负反馈放大器稳定工作的 条件.....	62
1.3.1 二极管的结构和符号.....	8	<b>2.3 放大器的频率特性</b> .....	64
1.3.2 二极管的伏安特性.....	8	2.3.1 频率特性的基本概念.....	64
1.3.3 二极管的主要参数.....	9	2.3.2 晶体管的高频参数及等效 电路.....	66
1.3.4 二极管的等效电阻.....	9	2.3.3 共射极单级放大器的高频 特性.....	70
1.3.5 二极管等效电路.....	10	2.3.4 多级放大器的频率特性.....	76
1.3.6 特殊二极管.....	11	* 2.3.5 扩展放大器通频带的 方法.....	77
1.3.7 二极管的应用.....	12	<b>2.4 场效应管放大器</b> .....	78
1.4 半导体三极管.....	17	小结.....	78
1.4.1 三极管的结构类型.....	17	思考题.....	80
1.4.2 三极管的工作原理.....	18	习题.....	81
1.4.3 三极管特性曲线.....	20	<b>第 2 章 放大器基础</b> .....	34
1.4.4 三极管的极限参数.....	22	2.1 晶体管放大器.....	35
1.5 场效应晶体管.....	23	2.1.1 放大器的组成.....	35
1.5.1 结型场效应管.....	23	<b>第 3 章 模拟集成电路</b> .....	87
1.5.2 绝缘栅型场效应管.....	26	3.1 集成电路概述.....	87
小结.....	30	3.2 恒流源电路.....	88
思考题.....	31		
习题.....	32		

3.2.1 镜像电流源.....	88	思考题.....	134
3.2.2 比例电流源.....	89	习题.....	135
3.2.3 微电流源.....	90	<b>第5章 数字与逻辑基础</b> .....	136
3.2.4 MOS 电流源 .....	90	5.1 数字信号与数字电路 .....	136
3.2.5 有源负载.....	91	5.1.1 数字信号与数字电路 ...	136
3.3 差动放大器.....	92	5.1.2 数字电路的分类 .....	137
3.3.1 零点漂移.....	92	5.2 数制与二进制编码 .....	137
3.3.2 差动放大器的工作原理 ...	92	5.2.1 数制 .....	137
3.3.3 小信号分析.....	94	5.2.2 数制间的转换 .....	139
3.3.4 具有恒流源偏置和有源负 载的差动放大器.....	97	5.2.3 二进制编码 .....	141
3.3.5 复合管放大器.....	98	5.3 逻辑代数与逻辑函数 .....	143
3.4 集成运算放大器.....	99	5.3.1 逻辑代数与逻辑变量 ...	143
3.4.1 集成运放电路的组成 ...	100	5.3.2 基本逻辑运算与基本 逻辑门 .....	144
3.4.2 通用型集成运放 .....	100	5.3.3 复合逻辑运算 .....	146
3.4.3 集成运放的主要参数 ...	102	5.3.4 逻辑代数的基本定律和 常用公式 .....	147
* 3.4.4 专用型集成运放 .....	103	5.3.5 逻辑代数的三个基本 定理 .....	150
3.5 集成运放的应用 .....	105	5.3.6 正逻辑和负逻辑 .....	152
3.5.1 集成运放的理想化 .....	105	5.4 逻辑函数的描述 .....	152
3.5.2 基本放大电路 .....	106	5.4.1 逻辑函数的建立和描述 方法 .....	152
3.5.3 线性运算电路 .....	109	5.4.2 逻辑函数表达式的两种 标准形式 .....	154
3.5.4 非线性运算电路 .....	113	5.4.3 逻辑函数的最简表 达式 .....	156
小结.....	116	5.5 逻辑函数的化简 .....	158
思考题.....	117	5.5.1 逻辑函数的公式化 简法 .....	158
习题.....	117	5.5.2 逻辑函数的卡诺图化 简法 .....	160
<b>第4章 功率放大器</b> .....	121	小结.....	164
4.1 概述 .....	121	习题.....	165
4.1.1 功率放大器的特点 .....	121	<b>第6章 逻辑门电路</b> .....	169
4.1.2 功率放大器的分类 .....	124	6.1 TTL 逻辑门电路.....	169
4.2 低频功率放大器 .....	125	6.1.1 TTL 反相器的电路结构和 工作原理 .....	170
4.2.1 乙类互补对称功率 放大器 .....	125	6.1.2 其他逻辑功能的 TTL 门	
4.2.2 甲乙类互补对称功率 放大器 .....	130		
4.2.3 单电源互补对称功率 放大器 .....	131		
* 4.2.4 单电源桥式互补对称 功率放大电路 .....	132		
小结.....	134		

电路 .....	175	小结 .....	238
6.1.3 其他类型的 TTL 门		思考题 .....	239
电路 .....	179	习题 .....	239
6.2 其他类型的双极型数字集成		<b>第 8 章 触发器</b> .....	242
电路 .....	181	8.1 基本 RS 触发器 .....	242
6.3 CMOS 门电路 .....	182	8.2 同步触发器 .....	245
6.3.1 MOS 管的开关特性 .....	182	8.2.1 同步 RS 触发器 .....	246
6.3.2 CMOS 反相器 .....	183	8.2.2 同步 D 触发器 .....	247
6.3.3 其他类型的 CMOS 门		8.2.3 同步触发器的空翻	
电路 .....	187	现象 .....	248
6.4 NMOS 集成电路 .....	191	8.3 主从触发器 .....	249
小结 .....	193	8.3.1 主从 RS 触发器的电路	
思考题 .....	194	结构及工作原理 .....	249
习题 .....	195	8.3.2 主从 JK 触发器 .....	250
<b>第 7 章 组合逻辑电路</b> .....	199	8.3.3 主从触发器	
7.1 组合逻辑电路概述 .....	199	的一次翻转现象 .....	252
7.2 SSI 构成的组合		8.4 边沿触发器 .....	252
逻辑电路的分析和设计 .....	200	8.4.1 CMOS 边沿触发器 .....	252
7.2.1 组合逻辑电路的分析 .....	200	8.4.2 维持阻塞型	
7.2.2 组合逻辑电路的设计 .....	203	TTL 边沿触发器 .....	254
7.3 常用的中规模组合逻辑电路的		8.5 钟控触发器的主要参数 .....	255
分析 .....	205	8.6 触发器使用中应注意的	
7.3.1 编码器 .....	205	问题 .....	257
7.3.2 译码器 .....	209	8.6.1 触发器的电路结构与逻辑	
7.3.3 数据分配器和数据选		功能的关系 .....	257
择器 .....	216	8.6.2 触发器时钟脉冲的触发	
7.3.4 数值比较器 .....	220	方式 .....	258
7.3.5 算术运算电路 .....	223	8.6.3 T 触发器及触发器间的	
7.3.6 奇偶校验器/发生器 .....	227	相互转换 .....	258
7.4 用 MSI 设计组合逻辑		8.6.4 触发器的直接置位和直接	
电路 .....	230	复位 .....	259
*7.5 组合逻辑电路中的竞争—		小结 .....	260
冒险 .....	234	思考题 .....	261
7.5.1 产生竞争—冒险的		习题 .....	261
原因 .....	234	<b>第 9 章 时序逻辑电路</b> .....	264
7.5.2 检查竞争—冒险的		9.1 时序逻辑电路的特点及描述	
方法 .....	236	方法 .....	264
7.5.3 消除竞争—冒险的		9.1.1 时序逻辑电路的特点 .....	264
方法 .....	237	9.1.2 时序逻辑电路的描述	

方法 .....	265	9.6 时序逻辑电路的设计 .....	291
9.1.3 时序逻辑电路的分类 ...	265	9.6.1 按固定规律直接设计时序逻辑电路 .....	292
9.2 时序逻辑电路的分析 .....	266	9.6.2 时序逻辑电路的一般设计方法 .....	293
9.2.1 同步时序逻辑电路的分析 .....	266	9.6.3 任意进制计数器的设计 .....	299
9.2.2 时序逻辑电路的一般分析步骤 .....	269	9.6.4 序列信号发生器的设计 .....	302
9.2.3 异步时序逻辑电路的分析 .....	269	小结 .....	303
9.3 寄存器和移位寄存器 .....	271	思考题 .....	304
9.3.1 寄存器 .....	271	习题 .....	304
9.3.2 锁存器 .....	271	<b>第 10 章 半导体存储器</b> .....	308
9.3.3 移位寄存器 .....	272	10.1 只读存储器 .....	308
9.4 计数器 .....	276	10.2 随机读写存储器 .....	314
9.4.1 计数器的分类 .....	276	10.3 存储器容量的扩展 .....	316
9.4.2 同步计数器 .....	277	小结 .....	318
9.4.3 异步计数器 .....	282	思考题 .....	318
9.4.4 移位寄存器型计数器 ...	285	习题 .....	318
9.5 序列信号发生器 .....	288	参考资料 .....	319
9.5.1 序列信号的基本概念 ...	288		
9.5.2 序列信号发生器 .....	288		



# 第 1 章 半导体元器件

本章介绍构成模拟集成电路的基础器件：二极管、三极管和场效应管。重点分析它们的结构、特性、主要参数等，还介绍二极管的应用、特殊二极管的功能等，并说明放大电路中三极管、场效应管的工作特点，指出三极管工作状态在模拟及数字电路中的不同。

## 学习要点

1. 了解半导体物理知识和 PN 结的形成；熟悉 PN 结的特性，掌握二极管、三极管和场效应管的工作原理、基本方程、特性、主要参数、近似等效电路和使用注意事项。
2. 了解温度对半导体器件性能的影响以及锗管和硅管的性能差别。
3. 能解释下列名词术语：本征半导体，杂质半导体，多数载流子，空间电荷区，扩散电流和漂移电流；沟道，夹断，预夹断，耗尽型，增强型，夹断电压  $U_P$ ，开启电压  $U_T$ ，零栅饱和漏电流  $I_{DSS}$  和跨导  $g_m$ 。

## 1.1 半导体基础知识

### 1.1.1 什么是半导体

在日常生活中，将常见的容易导电的金、银、铜、铝等金属称为导体；而普通的塑料、陶瓷、橡胶等则几乎不导电，称为绝缘体。半导体因其导电能力介于导体和绝缘体之间而得名，如锗、硅和砷化镓（其化学元素符号分别为 Ge、Si 和 GaAs）是 3 种主要的半导体材料。为什么物质之间会存在导电性能差异的现象呢？根本原因在于物质内部原子结构、原子和原子的结合方式以及原子内部运载电荷的粒子数量和运动速度的不同而决定的。

半导体之所以在现代科学技术中得到广泛的应用，不在于它的导电能力介于导体和绝缘体之间，而是因为它具有下面两个物理性质。

#### 1. 半导体的导电性能很容易改变

(1) 半导体的电导率可以随加入的杂质发生显著的变化。例如，在室温  $30^\circ\text{C}$  时，纯锗中掺入一亿分之一的杂质（称为掺杂），其电导率将增加两万多倍。正因为掺杂可以改变和控制半导体的电导率，才能用它制成各种半导体元器件。

(2) 温度的变化也会使半导体的电导率发生显著的变化。例如，温度每升高  $8^{\circ}\text{C}$ ，就可以使硅的电导率提高大约一倍。利用这种热敏效应可以制成热敏元件，如热敏电阻等。但是，从另一方面来看，热敏效应又会使半导体元器件的热稳定性下降，从而造成电路不稳定。

(3) 光照不仅可以改变半导体的电导率，而且还可以产生电动势，称这种现象为半导体的光电效应。利用光电效应可以制成光电晶体管、光电耦合器、光电池等。

上述的半导体特性分别称为半导体的掺杂特性、热敏特性和光敏特性。

## 2. 半导体导电性能的改变是可以控制的

通过掺杂、温度变化和光照改变半导体导电性能的过程，可以人为地加以控制，使它按照人们预期的要求来变化，从而使半导体在现代电子技术领域中得到了广泛的应用。

### 1.1.2 本征半导体

#### 1. 硅和锗晶体的共价键结构

由原子理论知道，组成物质的原子是由带正电的原子核和带负电的电子组成，电子分几层围绕着原子核不停地运动。当最外层电子有 8 个时才处于稳定状态。

目前，用得最多的半导体材料是锗和硅，它们的原子结构如图 1-1-1 所示。锗和硅最外层电子都是 4 个，所以称它们为四价元素。外层电子受原子核的束缚力最小，称为价电子。半导体的导电性能与价电子有关。

半导体材料在固态下是晶格结构。在半导体元器件的制作工艺中，首先要将半导体材料提纯并拉成单晶体，即在整个材料内部，原子之间整齐排列。纯净的半导体单晶体称为本征半导体。

当硅（锗）材料制成纯单晶体时，它的原子排列就由杂乱无章变成了非常整齐的状态。由于原子间距离很近，原来隶属于每个原子的价电子就要受到相邻原子的影响，使价电子为两个原子所共有，从而形成了单晶体中的“共价键”结构，如图 1-1-2 中①所示。每个硅原子的 4 个价电子与相邻的 4 个原子的各 1 个价电子组成 4 对共价键，从而使每个硅原子最外层拥有 8 个共有电子。因此，本征硅（锗）是稳定的。

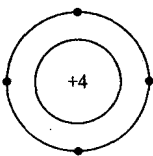


图 1-1-1 硅（锗）原子简化图

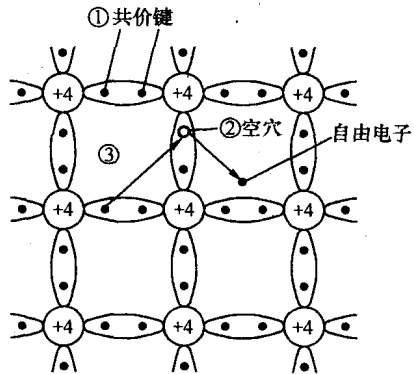


图 1-1-2 硅或锗材料的共价键结构

#### 2. 本征半导体中的两种载流子——自由电子和空穴

在绝对温度  $0\text{K}$ （即  $-273^{\circ}\text{C}$ ），又无外部激发时，由于共价键中的价电子被束缚着，半导

体中没有可以自由运动的带电粒子——载流子。因此，即使有外电场作用也不能产生电流。此时的半导体相当于绝缘体。但是当有外部激发，如温度升高或光照时，就会使一些价电子在获得能量后，挣脱共价键的束缚，而成为自由电子，也叫电子载流子，电荷量等于 $-q$ ，这种现象称为本征激发。当价电子挣脱共价键的束缚成为自由电子后，在共价键中就留下一个空位，叫空穴，如图 1-1-2 中②所示。当邻近共价键内的价电子跑过来填充这个空穴，在原来的位置产生一新的空穴，这种情形相当于空穴在移动。空穴是由于失去价电子形成的，所以它是带正电 $(+q)$ 的载流子。

综上所述，本征半导体中存在两种载流子：带负电的自由电子和带正电的空穴。它们是成对出现的，也叫做“电子空穴对”。由于两者电荷量相等，极性相反，所以，本征半导体是电中性的。半导体在外电场作用下，通过它的电流可以看作是由两部分组成：一部分是自由电子逆电场方向定向运动形成的电子电流；另一部分是共价键中价电子填补空穴形成的空穴电流，如图 1-1-2 中③所示，即半导体中的电流为电子电流和空穴电流之和。

实践和理论证明，随着温度的升高，电子空穴对将迅速增多，其增加速度，比指数律还快。

电子和空穴在不停地运动中，还会彼此相遇，使某些自由电子重新回到共价键上，恢复了价电子“身份”使电子空穴对消失，这一过程称为复合。在一定温度下，电子空穴对的“产生”与“复合”可以达到动态平衡，即产生与复合虽然仍在进行，但电子空穴对却始终维持一定数目。

### 1.1.3 杂质半导体

利用本征半导体的掺杂特性，人为地掺入少量其他元素（称为杂质），可以制成杂质半导体，从而使半导体的导电性能发生显著的改变。利用这一特性，制成了各种性能的半导体器件。

根据掺入杂质性质的不同，可分为电子型半导体和空穴型半导体两种。因为电子带负电，取英文单词“Negative”（负）的第一个字母，所以电子型半导体又称为 N 型半导体；空穴带正电，取英文单词“Positive”（正）的第一个字母，空穴型半导体又称为 P 型半导体。

#### 1. N 型半导体

在本征半导体中掺入少量的五价元素如磷、砷、锑等，使每一个五价元素取代一个四价元素在晶体中的位置，便形成了 N 型半导体。图 1-1-3 所示为一个磷原子代替一个锗原子后，晶体的结构示意图。由图可见，磷原子有 5 个价电子，其中 4 个与锗原子结合成共价键，余下的一个价电子在共价键之外，磷原子对它的束缚力较共价键弱得多，因此，只需较少的能量，就可以使它激发成为自由电子，留下的则是不能移动的正离子。在常温下，由于每个五价原子都能释放（施舍）出一个自由电子，故称其为“施主杂质”或 N 型杂质。

在 N 型半导体中，除了杂质给出的大量额外自由电子外，在半导体中尚有少量的由本征激发产生的电子空穴对。这就使该半导体中的自由电子数远大于空穴数，所以 N 型半导体中的自由电子称为“多数载流子”，简称

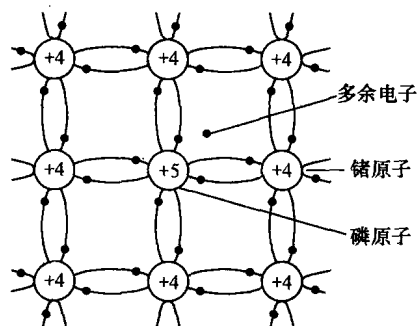


图 1-1-3 N 型半导体晶体结构示意图

“多子”；而空穴称为“少数载流子”，简称“少子”。参与导电的载流子以自由电子为主，因而称为电子型半导体。

## 2. P型半导体

在本征半导体中掺入少量的三价元素，如硼、铝和镓等，可以形成P型半导体，硼原子在与锗原子构成共价键时，将因缺少电子而出现空穴，在温度不是很高的情况下，这些空穴比较容易吸引附近的电子来填充，形成空穴导电。图1-1-4所示为一个硼原子在晶体上取代一个锗原子的晶体结构示意图。从晶体结构上看，硼原子由于俘获了一个电子将成为不能移动的负离子。由于空穴的浓度远大于电子浓度，空穴为“多子”，电子为“少子”，P型半导体的导电基本上取决于空穴的运动，所以P型半导体又称为空穴型半导体。

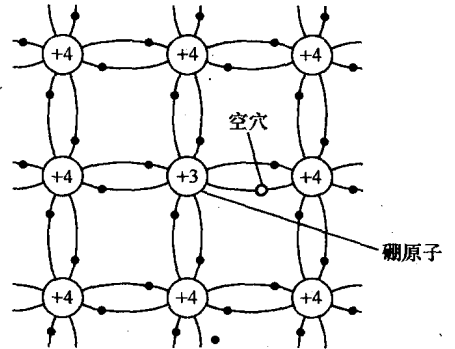


图 1-1-4 P型半导体晶体结构示意图

在P型半导体中，由于三价元素硼原子起着接受电子的作用，所以称其为“受主杂质”或P型杂质。

## 1.2 PN结

在一块半导体的一端掺入受主杂质，形成P型半导体；另一端掺入施主杂质，形成N型半导体，于是在它们的交界处，就形成了一个PN结。PN结是许多半导体器件的重要组成部分。

### 1.2.1 PN结的形成

在室温下，P型半导体内每一个受主杂质将产生一个空穴，同时形成一个负离子；N型半导体内每一个施主杂质将产生一个自由电子，同时形成一个正离子。

于是在两种杂质半导体的交界处，由于P型半导体（又称P区）内空穴为多子，N型半导体（又称N区）内电子为多子，存在很大的浓度差，所以，空穴将越过交界面由P区向N区运动。同理，电子也会由N区向P区运动，通常把这种由载流子浓度差引起的现象称为扩散，如图1-2-1所示。

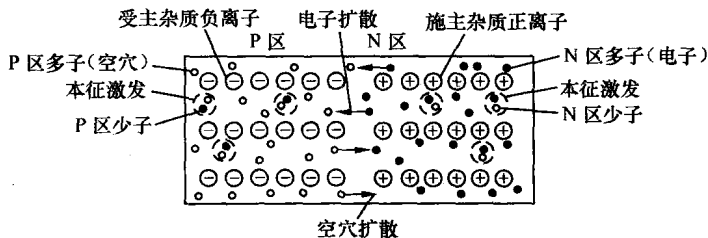


图 1-2-1 载流子分布浓度差引起扩散运动

扩散运动的结果，一是进入对方区域后，多子身份变为少子，很快就被复合掉了；另一个是在交界面两侧留下了不能移动的正负离子，形成了一个正负离子区，亦称空间电荷区，

如图 1-2-2 所示。这个区域的载流子因扩散和复合而消耗掉了，所以又称为耗尽区。在界面

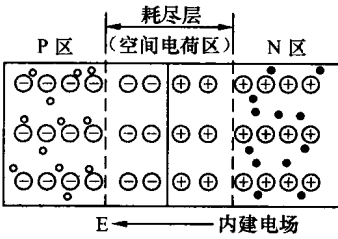


图 1-2-2 平衡状态下的 PN 结

面两边的正负电荷间必然有电场存在，这个电场称为内建电场，电场方向由 N 区指向 P 区，它所产生的电位差  $U_D$ （又叫接触电位差）使 N 区的电位高于 P 区的电位。由图 1-2-2 可见，这个电场具有阻止多数载流子扩散的作用，所以，人们又把耗尽区称为势垒区或位垒区。与此同时，内电场将使 N 区的少子空穴向 P 区运动，使 P 区的少子电子向 N 区运动，通常把这种现象称为漂移。

由图可见，漂移运动的方向正好与扩散运动的方向相反。由扩散运动形成的电流，称为扩散电流，由漂移运动形成的电流，称为漂移电流。这两种电流方向相反。当这两种电流相等时，达到了动态平衡，此时势垒区的宽度也就确定下来了。PN 结指的就是势垒区，通常很薄，约为数十微米，其接触电位差的大小与半导体材料、掺杂浓度和环境温度有关。在室温下，硅材料 PN 结的接触电位差  $U_D \approx 0.6 \sim 0.8 \text{ V}$ ，锗材料 PN 结的  $U_D \approx 0.1 \sim 0.3 \text{ V}$ ，温度每升高  $1^\circ\text{C}$ ，电位差降低约  $2\text{mV}$ 。

### 1.2.2 PN 结的单向导电性

#### 1. PN 结外加正向电压 (PN 结导通)

电源电压通过限流电阻加在半导体的两端，其正极接 P、负极接 N。电源的这种接法称为外加正向电压，也叫正向偏置，简称“正偏”，如图 1-2-3 (b) 所示。由图可见，外加电压的极性与内势垒的极性相反，P 区的多子（空穴）在正极性电压的驱使下进入势垒区；N 区的多子（电子）在负极性电压的驱动下也进入势垒区，这将使势垒区的部分正、负离子被中和，导致势垒区变窄，势垒降低，有利于多数载流子的扩散运动，形成较大的扩散电流。但势垒区的变窄，内电场的减弱，却不利于少子的漂移运动，致使漂移电流可以忽略。正向电压下的电流称为正向电流，因此正向电流主要由扩散电流构成，它随着正向电压的增加而增大。所以，PN 结加正向偏压时是导通的。

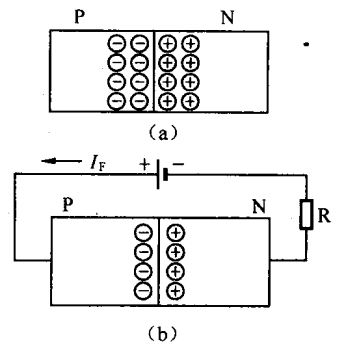


图 1-2-3 PN 结外加正向电压

#### 2. PN 结外加反向电压 (PN 结截止)

如果将外部电压的负端接 P 区，正端接 N 区，称为外加反向电压，或称反向偏置（反偏），如图 1-2-4 (b) 所示。由于外加电压的极性与内势垒极性相同，P 区的空穴将离开势垒区向电源负极运动；N 区电子也将离开势垒区向电源正极运动，于是在势垒区就出现了更多的正、负离子，使势垒区展宽，势垒增高，必然对多子的扩散产生影响，使扩散电流减少，随着外加电压的增大，扩散电流很快减到零。剩下的漂移电流，则基本不随外加电压而改变。这是因为漂移电流是由本征激发产生的少子形成的，当温度一定时，便是一个定值。反向电压作用下的漂移电流，称为反向电流，由于它不随反向电压而改变，故称为反向饱和电流。因此，当 PN 结反向偏置时，基本是不导通的。但当温度升高时，由于本征激发而产

生的少数载流子增多，反向电流也就增大。温度每升高 1°C 时，反向电流增加约 7%。因为  $(1.07)^{10} \approx 2$ ，故可认为，温度每升高 10°C 时，反向电流增加一倍。

### 3. 伏安特性

单向导电是 PN 结的重要特性。这一特性可用以下伏安特性方程描述：

$$i = I_s(e^{\frac{u}{U_T}} - 1) = I_s(e^{\frac{u}{U_T}} - 1) \quad (1-2-1)$$

式中， $u$  为 PN 结两端外加电压， $i$  为流过 PN 结的电流， $I_s$  为反向饱和电流， $U_T = kT/q$  为温度的电压当量，其中  $k = 1.38 \times 10^{-23} \text{ J/K}$  为玻耳兹曼常数， $q = 1.6 \times 10^{-19} \text{ 库仑}$  为电荷量， $T$  为绝对温度。在常温 (300 K) 下， $U_T \approx 26 \text{ mV}$ 。根据方程绘出的伏安特性曲线，如图 1-2-5 所示。

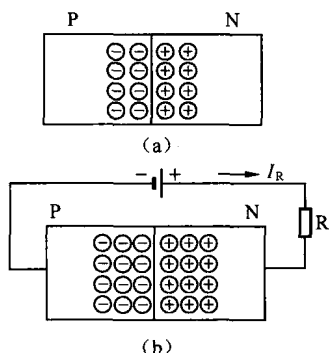


图 1-2-4 PN 结外加反向电压

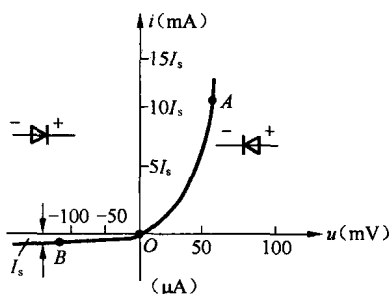


图 1-2-5 伏安特性曲线

当外加正向电压，且  $u$  比  $U_T$  大数倍时，由于式 (1-2-1) 中的  $e^{\frac{u}{U_T}} \gg 1$ ，故式 (1-2-1) 可简化为  $i \approx I_s e^{\frac{u}{U_T}}$ ，即正向电流随正向电压呈指数规律增大。如图 1-2-5 中伏安特性曲线的 OA 段。

当外加反向电压，且  $|u|$  比  $U_T$  大数倍时，由于  $e^{\frac{u}{U_T}} \ll 1$ ，故式 (1-2-1) 可简化为  $i \approx -I_s$ ，即反向电流在一定温度下，不随外加反向电压而变，如图 1-2-5 中曲线的 OB 段。可见 PN 结的伏安特性是非线性的。

### 1.2.3 温度对伏安特性的影响

当温度升高时，由于分子的热运动加剧，载流子动能加大，所以在  $u_{BE}$  还未达到导通电压值时，就有大量载流子越过发射结扩散到基区，表现在 PN 结的特性上，正向特性使曲线略向上移；少数载流子浓度迅速增加而导致反向饱和电流  $I_s$  显著增大，使反向特性曲线下移，如图 1-2-6 所示。实验结果表明，PN 结的  $I_s$  随温度变化，在工程估算时可认为温度每升高 10°C， $I_s$  增加一倍。

当温度进一步升高时，少数载流子浓度会迅速地增加。在极端情况下，甚至会超过原掺入的杂质电离产生的多数载流子的数量。这时本征激

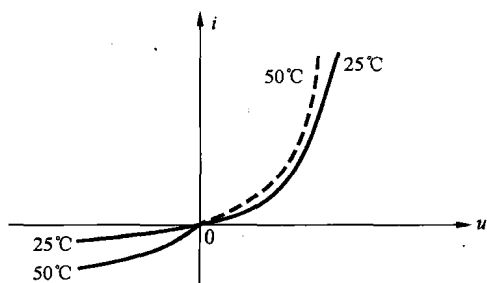


图 1-2-6 PN 结的温度特性

发的作用上升为主导地位, 杂质半导体变得与本征半导体相似, PN 结就不复存在了。因此, 为了保证 PN 结的正常工作, 半导体元器件应有一个最高工作温度限额。其值与掺杂浓度有关, 掺杂浓度越大, 最高温度就越高。最高温度还与半导体材料中的价电子突破束缚所需要的激发能有关。硅与锗相比, 硅所需激发能较大, 所以工作温度也较高。硅的最高工作温度不超过  $200^{\circ}\text{C}$ , 锗的最高工作温度不超过  $100^{\circ}\text{C}$ 。

### 1.2.4 PN 结的反向击穿

在测量 PN 结的伏安特性时, 如果外加的反向电压增大到一定数值时, 反向电流会突然增加, 如图 1-2-7 所示。把这种现象称为 PN 结的反向击穿, 发生击穿所需要的电压称为击穿电压  $U_B$ 。PN 结被击穿后, 如果对其电流不加限制, PN 结有可能由于过热而造成永久性损坏。

PN 结反向击穿的物理原因有如下两种。

#### 1. 齐纳击穿

在高浓度掺杂的情况下, PN 结的势垒区很窄, 较小的反向电压就可在结内形成很强的电场, 把某些共价键内的价电子强拉出共价键, 使载流子迅速增加, 导致反向电流剧增, 这种现象称为齐纳击穿。

#### 2. 雪崩击穿

在低掺杂浓度下 PN 结的势垒区相对较宽, 较高的反向电压还不足以在结内产生过强的电场, 但由于载流子穿过结的路程较长, 在获得足够的能量后, 高速与原子碰撞, 把价电子从共价键中撞出来, 产生新的电子空穴对。这些新的载流子被电场加速后, 又可撞出其他的价电子, 载流子会雪崩式地倍增, 导致反向电流激增, 这种现象称为雪崩击穿。

对应硅材料的 PN 结, 一般击穿电压在  $7\text{ V}$  以上的为雪崩击穿,  $4\text{ V}$  以下的为齐纳击穿。而在  $4\sim 6\text{ V}$  之间的击穿, 可能两种情况都有, 无论哪种击穿, 击穿本身并没有破坏 PN 结, 当反向电压降下来之后, 其性能可以恢复。但必须对反向电流加以限制, 否则当反向电流和反向电压的乘积超过 PN 结的耗散功率时, 会由于过热而造成永久性损坏。

### 1.2.5 PN 结的电容效应

#### 1. 势垒电容 $C_B$

当 PN 结外加正向电压增大时, P 区和 N 区的多子便进入势垒区, 并与那里的一部分正、负离子相中和, 使空间电荷减少, 势垒区变窄。反之, 当外加反向电压的数值增大时, 多子远离 PN 结, 使势垒区的空间电荷增多, 势垒区变宽。外加电压的变化, 引起了 PN 结空间电荷的改变, 从而显示出 PN 结的电容效应。通常把由势垒区宽窄变化所呈现出的电容效应称做势垒电容  $C_B$ 。分析表明, 势垒电容的大小与 PN 结的面积成正比, 与势垒区的宽度成反比, 因此它与平行板电容器相似。只是势垒电容随外加电压而改变, 当反向偏压增加

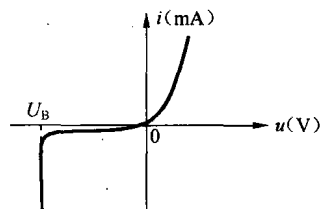


图 1-2-7 PN 结的击穿

时，会因势垒区变宽，而使  $C_B$  减小；当正向偏置时，会因势垒区变窄，而使  $C_B$  增大。一般情况下势垒电容为几个皮法至 200 pF。

## 2. 扩散电容 $C_D$

PN 结的正向电流是由 P 区空穴和 N 区电子相互扩散形成的。为了使 P 区形成扩散电流，注入的少数载流子电子沿 P 区必然有浓度差，在结的交界处浓度大，离结远的地方浓度小，也就是在 P 区有电子的积累，同理，在 N 区也有空穴的积累。当 PN 结正向电压加大时，正向电流随着加大，就要有更多的载流子积累起来以满足电流加大的要求；而当正向电压减小时，正向电流减小，积累在 P 区的电子或 N 区的空穴就要相对减小，从而显示出 PN 结的电容效应。通常把扩散引起的电容效应称为扩散电容  $C_D$ 。

总之，PN 结有两种电容效应，等效为与 PN 结并联，其总电容值为两者之和，即， $C_0 = C_B + C_D$ 。显然，正向偏置时，PN 结的结电容以扩散电容为主；反向偏置时，以势垒电容为主。

# 1.3 半导体二极管

一个 PN 结加上相应的电极引线并用管壳封装起来（集成电路则不单独封装），就构成了半导体二极管，简称二极管。

## 1.3.1 二极管的结构和符号

二极管的结构和符号，如图 1-3-1 所示。

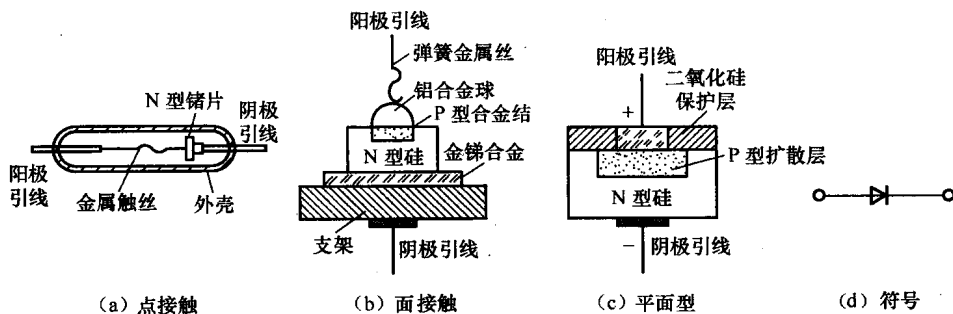


图 1-3-1 二极管的结构和符号

点接触型二极管金属丝很细，形成的 PN 结面积很小，所以结电容很小，一般在 1 pF 以下，因此工作频率很高，可达 100 MHz 以上。其缺点是不能承受较高的正向电压和通过大的电流。因此，多用于高频检波及脉冲数字电路中的开关元件。

面接触型的二极管 PN 结面积大，结电容也大，因此工作频率低。但是，它能通过较大的正向电流，且反向击穿电压高，工作温度也较高，所以多用在低频整流电路中。

## 1.3.2 二极管的伏安特性

二极管的伏安特性可以通过逐点测试描绘，也可以从晶体管图示仪直接描绘。由于二极管是由一个 PN 结构成的，所以它具有 PN 结的导电特性。其伏安特性方程式为式 (1-2-1)，即



$$i = I_s(e^{\frac{u}{kT}} - 1) = I_s(e^{\frac{u}{U_T}} - 1)$$

由于受二极管引线及半导体的体电阻、表面漏电流等因素的影响，实测二极管的伏安特性与按 PN 结方程式画出的理论伏安特性存在差异。但是，由于理想伏安特性曲线基本上反映了二极管的特性，所以在定量分析中，式 (1-2-1) 还是有效的。图 1-3-2 所示为不同材料（硅、锗）构成的二极管的伏安特性曲线。

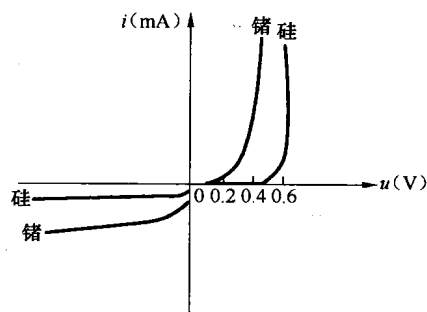


图 1-3-2 二极管伏安特性曲线

可以看出，二极管正向偏置时，外加正向电压大于某值电流才能迅速增加，定义该电压值为二极管死区电压  $U_d$ 。锗和硅二极管的死区电压分别为 0.1 V 和 0.5 V。

### 1.3.3 二极管的主要参数

二极管的参数一般可以从器件手册中查到，也可从特性曲线上求出，或直接测量得到。

(1) 最大整流电流  $I_F$ ：指二极管长期运行时允许承受的最大正向平均电流，其大小由 PN 结的面积和散热条件决定。

(2) 最大反向工作电压  $U_R$ ：指二极管运行时允许承受的最大反向电压。为避免二极管反向击穿，通常将二极管反向击穿电压  $U_B$  的一半定为  $U_R$ 。

(3) 反向电流  $I_R$ ：它是管子未击穿时反向电流的数值。反向电流越小，管子的单向导电性越好。温度对反向电流影响很大，在使用时应加以注意。

(4) 最高工作频率  $f_M$ ：它主要决定于 PN 结结电容的大小。使用时，如果工作频率超过  $f_M$ ，二极管的单向导电性将因结电容的存在变差。

应当指出，由于制造工艺的限制，即使同一型号的器件其参数的分散性也很大。选用器件时，既要了解其意义和数值，又必须弄清各参数的测试条件，二极管的类型及参数可参阅有关手册或文献。

### 1.3.4 二极管的等效电阻

二极管端电压与流过的电流之比，称为二极管的等效电阻。二极管是一个非线性器件，不同的端电压，会有不同的等效电阻。二极管的等效电阻在不同工作状态下有不同数值。

#### 1. 直流电阻（又称为静态电阻） $R_D$

二极管两端的直流电压  $U_D$  与流过的直流电流  $I_D$  之比，称为二极管的直流电阻，即

$$R_D = \frac{U_D}{I_D} \quad (1-3-1)$$

以具有图 1-3-3 所示特性曲线的二极管为例，假如工作在 Q 点，这时的电压和电流分别为  $U_{DQ}$  和  $I_{DQ}$ ，则其直流电阻为

$$R_D = \frac{U_{DQ}}{I_{DQ}} = \frac{1}{\tan \alpha} \quad (1-3-2)$$

可见，Q 点位置不同，直线 OQ 的斜率不同，直流电阻

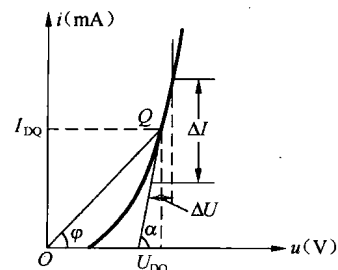


图 1-3-3 二极管直流电阻和交流电阻  $R_D$  也不同。因此， $R_D$  的大小与曲线上 Q 点的位置有关。