

ZUIXIN  
JICHENG DIANLU  
CESHI JISHU

# 最新集成电路 测试技术

高成 张栋 王香芬 编著



国防工业出版社

National Defense Industry Press

## 内容简介

# 最新集成电路测试技术

高成 张栋 王香芬 编著

国防工业出版社

·北京·

## 内容简介

本书系统介绍了常用集成电路测试的原理、方法和技术,范围涵盖了数字集成电路、模拟集成电路、SOC 器件、数字/模拟混合集成电路、电源模块、集成电路测试系统、测试接口板设计等方面。主要为从事 IC 测试相关人员全面掌握各类集成电路的测试技术打下良好基础。

本书首先介绍了集成电路测试的基本概念和理论,包括集成电路测试的基本原理、测试的分类、测试的作用等,然后分别对数字集成电路、存储器、各类模拟集成电路、数字/模拟混合电路、SOC、DC-DC 模块的测试方法和技术进行了深入细致的介绍,在此基础上对  $I_{DDQ}$  测试技术以及 IC 设计到测试的瓶颈和融合问题进行了详细阐述,并以当前主流大规模集成电路测试系统 Sapphire 为例,详细介绍了现代集成电路测试系统(ATE)的软、硬件架构和特点,最后在 DIB 测试接口板设计技术中深入论述了 ATE 测试的重要环节负载板(DIB)的设计技术问题。

本书可作为从事集成电路设计、测试、应用和集成电路测试设备开发的研究人员、技术人员以及计划进入集成电路测试领域的相关人员的学习或培训教材,也可作为高等院校相关专业本科或研究生的教学参考书。

### 图书在版编目(CIP)数据

最新集成电路测试技术 / 高成, 张栋, 王香芬  
编著. —北京: 国防工业出版社, 2009. 2  
ISBN 978-7-118-06071-3

I. 最... II. 高... III. 集成电路-测试技术  
IV. TN407

中国版本图书馆 CIP 数据核字(2008)第 184735 号

※

国防工业出版社出版发行

(北京市海淀区紫竹院南路 23 号 邮政编码 100048)

腾飞印务有限公司印刷

新华书店经售

\*

开本 787 × 1092 1/16 印张 18½ 字数 430 千字  
2009 年 2 月第 1 版第 1 次印刷 印数 1—4000 册 定价 35.00 元

(本书如有印装错误, 我社负责调换)

国防书店: (010) 68428422

发行邮购: (010) 68414474

发行传真: (010) 68411535

发行业务: (010) 68472764

# 前 言

随着集成电路产业的飞速发展,各类新的设计、新的工艺集成电路不断出现,并且在军、民等各个行业应用越来越广泛,作为集成电路进行设计验证和批产把关的重要环节——集成电路测试,其重要性与经济性日益凸现。

集成电路测试技术伴随着集成电路的飞速发展而发展,对促进集成电路的进步和广泛应用作出了巨大的贡献。在集成电路研制、生产、应用等各个阶段都要进行反复多次的检验、测试来确保产品质量和研制开发出符合系统要求的电路,尤其对于应用在军工型号上的集成电路,控制质量,保障装备的可靠性,集成电路的检测、筛选过程至关重要。各个军工行业的研究院、所、厂都有自己的元器件检测中心,并引进先进的国产、进口各类高性能集成电路测试设备,负责集成电路在军工行业应用的质量把关,主要的工作就是对国内生产、进口的元器件按照标准要求进行检测,是集成电路使用的一个重要检查站。集成电路测试技术是所有这些工作的技术基础。

本书系统介绍了数字、模拟和混合信号等各类集成电路的测试方法和技术。它是根据作者多年从事集成电路测试实践经验,并参考大量的文献撰写而成的。主要为从事 IC 设计、制造、测试和应用的相关技术人员全面掌握各类集成电路的测试技术提供技术指导。

全书共分 12 章,由北京航空航天大学工程系统工程系元器件中心高成编写第 1、2、7、10、11、12 章;王诞燕编写第 9 章;张栋编写第 3、8 章;王香芬编写第 4、5 章;鹿靖编写第 6 章。最后由高成进行了全书的统编。

书中内容涉及 IC 测试、IC 设计、EDA、ATE 等多方面知识,充分显示了集成电路测试,尤其是超大规模集成电路测试是一个复杂的系统工程,需要设计、测试等各方面的协调、合作。

本书在编写过程中得到北京航空航天大学工程系统工程系元器件中心全体同志的热心帮助,在此谨向为本书编写工作付出辛勤劳动的领导、老师、同事、同学致以衷心感谢。

由于编者水平有限,内容所涉及知识面又比较广,书中若有不妥之处,热忱地欢迎读者不吝赐教。

编 者

2008.07

# 目 录

<b>第 1 章 集成电路测试概述</b> .....	1
1.1 集成电路测试的定义.....	1
1.2 集成电路测试的基本原理.....	1
1.3 集成电路故障与测试.....	1
1.4 集成电路测试的过程.....	2
1.5 集成电路测试的分类.....	6
1.6 集成电路测试的意义与作用.....	7
1.7 半导体技术的发展对测试的影响.....	9
<b>第 2 章 数字集成电路测试技术</b> .....	11
2.1 概述.....	11
2.2 典型的数字集成电路测试顺序.....	13
2.3 数字集成电路测试的特殊要求.....	14
2.4 直流参数测试.....	15
2.5 交流参数测试.....	29
2.6 功能测试.....	33
<b>第 3 章 半导体存储器测试技术</b> .....	47
3.1 存储器的组成及结构.....	47
3.2 存储器的失效模式和失效机理.....	48
3.3 存储器的故障模型及验证方法.....	50
3.4 图形算法在存储器测试中的作用.....	54
3.5 存储器的测试项目.....	66
3.6 内建自测试在存储器测试中的应用.....	68
3.7 存储器测试需要注意的问题.....	70
<b>第 4 章 模拟集成电路测试技术</b> .....	71
4.1 概述.....	71
4.2 模拟集成运算放大器测试技术.....	72
4.3 模拟集成比较器测试技术.....	86

4.4	影响运算放大器闭环参数测试精度的原因分析	88
4.5	集成稳压器测试技术	90
4.6	模拟开关集成电路测试技术	101
<b>第5章</b>	<b>数模混合集成电路测试技术</b>	<b>119</b>
5.1	概述	119
5.2	ADC、DAC 测试的必要性	121
5.3	测试方法	123
5.4	基于 DSP 的测试技术	123
5.5	DAC 测试技术	126
5.6	ADC 测试技术	133
5.7	数模混合集成电路测试参数分析	139
5.8	DAC 和 ADC 测试相关误差分析	143
<b>第6章</b>	<b>DSP 在混合电路测试中的应用</b>	<b>145</b>
6.1	DSP 概述	145
6.2	DSP 测试基础	147
6.3	基于 DSP 的测试优点	160
6.4	基于 DSP 的功能测试	161
6.5	基于 DSP 的动态参数测试	163
6.6	混合信号电路对基于 DSP 的测试系统的要求	168
<b>第7章</b>	<b>SOC 测试技术</b>	<b>169</b>
7.1	前言	169
7.2	SOC 芯片对测试的要求	170
7.3	SOC 中混合信号测试	172
7.4	SOC 混合信号测试的发展方向	179
<b>第8章</b>	<b><math>I_{DDQ}</math> 测试</b>	<b>181</b>
8.1	引言	181
8.2	$I_{DDQ}$ 测试检测的故障	182
8.3	$I_{DDQ}$ 测试方法	186
8.4	$I_{DDQ}$ 测试的局限性	191
8.5	$\Delta I_{DDQ}$ 测试	191
8.6	$I_{DDQ}$ 内建电流测试	193
8.7	$I_{DDQ}$ 可测试性设计	194
8.8	小结	194

<b>第 9 章 DC-DC 参数测试方法</b> .....	195
9.1 DC-DC 模块的发展 .....	195
9.2 DC-DC 电源模块直流参数测试原理 .....	196
9.3 交流参数测试原理 .....	208
9.4 DC-DC 电源模块测试系统 .....	215
<b>第 10 章 集成电路测试系统</b> .....	220
10.1 集成电路测试系统概述 .....	220
10.2 现代混合集成电路测试系统的基本结构 .....	222
10.3 SOC 测试系统 .....	232
<b>第 11 章 设计到测试的链接</b> .....	243
11.1 引言 .....	243
11.2 设计、测试技术面临的问题 .....	245
11.3 设计到测试的无缝链接 .....	247
11.4 芯片的验证测试 .....	251
11.5 设计到测试的自动转换 .....	256
<b>第 12 章 测试接口板 DIB 设计技术</b> .....	262
12.1 测试接口板基础 .....	262
12.2 PCB 设计与制作 .....	264
12.3 DIB 连线屏蔽保护 .....	266
12.4 传输线 .....	274
12.5 测试接口板接地点和电源布线设计技术 .....	279
12.6 DIB 设计中元器件的选择 .....	282
12.7 DIB 印制电路板的可靠性设计 .....	285
12.8 DIB 印制电路板的效果验证 .....	288
<b>参考文献</b> .....	289

# 第 1 章 集成电路测试概述

## 1.1 集成电路测试的定义

集成电路测试是对集成电路或模块进行检测,通过测量对于集成电路的输出响应和预期输出比较,以确定或评估集成电路元器件功能和性能的过程,是验证设计、监控生产、保证质量、分析失效以及指导应用的重要手段。

## 1.2 集成电路测试的基本原理

集成电路测试的基本模型如图 1-1 所示。

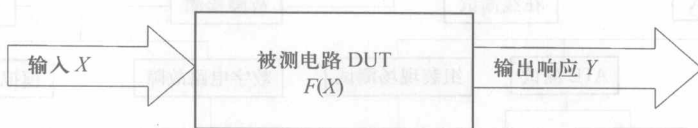


图 1-1 集成电路测试的基本模型

被测电路 DUT(Device Under Test)可作为一个已知功能的实体,测试依据原始输入  $X$  和网络功能集  $F(X)$ ,确定原始输出响应  $Y$ ,并分析  $Y$  是否表达了电路网络的实际输出。因此,测试的基本任务是生成测试输入,而测试系统的基本任务则是将测试输入应用于被测器件,并分析其输出的正确性。在测试过程中,测试系统首先生成输入定时波形信号施加到被测器件的原始输入管脚,第二步是从被测器件的原始输出管脚采样输出响应,最后经过分析处理得到测试结果。

## 1.3 集成电路故障与测试

集成电路的不正常状态有缺陷(defect)、故障(fault)和失效(failure)等。由于设计考虑不周全或制造过程中的一些物理、化学因素,使集成电路不符合技术条件而不能正常工作,称为集成电路存在缺陷。集成电路的缺陷导致它的功能发生变化,称为故障。故障可能使集成电路失效,也可能不失效,集成电路丧失了实施其特定规范要求的功能,称为集成电路失效。故障和缺陷等效,但两者有一定区别,缺陷会引发故障,故障是表象,相对稳定,并且易于测试;缺陷相对隐蔽和微观,缺陷的查找与定位较难。

集成电路使用者一般不直接研究缺陷,仅研究故障。集成电路的开发和生产者肯定不能满足只研究故障,还需要找到具体的缺陷(设计、物理或化学等),予以改进,排除故障。



故障可以分为逻辑故障与非逻辑故障、永久性故障与间歇性故障、固定值故障与可变化值故障、硬故障与软故障等。

故障检测的基本任务是根据输入激励量和输出响应量来判断集成电路状态的故障情况。输入激励是对电路所施加的一组输入信号值,是为了确定电路中是否有故障。

故障检测和故障诊断的首要问题是测试图形的生成。测试生成过程要能迅速准确地得到测试码,并且能判断测试码的有效性,还要保证测试码尽量简单,必须讨论测试码与测试图形的各种生成方法和集成电路的各类故障模型。

故障模型有两个基本要求。首先,模型必须精确,即电路中实际可能出现的物理缺陷应该尽可能被模型表述。其次,要求模型应尽可能简单,以使各种运算和处理较容易,即应能方便地用于大规模复杂集成电路系统。在版图或者器件的低层次构造故障模型可得到最精确的测试结果,但对于大规模集成电路可能因故障的个数太多而不能处理,高层次功能块故障模型可以降低对大规模集成电路故障检测的复杂性。集成电路测试故障归类框图,如图 1-2 所示。

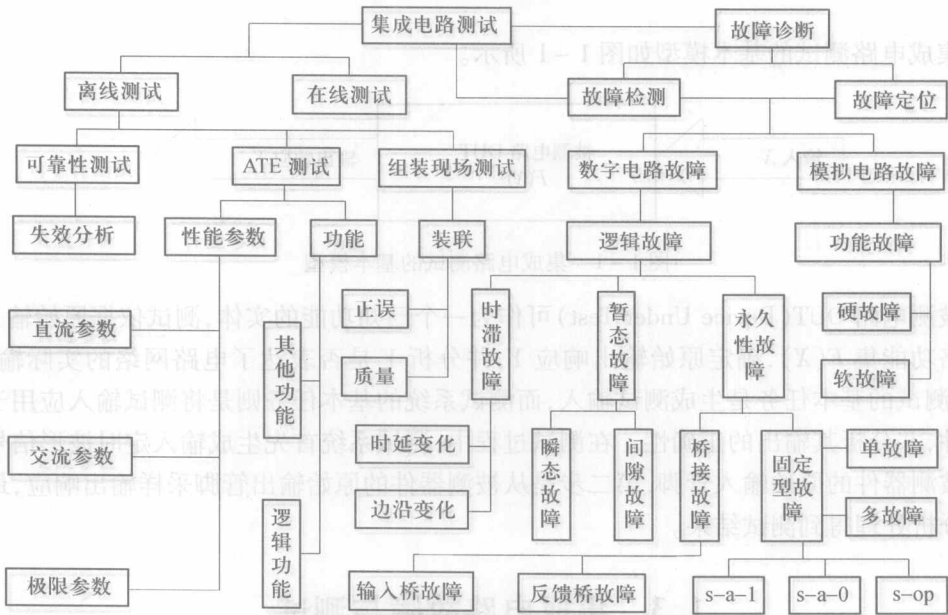


图 1-2 集成电路故障与测试

## 1.4 集成电路测试的过程

随着半导体工业的飞速发展,集成电路的集成度不断提高,芯片尺寸不断缩小、单位面积功耗和引脚数不断增加,测试的难度和费用越来越高。当前大规模数字集成电路测试已经完全依赖于自动测试设备(Automatic Test Equipment, ATE)。对于测试工程师而言,主要的任务是根据被测器件(Device Under Test, DUT)的产品规范(Specification or Datasheet)要求,利用 ATE 的软、硬件资源对 DUT 施加激励信号、收集响应信号,最后将输

出响应信号与预期要得到的信号进行对比,得出 DUT 功能和电参数的详细电性能测试报告。这里的测试特指封装后测试。

集成电路测试过程主要包括 4 个要素:测试设备、测试接口、测试程序、数据分析。

### 1. 测试设备

测试仪的基本功能是向被测器件施加输入,并观察其输出。测试仪通常也被称为自动测试设备。配置测试仪必须考虑到被测器件的技术指标和规范,包括:器件最高时钟频率、定时精度要求、输入/输出引脚的数目、输入/输出模拟信号和数模混合信号特性等。其他测试设备要考虑的因素还有费用、可靠性、服务能力、软件编程难易程度等。

### 2. 测试接口

测试接口主要是根据 DUT 的封装形式、最高时钟频率、ATE 的资源配置和接口板卡形式等方面的因素合理地选择测试插座(Socket)和设计制作测试负载板(Loadboard)。测试负载板的作用是为 DUT 和 ATE 通道资源之间提供可靠、高效的硬件连接。对于大规模、高频数字器件,测试负载板的设计制作尤为重要,需要经验丰富的 PCB 工程师完成,否则会对测试结果造成意想不到的影响。例如,PCB 上高速信号的布线、端接元件的布局、地线的设计如果不合理可能会引起反射、振铃、串扰等信号完整性问题,从而使系统输出不正确的数据、电路不能正常工作。另外,PCB 的材料、层、过孔的选择,元器件的布局、互连,电源线和地线的设计都可能影响 PCB 的电磁兼容性。总之,高速 PCB 的设计制作是一项专业性非常强的工作。

### 3. 测试程序

测试程序软件包含着控制测试设备的指令序列,如上电、向输入引脚施加时钟和向量、检测输出引脚、将输出信号与预先存储好的预期响应进行比较等。现代化的测试仪还可以提供输入信号的波形选择、屏蔽输出信号、感知高阻状态以及多种复杂的功能。

测试程序的编制主要依据被测器件的规范在测试设备软件系统上编制。测试程序的编制要考虑到以下因素:

- 器件的类型——逻辑电路、微处理器、存储器、模拟电路、数模混合信号电路等;
- 物理特性——封装、引脚分布等;
- 工艺——门电路、定制电路、标准单元等;
- 功能、参数——参数特性和测试条件、功能特性和要实现的算法、输入/输出信号的特征(波形、信号定时值等)、数据信号和控制信号的行为、时钟频率等;
- 环境特性——工作的温度范围、供电电压、湿度等;
- 可靠性——质量等级(每百万个器件的缺陷比例)、每 1000h 的失效率。

测试程序开发过程如图 1-3 所示。

图 1-3 中测试向量的生成是集成电路测试程序开发中最重要的工作。测试向量也叫做测试图形或真值表,它是 DUT 在完成设计的逻辑功能时输入和输出状态的表征。在测试向量中输入、输出数据用一些字符表示:通常用 1/0 表示输入数据,用 L/H/Z 表示输出数据,X 表示输入不驱动或输出不比较。测试图形的优劣直接决定测试的质量。目前,获得测试图形的方式主要有两种:一种方式是测试工程师通过用户或 IC 设计工程师提供的设计仿真的波形文件转换成 ATE 可以识别的测试图形文件格式。常见的波形文件有 VCD、EVCD、WGL 三种。以 Credence 的大规模集成电路测试系统 Sapphire 为例,它所使

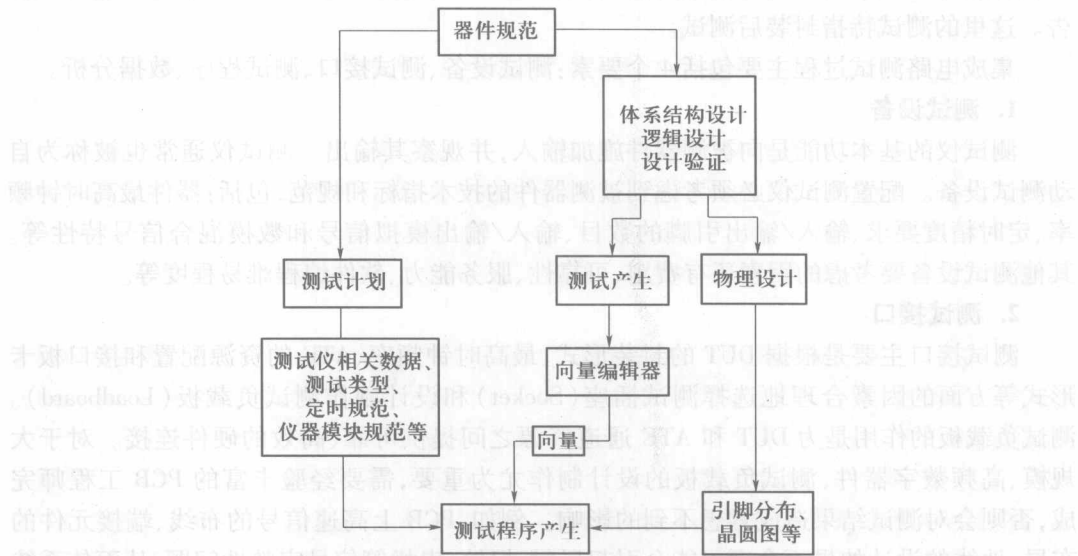


图 1-3 测试程序开发过程

用的测试图形文件格式是 STIL。Sapphire 的软件平台提供一个名为 TestDeveloper 的工具,它可将 VCD、EVCD、WGL 格式的波形文件转换生成 STIL 格式,同时生成一些与此测试图形文件对应的 XML 格式数据文件:通道映射关系文件 namemap.xml、引脚定义文件 signals.xml、信号组定义文件 signalgroups.xml、测试图形对应的时序文件 timing.xml 等,如图 1-4、图 1-5 所示。在这些生成的文件中,有两个最核心的文件:STIL 格式的测试图

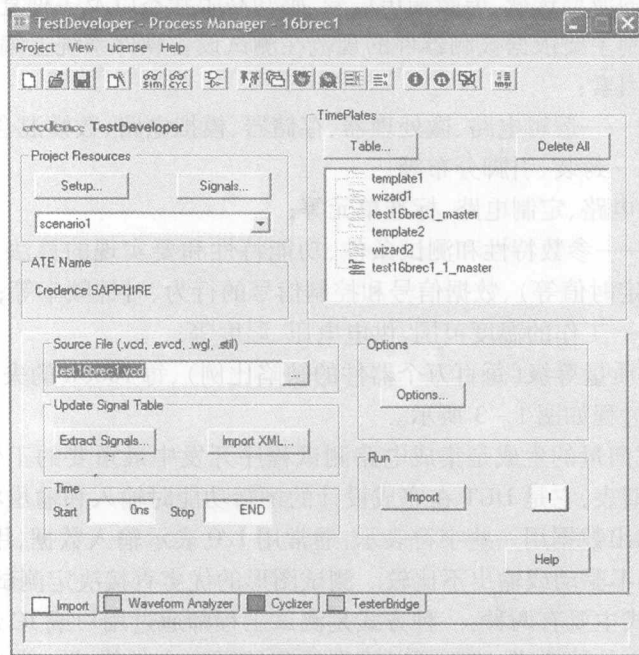


图 1-4 TestDeveloper 转换 VCD 格式文件的界面

形文件和相对应的 XML 格式的时序文件 timing.xml,这两个文件是测试程序的核心部分。根据被测试的器件工作模式的不同,同一个测试程序的测试图形可能有多个,这些测试图形中有用作功能测试的图形,也有用作参数测试的图形。

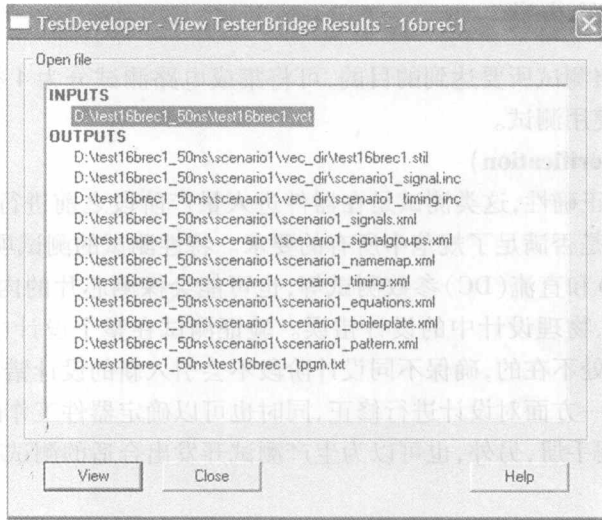


图 1-5 TestDeveloper 转换 VCD 格式文件的输出文件

另一种方式是测试工程师编写,这需要测试工程师首先对 DUT 的工作模式和电特性非常熟悉,其次对 ATE 的测试图形的格式要求很清楚。然后通过一些现成的算法或者自行开发一些测试图形生成的小程序来编写测试图形及其对应的时序文件。这种方式会花费测试工程师大量的时间,必要时还需要和 IC 设计工程师深入沟通,而且最终的测试图形质量与工程师的水平直接相关。由于大规模数字集成电路的测试图形少则几万行、十几万行,多则几十万行,而且涉及到大量的时序关系约束,所以这种编写测试图形的方法基本上是不可能实现的。

无论采用哪种方式获取测试图形,都可能出现测试图形不能考察芯片全部功能、模式状态的情况,也就是业界最关心的故障覆盖率问题。对于第三方测试机构来说,测试图形的获取更是个瓶颈问题,经常出现委托方无法提供、设计方出于保密等原因不予提供的情况。

#### 4. 测试数据分析

从 ATE 得到的数据有 3 个用途:首先,有助于判断被测器件是否合格;其次,可以提供关于制造过程的有用信息;最后,可以提供有关设计方案薄弱环节的信息。

如果器件没有通过测试,当然可以立即指出该器件有问题。但是,即使器件通过了测试,也不能说该器件就是合格的,除非测试过程的故障覆盖率达到 100%。对测试数据的分析可以提供有关器件质量的信息。由于制造过程中会有一些随机的偏差,所以器件的特性也会有高低之分。测试数据分析还可以将那些性能高于平均水平的芯片挑选出来。

对失效芯片进行失效模式分析(Failure Mode Analysis),可以为提高集成电路工艺进一步提供信息。失效器件经常会对不同的测试向量都表现出失效现象。这些失效的原因可以指出设计中的薄弱环节,即对工艺偏差比较敏感的地方。这些信息对于逻辑设计规则以及版图设计规则也是十分有用的。

## 1.5 集成电路测试的分类

### 1.5.1 按测试目的分类

根据对集成电路测试所要达到的目的,可将集成电路测试分为4类,即验证测试、生产测试、验收测试、使用测试。

#### 1. 验证测试 (Verification)

验证 IC 功能的正确性,这类测试是在器件进入量产阶段之前进行的,其目的是验证这个设计是否正确,是否满足了规范中所有的要求。特性测试的测试项目非常全面,包括功能测试、交流(AC)和直流(DC)参数测试等,也可能会探测芯片的内部结构,主要针对系统设计、逻辑设计、物理设计中的设计错误。验证测试在整个设计中是一个迭代的过程,即验证应该是无处不在的,确保不同设计阶段不会引入新的设计错误。

通过特性测试,一方面对设计进行修正,同时也可以确定器件工作的确切边界参数以制定最终的器件数据手册,另外,也可以为生产测试开发出合适的测试程序。

#### 2. 生产测试

IC 制造生产后的测试,包括晶片(Wafer)测试(即中间测试)和封装芯片测试(即成品测试和老化测试)。对产品进行筛选和分级,测试主要针对制造过程中产生的故障。

每一片 IC 生产出来的芯片都要接受生产测试。生产测试没有特性测试那么全面,但是它必须满足质量上的要求,也就是在生产测试中通过的芯片应该是满足规范要求的。从降低测试成本的角度出发,生产测试在保证故障覆盖率的前提下,通常使用尽可能小的测试向量集合,从而缩短测试时间。

按器件实际好与坏,生产测试结果和器件好与坏可能有4种组合情况,如图1-6所示。

- 实际好—测试好:表示产量,或良品率(%)。
- 实际好—测试坏:表示产量损失,需要改进测试方法或通过产品分级继续使用,以减少这类损失。
- 实际坏—测试好:表示“漏网”的坏芯片,用每百万芯片失效数 DPM(Defects Per Million)度量。这会引起后续系统产品的质量和返修问题,甚至涉及产品信誉。提高测试的故障覆盖率可降低 DPM。
- 实际坏—测试坏:表示真正的产量损失。

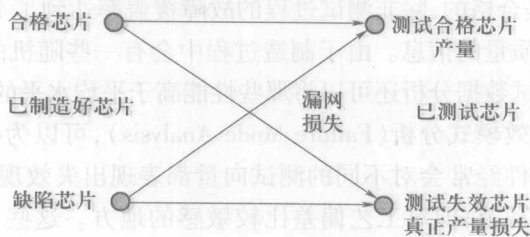


图 1-6 生产测试结果

### 3. 验收测试

系统制造商在进行系统集成之前,需要对所购买的电路器件进行入厂测试。在不同的情况下,此类测试的内容不同,可能与产品测试的项目类似,可能比产品测试更全面,也可能为了特定的系统应用而进行调整。另外,根据器件质量和系统要求,可能进行随机抽样,只针对样品做入厂测试。这一类测试最主要的目的是避免在系统组装的时候使用有缺陷的器件,那种情况一旦出现,其诊断费用远高于入厂测试的费用。

### 4. 使用测试

系统 RMS(Reliability, Maintainability, Serviceability)技术的需要。使用测试是在器件使用期间进行的测试,包括对器件进行各类可靠性试验后的评价测试,系统使用过程中出现故障进行故障芯片检测和定位所进行的测试等。

## 1.5.2 按测试内容分类

按测试所涉及的内容,测试分为:参数测试、功能测试、结构测试。

### 1. 参数测试

器件参数测试包括 DC(电压、电流)测试、AC(时延)测试、 $I_{DDQ}$ 测试、三态测试等。

### 2. 功能测试

芯片内部数字或模拟电路的行为测试。对于数字电路,包括逻辑功能测试、门级结构测试、延迟测试等;对于模拟电路,目前主要是基于器件规范的测试。

### 3. 结构测试

是以故障模型为核心,即大多数测试产生算法和测试评估算法都基于某种故障模型。结构测试的最大的优点就是使得我们可以研发测试相关的算法。

结构测试则不关注电路功能。对于某个输入引脚的信号变化,结构测试的测试产生算法会根据电路的内部结构(例如相关通路上依次经过了什么类型的门)来推算内部节点的状态变化,以及输出引脚的值的变化的。

## 1.5.3 按测试器件的类型分类

电路类型的不同,需要具有不同特点的测试,如:

- (1) 数字电路测试;
- (2) 模拟电路测试;
- (3) 混合信号电路测试;
- (4) 存储器测试;
- (5) SOC 测试。

## 1.6 集成电路测试的意义与作用

集成电路(IC)测试是伴随着集成电路的发展而发展的,它对促进集成电路的进步和应用作出了巨大的贡献。

集成电路测试的作用:

- 检测:确定被测器件(DUT)是否具有或者不具有某些故障;
- 诊断:识别表现于 DUT 的特定故障;
- 器件特性的描述:确定和校正设计和/或者测试中的错误;
- 失效模式分析(FMA):确定引起 DUT 缺陷制造过程中的错误。

集成电路测试贯穿于集成电路设计、制造、封装,以及到集成电路应用的全过程。集成电路测试按生产过程的先后可分为:集成电路设计时的验证测试;芯片制造过程的工艺监控测试;封装前的圆片测试(中测)中的芯片电路的性能参数测试,以及作为芯片制造质量监控、设计模型参数提取和内建可靠性的微电子测试结构的测试;封装后的成品测试(成测)中的直流参数(DC)、交流参数(AC)、极限参数和电路功能的测试;IC 可靠性保证测试(例如,耐久性老化试验、筛选试验、例行试验、寿命试验、定级试验、验收试验和失效分析试验等);集成电路应用时的用户测试(例如,入库检验、现场测试和失效分析)等。

集成电路寿命全过程中的具体分类测试框架结构,如图 1-7 所示。

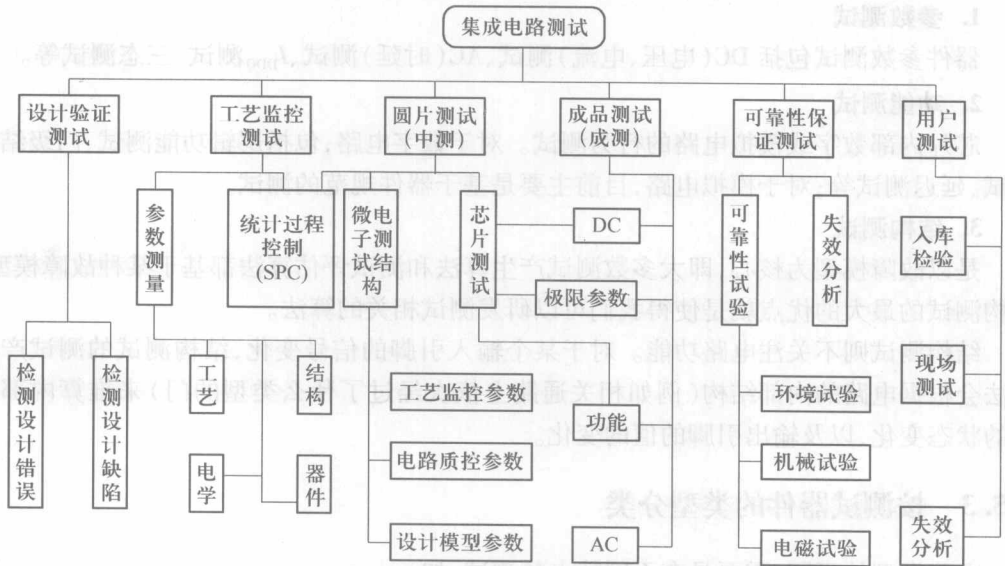


图 1-7 集成电路寿命全过程中的各类测试框架图

(1) 在研制开发过程中,为了验证逻辑设计、电路设计、版图设计和工艺设计是否正确,是否达到要求,需要多次改变条件,反复测试。

(2) 在生产阶段,管芯制成后和封装后都要进行电性能和参数测试,包括性能鉴定、可靠性试验和失效分析等测试。通过这些测试可对产品进行挑选和分级,剔除失效的芯片,以保证出厂产品的质量和提高厂家的信誉;此外,通过所得到的测试数据,生产厂家可用于控制、修正工艺流程,以提高生产效率、产品质量和成品率。

(3) 使用阶段:

- 入库检验:测试也是十分必要的。图 1-8 示出发现每故障检出费用与检出阶段之间的关系。从图可以看出,测试的费用往往会随器件级、板级、系统级和现场故障寻迹维修测试,按每级 10 倍的递增量而逐级递增,即遵循十倍法则。所以,必须尽早在尽可能

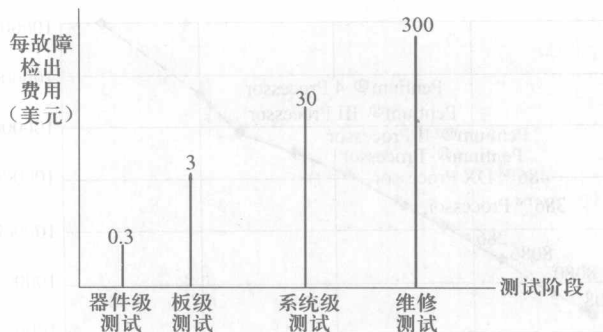


图 1-8 故障检出费随检出阶段的变化

低的级别进行测试,以检测故障、排除故障或剔除废品和不合格品,保证产品的高质量和低成本。“尽早测试”,尽早发现并排除缺陷与故障是保证产品高质量和降低产品成本的基本原则。

- 现场测试:用户现场使用器件进行的测试,简单判定是否能够正常工作。
- 失效分析测试:使用阶段系统出现故障,通过失效分析测试定位失效器件,对失效器件进行深入分析,给出失效机理,确定是器件本身质量问题还是设计选用问题,并提出合理纠正措施和有效验证,避免故障的再次发生。

## 1.7 半导体技术的发展对测试的影响

半导体技术已经发展到在单个芯片上可以集成上亿个晶体管,并且时钟频率高达几千兆赫,芯片中既有数字电路,也集成模拟电路,封装也向高密度、立体发展,这样的发展趋势对芯片测试的成本和难度都有深刻的影响。

### 1. 芯片时钟速度提升

随着半导体器件的时钟频率呈指数级增长,全速测试(at speed test)将越来越重要。有相关研究表明,以被测电路的额定频率来进行固定故障(stuck-fault)测试,其效果更好。为了实施全速测试,ATE 的频率必须与被测电路的频率一致,甚至更快。所以,ATE 不得不面临持续提高时钟速度的压力。然而,高速的 ATE 非常昂贵。根据 2000 年的数据,一个能以 1GHz 的频率施加测试激励的 ATE,每增加一个测试引脚其价格就上升 3000 美元。因此,用这样的测试仪进行高速测试的费用也很高。测试设备硬件投资成本是进行器件全速测试要考虑的问题。

### 2. 晶体管密度增长

半导体芯片中晶体管的特征尺寸每年大约减小 10.5%,导致晶体管的密度每年大约增长 22.1%。再考虑到晶圆和芯片的尺寸增长,以及电路设计和工艺的革新,晶体管的密度几乎呈现平方级的增长,图 1-9 显示 Intel 的 CPU 晶体管密度的增加趋势。晶体管密度不断增长,而通常情况下器件的引脚数目不会与晶体管密度呈同级别的增长,这使得芯片内部模块变得越来越难测,使得测试复杂度越来越大。除此之外,晶体管密度的增长也带来了芯片功耗的增长,这也是测试必须考虑到的问题。



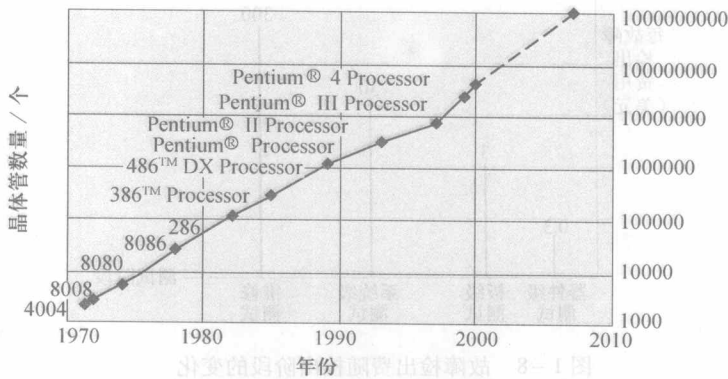


图 1-9 晶体管密度的增长

### 3. 封装形式的发展

芯片的封装技术已经历了好几代的变迁,从 DIP、QFP、PGA、BGA 到 CSP 再到 MCM,技术指标一代比一代先进,包括芯片面积与封装面积之比越来越接近于 1,适用频率越来越高,耐温性能越来越好,引脚数增多,引脚间距减小,重量减小,可靠性提高,使用更加方便,等等,如图 1-10 所示。

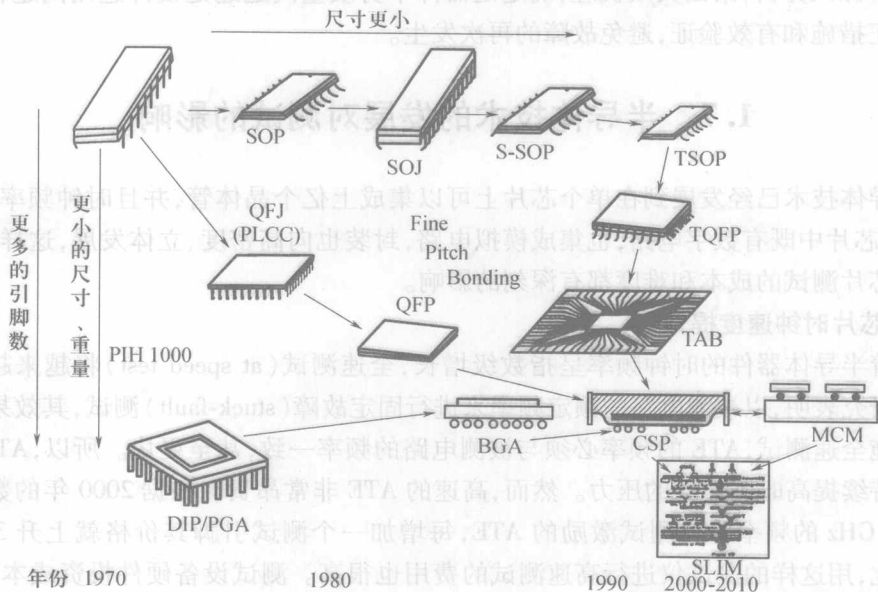


图 1-10 集成电路封装技术发展趋势

随着芯片封装技术向高密度、高速度的发展,所来的问题封装后的成品测试如何与测试系统进行硬件接口的问题,包括测试夹具、测试负载板的设计等也面临新的难题。

### 4. 混合信号集成电路广泛应用

随着 IC 集成度的提高和消费类电子、汽车、通信等领域的发展,混合信号集成电路的需求不断上升。在一块芯片上集成模拟电路部分和数字电路部分,有助于降低系统成本、提高系统速度。数字、模拟集成电路集成在一个芯片上,在测试精度、速度、可及性等方面带来新的问题,这也就是混合集成电路测试的难题。