



普通高等教育“十一五”国家级规划教材
电子信息科学与工程类专业

集成电路设计

(第2版)

● 王志功 陈莹梅 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

“十三五”普通高等教育本科规划教材
教育部“十三五”规划教材

集成电路设计

(第2版)

■ 教育部 教育部 教育部



普通高等教育“十一五”国家级规划教材

电子信息科学与工程类专业

集成电路设计

(第2版)

王志功 陈莹梅 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是普通高等教育“十一五”国家级规划教材，全书遵循集成电路设计的流程，介绍集成电路设计的一系列基础知识。主要内容包括集成电路的材料、制造工艺和器件模型、集成电路模拟软件 SPICE 的基本用法、集成电路版图设计、模拟集成电路基本单元、数字集成电路基本单元、集成电路数字系统设计和集成电路的测试与封装等。本书提供配套电子课件。

本书可作为高等学校电子信息、微电子等专业高年级本科生和硕士生的教材，也可供集成电路设计工程师学习参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有，侵权必究。

图书在版编目（CIP）数据

集成电路设计 / 王志功, 陈莹梅编著. —2 版. —北京: 电子工业出版社, 2009.6

（普通高等教育“十一五”国家级规划教材）

ISBN 978-7-121-08805-6

I. 集… II. ①王…②陈… III. 集成电路—电路设计—高等学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字（2009）第 073259 号

策划编辑：王羽佳

责任编辑：王羽佳 特约编辑：曹剑锋

印 刷：北京市顺义兴华印刷厂

装 订：三河市双峰印刷装订有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1 092 1/16 印张：19.25 字数：492.8 千字

印 次：2009 年 6 月第 1 次印刷

印 数：4 000 册 定价：33.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

第2版前言

本书是普通高等教育“十一五”国家级规划教材，在2006年出版的《集成电路设计》的基础上，根据教育部高等学校电子信息与电气信息类基础课程教学分指导委员会制定的“集成电路设计基础”课程教学基本要求进行了修订。

教材遵循集成电路设计的流程，讨论集成电路设计的一系列基础知识。主要内容包括集成电路的材料、制造工艺、器件 SPICE 模型、集成电路模拟软件 SPICE 的基本用法、版图设计、模拟集成电路基本单元、数字集成电路基本单元、集成电路数字系统设计、集成电路的测试与封装等，内容涵盖了集成电路产品的各个环节。通过上述内容的学习，读者将全面了解集成电路设计流程与集成电路设计技术，掌握设计工具，为从事集成电路设计工作奠定基础。

本次修订致力于增加教材的实用性和先进性，与第1版相比，不仅为读者提供了集成电路设计从前端、版图、流片至封装测试的完整流程，还结合设计工具重点介绍了设计实例，将基础理论知识与工程实践相结合，达到使读者能够学以致用用的目标。在内容编排上，尽量做到思路清晰、叙述详尽、便于自学。

第2版主要做了如下改动：

1. 遵循集成电路设计的流程，在介绍了集成电路的材料、工艺与器件模型之后，将 SPICE 仿真工具的应用在第6章进行介绍。

2. 在第6章介绍 SPICE 仿真工具时，增加了两个 HSPICE 环境下的仿真实例，从工程应用的角度，对缓冲驱动器和跨导放大器两个基本电路进行详细设计与分析，使读者全面掌握基本电路的设计思路和设计方法。

3. 对第8章集成电路版图设计与工具的内容进行了较大的改动。首先，对版图图元内容进行了补充，除介绍 MOS 晶体管、集成电阻与集成电容以外，还增加了寄生二极管与三极管的内容。其次，为提高电路性能，增加了版图设计准则部分，对版图设计中的匹配性设计和抗干扰设计等进行了详细介绍。最后，增加了基于 Cadence 环境下的集成电路设计流程的内容。

4. 对第9章模拟集成电路基本单元设计的章节进行了较大的改动。首先，增加了设计实例。在差分放大器部分，以电流镜负载差分放大器为例，从模拟集成电路设计的角度，介绍了设计指标的分解、设计参数的计算等设计过程。在运算放大器部分，增加了两级 CMOS 基本差分运算放大器设计实例，先根据设计指标计算运算放大器的器件参数的初值，然后通过 SPICE 进行仿真优化，得到器件参数终值。其次，对振荡器电路的相关内容进行了修改与补充，比较详细地介绍了环形振荡器与 LC 振荡器的相关知识。

5. 由于篇幅所限，删除了 ADC 与 DAC 数模混合集成电路的内容。

6. 对第11章集成电路数字系统设计部分进行了改写。增加了数字系统设计流程中基本步骤的介绍，简化了 FPGA/CPLD 硬件验证部分的内容。

7. 删除了集成电路发展展望部分的内容。

本书可作为电子、通信与信息学科高年级本科生和硕士生的教材，也可作为集成电路设计工程师的参考用书。

本书提供配套多媒体电子课件，请登录华信教育资源网（<http://www.huaxin.edu.cn> 或 <http://www.hxedu.com.cn>）注册下载。

本教材的大纲由王志功教授审定，由陈莹梅副教授主持编写与修订，射频与光电集成电路研究所的研究生王涛、阎双超、景永康、蔡志民等为完成本次修订做了大量工作。电子工业出版社的王羽佳编辑在组织出版和编辑工作中给以了很大的支持。在此对以上所有同志表示衷心的感谢！

限于作者水平，书中难免有遗漏和错误，敬请读者批评指正。

作 者
于东南大学

前 言

人类已进入信息化社会，硅器时代！过去十多年来，我国信息产业迅猛发展，但作为支撑的集成电路产业却相对落后。我国目前生产的集成电路只能满足国内市场需求的 20%，更重要的是，关系我国信息安全和信息产业需求的关键集成电路如计算机的核心芯片 CPU，光纤通信系统中的高速电路，Internet 的网关网卡电路，多媒体中的信息处理电路等大多都是从外国进口的。这无疑极大地威胁着我国信息网络乃至整个国家的安全，制约着我国微电子行业乃至整个信息行业的发展，限制着我国微电子产品在国内外市场上的竞争力。

在这样的形势下，我国的集成电路的技术发展和产业面临着巨大的挑战和机遇。其挑战来自于以下几个方面：

- 世界范围内信息技术和集成电路技术的高速发展；
- 我国加入 WTO 后，信息产业市场开放带来的外国信息产品的强力推销；
- 国外信息技术和集成电路技术的继续垄断；
- 我国集成电路工艺和技术的相对落后；
- 我国集成电路设计人才的绝对缺少。

事实上，集成电路设计和制造水平的高低已成为衡量一个国家技术水平的一个重要标准，同时成为一个国家经济实力和国防实力的一个重要标志。可以预料，在 21 世纪的前半叶，集成电路技术将会更加迅猛地发展。在我国，发展集成电路技术以加速社会信息化进程、加强国防力量和保证国家安全已经刻不容缓。

面临挑战的同时，我国集成电路设计和制造技术的发展面临着一个关键的机遇。这种机遇表现在以下几方面：

- 国家的高度重视。“集成电路及关键元器件核心技术”的掌握已被列入 2006—2020 年“国家中长期科学和技术发展规划纲要”。
- 国防和国家信息安全对集成电路的迫切需求。
- 国内外半导体制造现代化工艺线的不断建设和扩展，很大程度上已经形成的“等米下锅”（等待高技术含量的电路投入大批制造）或“找米下锅”的局面。
- 我国多条先进（0.18 μm ）工艺线在上海、北京和天津等地的兴建为我国先进集成电路的制造提供了条件。
- 我国有数量庞大、可再塑或尽快培育的、支付费用低的集成电路设计与制造技术队伍和智力资源。我国重点大学大多都设有电子、通信、计算机、自动化等学科，每个学科每年都招收上百名学生，这些学生有很大一部分（全国超过数万名）可以通过课程调整和技术实践培养成为集成电路设计人才。
- 至 2004 年 8 月，教育部和科技部已批准了 17 所高校为国家集成电路人才培养基地的建设单位。

在这种形势下，集成电路设计人才的培养任务艰巨，为培养集成电路设计人才所需要的、适应当前技术发展的教材成为急需。

本教材的基础内容来自《VLSI 设计》讲义。已按照该讲义为多届研究生进行了讲授。讲课过程中发现：研究生大多在本科阶段没有系统学习过集成电路设计；当前更多需要模拟和模数混合集成电路设计人才；学生基本上没有接触过集成电路设计工具。

因此在已使用多年的讲义的基础上,根据教育部高等学校电子信息与电气信息类基础课程教学分指导委员会制定的平台课程教学基本要求修订了本教材。

本书的主要内容遵循集成电路设计的流程,讨论集成电路设计的一系列基础知识,共分12章。第1章追溯了集成电路发展的历史,讨论当前集成电路设计流程和环境,了解集成电路制造途径等的有关问题。第2章介绍了集成电路制造相关的材料、结构和理论。第3章为集成电路制造的基本工艺。第4章介绍以双极型硅、CMOS、BiCMOS、MESFET、HEMT等各种有源元件为代表的集成电路器件工艺。第5章介绍MOS场效应管特性。第6章介绍了集成电路器件及SPICE模型。第7章介绍了集成电路版图设计的基本过程和知识。第8章和第9章分别为模拟集成电路和数字集成电路基本单元设计和版图设计。第10章为VLSI集成数字系统设计基础知识。第11章简要叙述了集成电路测试和封装方面的有关问题。第12章为集成电路发展展望。通过这12章的学习,可以使读者能够基本了解集成电路设计和制造的全过程,掌握集成电路设计的基本知识。

本书可以作为电子科学和通信与信息等学科高年级本科生和硕士生的教材,也可作为集成电路设计工程师的参考书。

本教材由王志功教授主编。在王志功的主持下,通过广泛的调查研究,确定了本书的基本大纲。书中第1~9章和第11章由陈莹梅编写,第10章和第12章由朱恩编写,王志功教授完成了其他初稿的准备,并对所有初稿做了全面调整和大量修改并最终定稿。

鉴于集成电路技术一方面发展迅速,另一方面涉及众多技术领域,使得编写一本既能覆盖基础技术,又能跟踪前沿技术的教材变得十分困难。我们虽然尽了力,仍感到难以满意,对于教材中的遗漏和错误,恳望读者批评指正。

作 者

2006年6月12日于东南大学

目 录

第 1 章 集成电路设计概述	1
1.1 集成电路的发展	1
1.2 集成电路设计流程及设计环境	4
1.3 集成电路制造途径	5
1.4 集成电路设计的知识范围	6
思考题	8
第 2 章 集成电路材料、结构与理论	9
2.1 集成电路材料	9
2.1.1 硅	10
2.1.2 砷化镓	10
2.1.3 磷化铟	11
2.1.4 绝缘材料	11
2.1.5 金属材料	12
2.1.6 多晶硅	13
2.1.7 材料系统	14
2.2 半导体基础知识	15
2.2.1 半导体的晶体结构	15
2.2.2 本征半导体与杂质半导体	15
2.3 PN 结与结型二极管	16
2.3.1 PN 结的扩散与漂移	16
2.3.2 PN 结型二极管	17
2.3.3 肖特基结二极管	18
2.3.4 欧姆型接触	18
2.4 双极型晶体管	18
2.4.1 双极型晶体管的基本结构	18
2.4.2 双极型晶体管的工作原理	19
2.5 MOS 晶体管	20
2.5.1 MOS 晶体管的基本结构	20
2.5.2 MOS 晶体管的工作原理	21
2.5.3 MOS 晶体管的伏安特性	21
思考题	25
本章参考文献	25
第 3 章 集成电路基本工艺	27
3.1 外延生长	27
3.2 掩模版的制造	28
3.3 光刻原理与流程	31

3.3.1 光刻步骤	31
3.3.2 曝光方式	32
3.4 氧化	34
3.5 淀积与刻蚀	34
3.6 掺杂原理与工艺	35
思考题	37
本章参考文献	37
第4章 集成电路器件工艺	39
4.1 双极型集成电路的基本制造工艺	40
4.1.1 双极型硅工艺	40
4.1.2 HBT 工艺	41
4.2 MESFET 和 HEMT 工艺	43
4.2.1 MESFET 工艺	43
4.2.2 HEMT 工艺	44
4.3 MOS 和相关的 VLSI 工艺	46
4.3.1 PMOS 工艺	47
4.3.2 NMOS 工艺	48
4.3.3 CMOS 工艺	51
4.4 BiCMOS 工艺	54
思考题	57
本章参考文献	57
第5章 MOS 场效应管的特性	58
5.1 MOS 场效应管	58
5.1.1 MOS 管伏安特性的推导	58
5.1.2 MOS 电容的组成	59
5.1.3 MOS 电容的计算	61
5.2 MOS FET 的阈值电压 V_T	62
5.3 体效应	65
5.4 MOSFET 的温度特性	65
5.5 MOSFET 的噪声	66
5.6 MOSFET 尺寸按比例缩小	66
5.7 MOS 器件的二阶效应	69
5.7.1 L 和 W 的变化	69
5.7.2 迁移率的退化	71
5.7.3 沟道长度的调制	72
5.7.4 短沟道效应引起的阈值电压的变化	73
5.7.5 狭沟道效应引起的阈值电压的变化	73
思考题	74
本章参考文献	74

第 6 章 集成电路器件及 SPICE 模型	75
6.1 无源器件结构及模型	75
6.1.1 互连线	75
6.1.2 电阻	76
6.1.3 电容	78
6.1.4 电感	80
6.1.5 分布参数元件	81
6.2 二极管电流方程及 SPICE 模型	85
6.2.1 二极管的电路模型	85
6.2.2 二极管的噪声模型	86
6.3 双极型晶体管电流方程及 SPICE 模型	87
6.3.1 双极型晶体管的 EM 模型	87
6.3.2 双极型晶体管的 GP 模型	89
6.4 结型场效应 JFET (NJF/PJF) 模型	90
6.5 MESFET (NMF/PMF) 模型 (SPICE3.x)	90
6.6 MOS 管电流方程及 SPICE 模型	91
思考题	94
本章参考文献	94
第 7 章 SPICE 数模混合仿真程序的设计流程及方法	96
7.1 采用 SPICE 的电路设计流程	96
7.2 电路元件的 SPICE 输入语句格式	97
7.3 电路特性分析语句	103
7.4 电路特性控制语句	105
7.5 缓冲驱动器设计实例	107
7.6 跨导放大器设计实例	111
思考题	124
本章参考文献	125
第 8 章 集成电路版图设计与工具	126
8.1 工艺流程的定义	126
8.2 版图几何设计规则	127
8.3 图元	131
8.3.1 MOS 晶体管	131
8.3.2 集成电阻	133
8.3.3 集成电容	134
8.3.4 寄生二极管与三极管	136
8.4 版图设计准则	138
8.4.1 匹配设计	138
8.4.2 抗干扰设计	143
8.4.3 寄生优化设计	144

8.4.4 可靠性设计	145
8.5 电学设计规则与布线	147
8.6 基于 Cadence 平台的全定制 IC 设计	149
8.6.1 版图设计的环境	149
8.6.2 原理图编辑与仿真	150
8.6.3 版图编辑与验证	154
8.6.4 CMOS 差动放大器版图设计实例	156
8.7 芯片的版图布局	158
8.8 版图设计的注意事项	160
思考题	161
本章参考文献	161
第 9 章 模拟集成电路基本单元	162
9.1 电流源电路	162
9.1.1 双极型镜像电流源	162
9.1.2 MOS 电流镜	164
9.2 基准电压源设计	166
9.2.1 双极型三管能隙基准源	166
9.2.2 MOS 基准电压源	167
9.3 单端反相放大器	168
9.3.1 基本放大电路	168
9.3.2 改进的 CMOS 推挽放大器	172
9.4 差分放大器	173
9.4.1 BJT 差分放大器	173
9.4.2 MOS 差分放大器	174
9.4.3 CMOS 差分放大器设计实例	175
9.5 运算放大器	178
9.5.1 性能参数	178
9.5.2 套筒式共源共栅运放	180
9.5.3 折叠式共源共栅运放	181
9.5.4 两级运放	184
9.5.5 CMOS 运算放大器设计实例	185
9.6 振荡器	195
9.6.1 环形振荡器	195
9.6.2 LC 振荡器	199
思考题	201
本章参考文献	202
第 10 章 数字集成电路基本单元与版图	203
10.1 TTL 基本电路	203
10.1.1 TTL 反相器	203

10.1.2	TTL 与非门	204
10.1.3	TTL 或非门	205
10.2	CMOS 基本门电路及版图实现	206
10.2.1	CMOS 反相器	206
10.2.2	CMOS 与非门和或非门	214
10.2.3	CMOS 传输门和开关逻辑	216
10.2.4	三态门	219
10.2.5	驱动电路	219
10.3	数字电路标准单元库设计	220
10.3.1	基本原理	220
10.3.2	库单元设计	221
10.4	焊盘输入/输出单元	222
10.4.1	输入单元	223
10.4.2	输出单元	224
10.4.3	输入/输出双向三态单元 (I/O PAD)	230
10.5	了解 CMOS 存储器	231
10.5.1	动态随机存储器 (DRAM)	233
10.5.2	静态随机存储器 (SRAM)	239
10.5.3	闪存	241
	思考题	243
	本章参考文献	243
第 11 章	集成电路数字系统设计基础	244
11.1	数字系统硬件描述语言	244
11.1.1	基于 HDL 语言的设计流程	244
11.1.2	Verilog HDL 语言介绍	246
11.1.3	硬件描述语言 VHDL	255
11.2	数字系统逻辑综合与物理实现	261
11.2.1	逻辑综合的流程	263
11.2.2	Verilog HDL 与逻辑综合	267
11.2.3	自动布局布线	269
11.3	数字系统的 FPGA/CPLD 硬件验证	273
11.3.1	PLD 概述	274
11.3.2	现场可编程门阵列 (FPGA)	274
11.3.3	基于 FPGA 的数字系统硬件验证	277
	思考题	278
	本章参考文献	279
第 12 章	集成电路的测试和封装	280
12.1	集成电路在芯片测试技术	280
12.2	集成电路封装形式与工艺流程	282

12.3	芯片键合.....	284
12.4	高速芯片封装.....	286
12.5	混合集成与微组装技术.....	287
12.6	数字集成电路测试方法.....	287
12.6.1	可测试性的重要性	287
12.6.2	测试基础	288
12.6.3	可测试性设计	289
	思考题	291
	本章参考文献	291

第 1 章 集成电路设计概述

1.1 集成电路的发展

微电子技术是当代信息技术的一大基石。1947 年美国贝尔实验室的 William B. Shockley（肖克莱）、Walter H. Brattain（波拉坦）和 John Bardeen（巴丁）发明了晶体管，为此他们获得了 1956 年的诺贝尔物理学奖。图 1.1 所示为代表这一具有划时代意义的点接触式晶体管的照片。

1958 年 12 月 12 日，在德州仪器公司（TI）从事研究工作的 Jack Kilby 发明了世界上第一块集成电路（IC，Integrated Circuit），为此他在 42 年之后获得了 2000 年的诺贝尔物理学奖。图 1.2 所示为 Jack Kilby 发明的世界上第一块集成电路的照片。

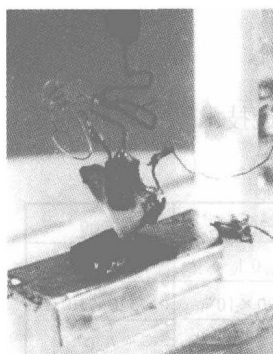


图 1.1 最原始的点接触式晶体管

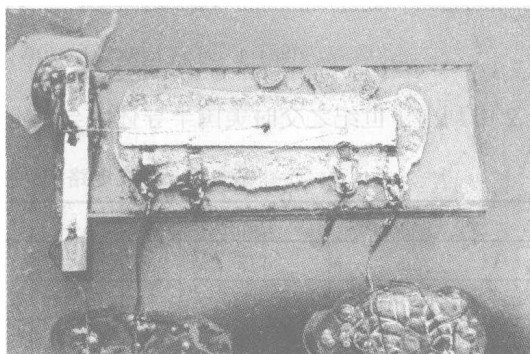


图 1.2 Jack Kilby 发明的世界上第一块集成电路

以上两项革命性的发明推进人类社会进入微电子时代和信息时代。表 1.1 所示为 1947 年以来集成电路相关工艺技术、电路规模和产品的发展概况。

表 1.1 集成电路工艺技术、电路规模和产品的发展概况

年 份	1947	1950	1961	1966	1971	1980	1990	2000	2003
工 艺	晶体管	分立元件	SSI	MSI	LSI	VLSI	ULSI	GSI	SOC
产品芯片 上晶体管 大约数目	1	1	10	100~1000	$1 \times 10^3 \sim 2 \times 10^4$	$2 \times 10^4 \sim 1 \times 10^6$	$1 \times 10^6 \sim 1 \times 10^7$	$>1 \times 10^7$	$>5 \times 10^7$
典型产品	结型晶体管	结型晶体管和二极管	平面器件、逻辑门、触发器	计数器、复接器、加法器	8 位微处理器、ROM、RAM	16 位、32 位微处理器，复杂外围电路	专用处理器、虚拟现实机、灵巧传感器	PIII	P4、手机、芯片等

尽管英文中有 VLSI、ULSI 和 GSI 之分，但 VLSI 使用最频繁，其含义往往包括了 ULSI 和 GSI。而中文中把 VLSI 译为超大规模集成，更是包含了 ULSI 和 GSI 的意义。

1965 年英特尔（Intel）公司创始人 Gorden E. Moore 提出了著名的摩尔（Moore）定律：集成电路的集成度，即芯片上晶体管的数目，每隔 18 个月增加一倍或每 3 年翻两番。由图 1.3 可以看出，30 多年来，以动态随机存储器和英特尔公司的微处理器为代表的两大类集成电路的规模几乎都是准确地按照 Moore 定律发展的。

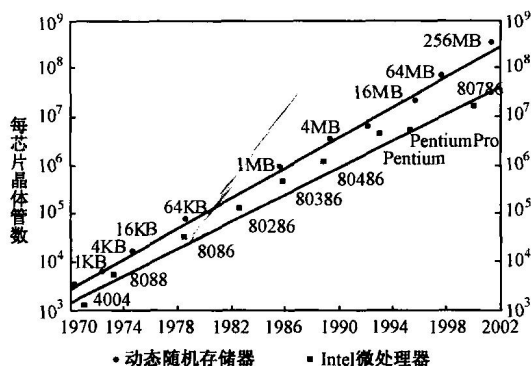


图 1.3 集成电路规模按摩尔定律发展的趋势

表 1.2 中列出了世纪之交时美国半导体协会制定的集成电路制造技术进程路标（Roadmap）。

表 1.2 集成电路制造技术进程路标

年 份	1999	2001	2003	2006	2009
工艺/ μm	0.18	0.15	0.13	0.1	0.07
晶体管数/个	21×10^6	40×10^6	76×10^6	200×10^6	520×10^6
面积/ mm^2	340	385	430	520	620
时钟/MHz	1 200	1 400	1 600	2 000	2 500
金属层数/个	6~7	7	7	7~8	8~9
V_{DD}/V	1.65	1.35	1.35	1.05	0.75
布线长度/m	1 480	—	2 840	5 140	10 000
缓存器/KB	25	—	54	230	797

下面结合表 1.2 对集成电路技术发展趋势概括如下。

① 集成电路的特征尺寸向深亚微米发展。目前的规模化生产是 $0.18 \mu\text{m}$ 工艺， $0.15/0.13 \mu\text{m}$ 工艺开始向规模化生产迈进， 90 nm 工艺正在推出。图 1.4 从左到右所示为按比例画出的宽度为 $4 \mu\text{m} \sim 70 \text{ nm}$ 的线条。由此，可以对特征尺寸的按比例缩小建立一个直观的印象。

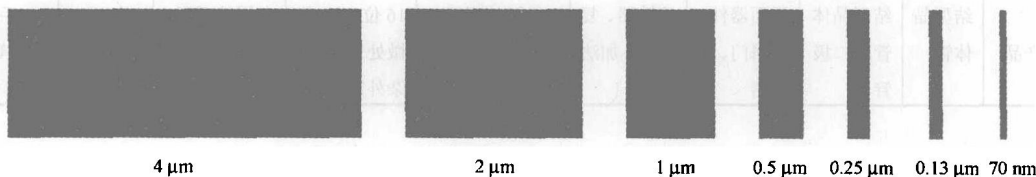


图 1.4 特征尺寸从 $4 \mu\text{m} \sim 70 \text{ nm}$ 的成比例减小的线条

② 晶圆的尺寸增加。当前的主流晶圆的尺寸为 8 英寸，正在向 12 英寸晶圆迈进。图 1.5

从左到右所示为按比例画出的 2~12 英寸的圆。由此，可以对晶圆尺寸的增大建立一个直观的印象。通过图 1.6 中一个 12 英寸晶圆与人脸大小的对比，可以对一个 12 英寸晶圆的大小建立一个直观的印象。

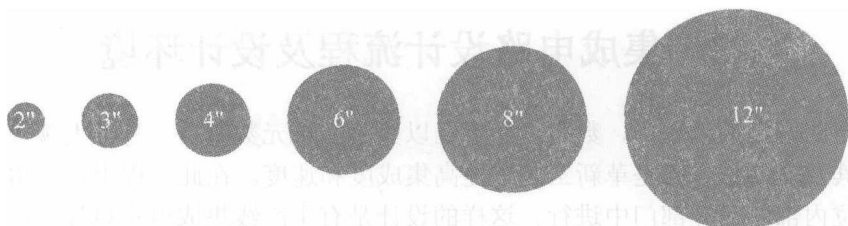


图 1.5 2~12 英寸成比例增加的晶圆



图 1.6 一个 12 英寸晶圆与人脸大小的对比

- ③ 集成电路的规模不断提高。CPU (P4) 已超过 4 000 万晶体管，DRAM 已达 Gb 规模。
- ④ 集成电路的速度不断提高。采用 0.13 μm CMOS 工艺实现的 CPU 主时钟已超过 2 GHz，实现的超高速数字电路速率已超过 10 Gb/s，射频电路的最高工作频率已超过 6 GHz。
- ⑤ 集成电路复杂度不断增加。系统芯片，或称芯片系统 SoC (System-on-Chip)，成为开发目标。
- ⑥ 模拟数字混合集成向电路设计工程师提出挑战。
- ⑦ 集成电路器件制造能力按每 3 年翻两番，即以每年增长 58% 的速度提升，而电路设计能力每年只以增长 21% 的速度提升，电路设计能力明显落后于器件制造能力，且其鸿沟 (Gap) 呈现越来越宽的趋势。
- ⑧ 集成电路产业连续几十年的高速增长和巨额利润导致世界范围内集成电路生产线的大量建设，目前已经出现过剩局面。
- ⑨ 工艺线建设投资费用越来越高。目前一条 8 英寸 0.35 μm 工艺线的投资约 20 亿美元，但在几年内一条 12 英寸 0.09 μm 工艺线的投资将超过 100 亿美元。如此巨额的投资已非单独一个公司，甚至一个发展中国家所能单独负担的。
- ⑩ 制造集成电路的掩模很贵。根据 SemaTech 报告，“一套 130 nm 逻辑器件工艺的掩模大约需 75 万美元，一套 90 nm 的掩模将需 160 万美元，一套 65 nm 的掩模将高达 300 万美元”。然而，每套掩模的寿命有限，一般只能生产 1 000 个晶圆。
- ⑪ 工艺线投资的高成本和设计能力的普遍落后，导致多数工艺线走向代工（代客户加