嵌入式设计及通信设备开发详解
——基于MPC82XX处理器

李朋铜 编著

机械工业出版社
CHINA MACHINE PRESS

嵌入式设计及通信设备开发详解
——基于 MPC82XX 处理器

李朋铜　编著

机 械 工 业 出 版 社

本书针对通信处理器 MPC82XX 系列，共分为 10 章：前 6 章讲述了 MPC82XX 开发的基本知识、常用功能模块以及基础的 PPC 汇编；第 7 章到第 10 章，重点介绍了 4 个实际的应用案例，内容涉及二层交换机开发、七号信令测试仪开发、ATM 信元收发卡开发、GSM 信令测试仪开发等。

本书适合从事通信设备开发的程序员及相关专业的师生。

图书在版编目（CIP）数据

嵌入式设计及通信设备开发详解：基于 MPC82XX 处理器 / 李朋铜编著. —北京：机械工业出版社，2009

ISBN 978-7-111-26427-9

Ⅰ. 嵌… Ⅱ. 李… Ⅲ. 移动通信—通信设备—程序设计 Ⅳ. TN929.5

中国版本图书馆 CIP 数据核字（2009）第 029158 号

机械工业出版社（北京市百万庄大街 22 号　邮政编码　100037）

策划编辑：吉　玲（E-mail：jiling@mail.machineinfo.gov.cn）

责任印制：洪汉军

北京振兴源印务有限公司印刷厂印刷

2009 年 3 月第 1 版第 1 次印刷

184mm×260mm • 21 印张 • 515 千字

0001—3000 册

标准书号：ISBN 978-7-111-26427-9

定价：40.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

销售服务热线电话：（010）68326294

购书热线电话：（010）88379639　88379641　88379643

编辑热线电话：（010）88379768

封面无防伪标均为盗版

前　言

通信设备开发是嵌入式开发的高端领域。如今，有越来越多的程序员投入到通信设备的开发领域中。但由于技术壁垒，普通的程序员不能一下子就深入其中，甚至有的始终徘徊在低水平。就拿本书的七号信令测试仪来讲，程序员不光要掌握所使用的芯片的特性，更要对七号信令做到透彻理解，而读七号信令某层协议的实现文档就需要一两个月时间，协议读懂之后还要和硬件结合起来，编写代码实现目标系统；而且网上没有现成的资料（也不可能有详细的资料，读者可以想象，动辄几十万的设备，可以参考的源码和文档自然是不会有的，有的也只可能是应用性质的资料），并经常是德语资料，加大了学习与应用的困难。还有普通的学生常常苦于无法接触到实际的开发，而无所适从。

本书的两大特点是：

1）突破通信设备开发的技术壁垒，让普通程序员看到通信设备的开发过程。

2）以 4 大实际产品为原型，让程序员和爱好者看到真正的产品开发过程。

我们的目标是完成本书第 7 章的二层交换机、第 8 章的七号信令测试仪、第 9 章的 ATM 信元收发卡和第 10 章的 GSM 信令测试仪的开发。这些通信设备的实现完全依赖于 MPC82XX 系列处理器。虽然基于 MPC82XX 系列处理器相对于一般的 ARM 的开发过程，表面上显得很复杂，但是开发同一个通信产品，MPC82XX 系列处理器凭借其架构特性和片上丰富的资源，绝对使开发过程容易许多。

本书的结构：

第 1 章开始就提出目的是开发 4 个目标产品，并说明每个产品的特点和开发过程的概述。

第 2 章介绍了 PowerPC 处理器核，使读者有个大致的了解。

第 3 章深入介绍了 PowerPC 架构实现及寄存器概述。

第 4 章、第 5 章分别介绍了 ppc 指令集，相关关键指令的解释，及完整的例子。因此这两章可以看作是指令集的使用指南。

第 6 章举了一个实际驱动的例子，首先让读者看看 ppc 轻量级的程序，读者应该很容易看懂。

第 7 章～第 10 章是本书的核心内容——四大目标产品实现。只有对协议有了完完全全的理解和记忆之后，才能对这四个章节的内容有所认识。这四章的学习曲线可能比较陡，需要读者细心地读。

本书的四大产品所需的开发板已经完成，即七号信令开发板和二层交换机开发板，有需要的读者可以联系笔者。

本书的出版要感谢我的父母，没有他们的支持我无法完成本书的写作；还有我的妻子，没有她的鼓励和照顾，本书不可能如此快地完稿。

由于笔者水平有限，书中难免有错误和不妥之处，欢迎各位不吝赐教！

msn 及邮箱：answerkidd@hotmail.com

qq：851715034

编著者

目　录

第 1 章　目标产品和开发简介

我们的目标是掌握本书第 7 章的二层交换机、第 8 章的七号信令测试仪、第 9 章的 ATM 信元收发卡和第 10 章的 GSM 信令测试仪开发。这些通信设备的开发完全依赖于 MPC8260 处理器。在通信设备领域，Freescale 的实力非常强大。由于 MPC82XX 处理器实现操作复杂，使有的开发者望而却步。但是 MPC82XX 提供了丰富的片上资源，使我们的开发过程恰恰能变得简单许多。本书的核心章节所列举的产品程序，都是经过笔者精心调试，在目标板“跑”过的程序，经过了必要的裁剪，基本都是可拿来直接用的。我个人认为学习嵌入式开发分为以下几个阶段。

阶段 1：“跑流水灯”。学习之初的重中之重是阅读代码，因为刚开始学，毕竟什么都不懂，先看看别人的程序总是有益的。然后自己再调试程序，使程序在硬件上“跑”起来（刚开始在没有开发板的情况下，可以试着自己进行软件仿真），有了感性认识后，一切都好办了。如果一味地看书只能是越来越困惑，看着后边的忘了前边的，到最后失去兴趣。另外，不要小瞧流水灯这个小小的程序。使其轻松地“跑”起来，也不是轻而易举的，你的各个功能模块都必须调试正确。笔者初学嵌入式时，在 MPC8250ADS 开发板上把流水灯点起来，也是着实高兴了一阵。这说明内存映射、程序载入的地址、I/O 口配置、中断（如果用到了）、bootloader、BDM 调试过程、自己编的程序全部都正确。对于初学者来说，这也是不小的成就了。

阶段 2：“看着 datasheet，拿着模板改程序”。等有了一定的基础后就会发现，我们必然要学习某种具体的芯片（读者不可能永远停留在“跑跑”流水灯的水平），这时就要翻阅大量的原厂手册（有的还可能需要签 NDA），这说明读者的水平已经达到了新的层次。当然此时还必须辅以原厂例程模板，才能继续开发。毕竟只有少数人，才能进行创造性的开发。没有一个程序，每行代码都需要自己来完成。当产品实现类似时，就需要寻找合适的解决方案了。

阶段 3：“看着 datasheet，写程序”。现在真正的开发就要开始，读者到这个阶段后已经可以根据不同的平台（如 MPC8260 与 S3C4510b）编写与其硬件对应的汇编初始化程序（堆栈设置、中断 handler、复位等）以及程序的主框架等。这就要求读者对芯片非常熟悉（精确到内存级）。

相信一般的程序员到阶段 3 后，都会遇到一个瓶颈，克服瓶颈只能靠个人的天赋和努力，别无它法。介绍到这里，就来具体看我们的目标产品。

下面概述各目标产品。

我们要开发四个实用、易懂、易实现的产品，当然，书中的内容是可以使读者快速阅读、理解的最小系统。虽然是最小系统，但其实现仍相当复杂。本书以程序讲解为主，辅以大量的模块图、示意图。本书尽力做到呈现每一个产品的每一步的开发实现过程。

1. 二层交换机总体概要

第 7 章要实现二层交换机的开发，相信读者对交换机的功能和原理都很了解。

图 1-1 就是一台典型的 24 口二层交换机。交换机的开发方式就是：MPC8260（主控制器）+ZL50408（二层交换芯片）+DP83843（PHY 芯片）。实现一台交换机无非就是实现以下核心

功能：接收、发送帧、MAC 地址管理、端口控制、VLAN 控制和 QoS 等。有了强大的二层交换芯片 ZL50408（Zarlink 公司已经将交换芯片业务卖给了科盛讯，相关 datasheet 可以到科盛讯的网站去寻找，但需要签 NDA），这些核心功能就能轻而易举地实现。

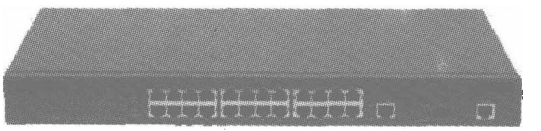

图 1-1 典型的 24 口二层交换机

2. 七号信令测试仪、GSM 信令测试仪总体概要

信令测试仪动辄几万元，有的甚至几十万元，不要说编写过信令测试仪代码和开发过硬件的有多少人，就连真正见过这些仪器的人都是凤毛麟角，见过的也就是几大运营商的技术人员。这从侧面说明仪表行业技术的尖端性。

本书以笔者曾经编写过的七号信令测试仪（市场价值估计人民币 100 000 元）和 GSM 信令测试仪（市场价值估计人民币 150 000 元）为具体完整的商用实例，从 host 机信令分析软件编写（工具 C++Builder6.0），DS21354 及其 HDLC 代码的编写和改进，信令数据收发器的原理图到 PCB 图的具体制版过程及其内部固件程序的编写（工具 ads1.2）等几个主要方面详细地说明信令测试仪软件的编写过程和硬件实现过程。

由于仪器实现的复杂性和本书的篇幅所限，本信令测试仪只作为信令监测仪使用，对信令进行实时解码分析，其他功能模块暂不做实现。有兴趣的读者可自行实现。一台典型的七号信令测试仪如图 1-2 所示。

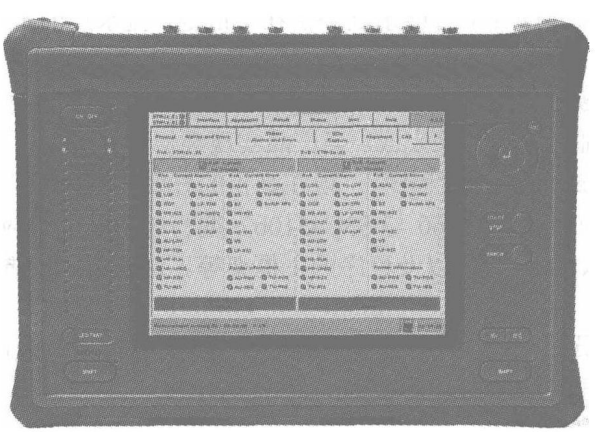

图 1-2 七号信令测试仪

实际上整个信令测试仪分布式地采用上位机+下位机的结构。通俗地说，就是一台普通低端 PC（或一台笔记本电脑）+SS7 信令收发板卡。PC 可以预装 Windows98、Windows2000、WindowsXP。除了操作系统之外，只有上位机程序在运行。所以，操作系统可以适当裁剪。考虑到成本问题和实现的难易程度，本设计并没有采用 PC-104 工控板。如果有兴趣，读者可自行实现。

3. ATM 信元收发卡总体概要

ATM 信元收发卡是 WCDMA 测试仪器的重要的数据采集卡，用于采集 STM-1 数据。ATM 信元从接收数据流处理 demaps ATM 信元。ATM 信元处理支持任何成帧、不成帧位同步或同步字节（八位对齐）数据流为 52MHz 或略少。在接收方向，从数据流提取的有效载荷在不同的管线上执行信元处理，将信元存储在 FIFO。在发送方向，从 FIFO 移走要传递数据的信元，在每个管线上将信元/包有效载荷插入到物理数据流。

WCDMA 基站和 RNC 之间采用基于 ATM 的 Iub 接口，RNC 分别通过基于 ATM AAL2 的 Iu-CS 和 AAL5 的 Iu-PS 分别与核心网的 CS 域和 PS 域相连。那么 Iub 接口的 AAL2 协议或者 AAL5 协议，是如何传输一个完整消息的呢？

读者可观察 AAL2 协议实现，每个消息包的 LI 是 6bit，信息最长是 64B，但是一个长的信令肯定不止 64B，所以要传输分包，然后由接收端再拼成一个完整的信令发给目的交换机。

如果在传输光缆上直接采集信令，那就意味着仪器要将采集的信令拼成一个完整信令，而且关键在于这条 AAL2/AAL5 承载的是什么。对于信令和业务都有对应的对等协议层负责分段与重组，读者可以从信令测试仪日志上查看日志。

信令仪表在 AAL2/5 重组完成的功能和设备是一样的，而且对于 Iub 接口的 FP 帧，仪表还要完成 MAC/RLC 的重组。在 WCDMA 里面，还有宏分的概念，仪表也是应该实现的。AAL2 和 AAL5 都具有分段和重组的功能，协议里有相应的定义。

通过以上对目标产品进行的简要介绍，读者应该跃跃欲试了吧。是不是都想亲自开发出自己的通信设备？工欲善其事，必先利其器。先学习一些必要的基础知识，然后再利用 MPC8260 开发四大目标产品。第 2 章介绍 MPC8260 芯片的特点。第 3 章和第 4 章介绍 PowerPC 体系结构。第 5 章介绍 PowerPC 汇编。第 6 章介绍基本驱动编写实例。第 7 章～第 10 章介绍四大目标产品的开发过程。

第 2 章　PowerPC 32 位处理器概述

MPC8260 PowerQUICC II 是目前最先进的为电信和网络市场而设计的集成通信微处理器之一。高速的嵌入式 PowerPC 内核，及网络和通信外围设备的高度集成，Freescale 公司为用户提供了一个全新的系统解决方案来建立高端通信系统。MPC8260 有两个 CPU：嵌入的 PowerPC 内核和通信处理模块(CPM)。由于 CPM 分担了嵌入式 PowerPC 核的外围工作任务，这种双处理器体系结构功耗要低于传统的体系结构的处理器。

PowerQUICC II 由两个外部总线来自适应高速系统内核与快速信道的需求。如图 2-1 所示，PowerQUICC II 有三大功能模块：

- 64bit G2 核，继承于 MPC603e 核（带 MMUs 和 cache）；
- 系统接口单元（SIU）；
- 通信处理模块（CPM）。

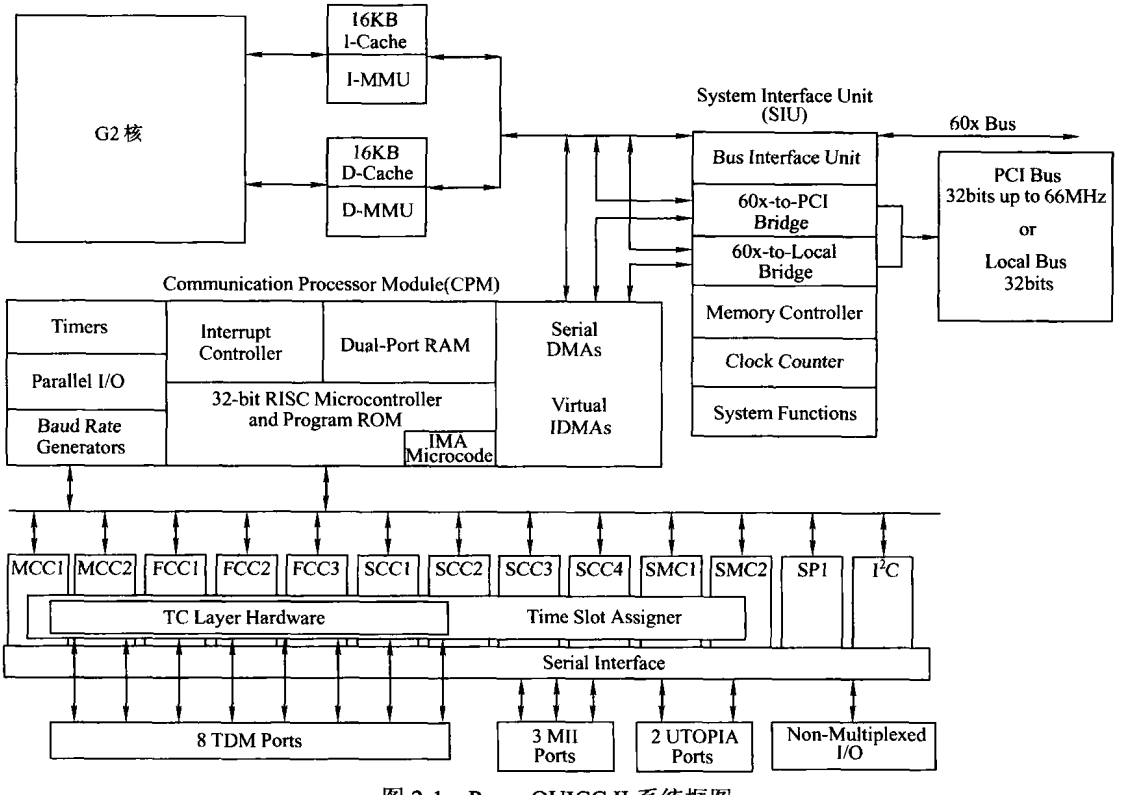

图 2-1　PowerQUICC II 系统框图

system core 和 CPM 都包含内部 PLL，这样就可以独立优化系统运行的频率。system core 和 CPM 都连接在 60x 总线上。

1. G2 核

G2 核继承于 MPC603e 核，并带有电源管理模块。G2 核是低功耗的高速 RISC 处理器。

G2 核实现了 32bit 的 PowerPC 架构，可以提供 32bit 有效地址，8bit、16bit 和 32bit 整数类型。G2 核加强高速缓存后可提供窥探功能，以确保数据的一致性。这种特性也确保 CPM 和 system core 之间的一致性。

system core 包含 16KB 的指令高速缓存和 16KB 的数据高速缓存。它有一个 64bit split-transaction 外部数据总线，这直接连接到外部的 PowerQUICC II 引脚。

G2 核有一个内部片上调试处理器。这个处理器允许访问内部 scan chain 以供调试所用。它还可被用来作为一个串行连接到核心以提供模拟器支持。

2. 系统接口单元（SIU）

SIU 包含以下内容：

（1）60x 并行接口系统总线可以被配置成 64bit。PowerQUICC II 可以支持 64bit、32bit、16bit、8bit 端口。SIU 决定了 PowerQUICC II 内部仲裁模块是否能访问总线。如果有外部仲裁器，那么内部仲裁器可以被禁能。

（2）local bus（32bit 数据、32bit 内部地址、18bit 外部地址）局部总线。local bus 用来连接外部高速通信控制器。在没有额外需求的情况下，在通信信道之间，local bus 可以用来存储 ATM 的 connection table 或 buffer descriptors（BDs）。local bus 可以被配置成 32bit 数据宽且速率为 66MHz 的 PCI 总线模式。在 PCI 模式下，local bus 可以为主机或从机。在本书第 9 章介绍 ATM 信元收发卡时用到了 PCI 总线模式，请读者注意。

（3）内存控制器可支持 12 个 memory bank。内存控制器可以支持全部 MPC8260 内存控制器。它支持三个用户可编程机器。除了所有的 MPC8260 特性，内存控制器也支持 SDRAM（页表模式和地址数据管线）。

3. 通信处理模块（CPM）

CPM 包含许多有用的特性来允许 PowerQUICC II 满足通信和网络市场的多种应用需求。CPM 是带增强型的 CP 的 MPC8260 的超集处理器，并且带有额外的硬件和片上微码，可以支持高速率的 ATM 协议（全双工 155Mbit/s）和快速以太网（全双工 100Mbit/s）。

以下为 CPM 的主要特性：

（1）CP 是一款寄生在 CPM local bus 上的嵌入式 32bit RISC 处理器。CP 的实现不会影响 G2 核的性能。CP 控制底层的任务工作和 DMA 控制行为，而使 G2 核可以自由地控制高层任务的工作。CP 包含了一系列的指令来优化通信质量。

（2）两个 SDMA（串行 DMA）同时传输数据，以优化 60x 总线和 local 总线。

（3）三个全双工，快速通道控制器（FCC）通过 UTOPIA2 接口来（有两个 UTOPIA 接口）支持 ATM 协议、IEEE 802.3、快速以太网协议、HDLC 和 transparent 模式等传输协议。

（4）两个多通道控制器（MCC），HDLC 或 transparent 模式下可以达到传输速率为 256×64kbit/s，并可复用 8 个 TDM 接口。MCC 可以支持 super-channels（速率大于 64kbit/s）和 64kbit/s channels 的 subchanneling。

（5）四个全双工串行通信控制器（SCC）支持 IEEE 802.3/Ethernet、highlevel synchronous data link control、HDLC、local talk、UART、synchronous UART、BISYNC 和 transparent 等通信协议。

（6）两个全双工的串行管理控制器（SMC）支持 GCI、串口和 transparent 等通信协议。

第 3 章　PowerPC 架构实现及寄存器概述

本章具体讲述 PowerPC 架构实现及相关寄存器集的作用。

3.1　处理器概要

603E 处理器实现指令集大致可分为三大类，即分支指令、定点数指令和浮点数指令。

定点数指令可以操作 byte（8 位）、halfword（16 位）、word（32 位）和 doubleword（64 位）大小的操作数。浮点数指令则可操作单精度和多精度浮点数。基于 PowerPC 架构的处理器的指令都是 4 字节长并且 32 位对齐的。该套指令集提供 32 个 GPRs 和 32 个 FPRs 与存储设备之间存取操作，操作数的宽度可为 byte（8 位）、halfword（16 位）、word（32 位）和 doubleword（64 位）。

有符号整数指令的实现方式有两种。没有直接修改内存的算术指令，如果想使用 load/store 类指令进行计算修改内存数据，只能把内存中的数据先加载到寄存器中，然后再写回内存。图 3-1 说明了指令的逻辑过程。图 3-2～图 3-8 说明了 PowerPC 架构的用户态指令集寄存器。

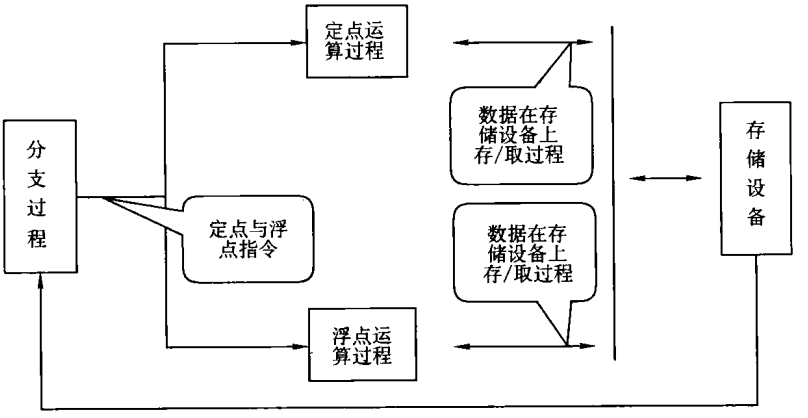

图 3-1　指令的逻辑过程

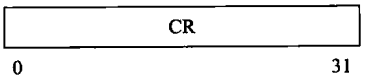

图 3-2　Condition Register

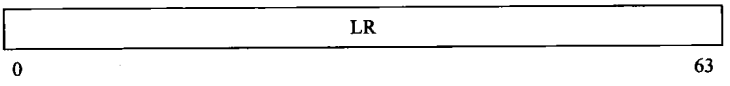

图 3-3　Link Register

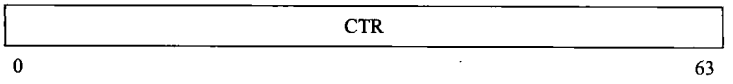

图 3-4　Counter Register

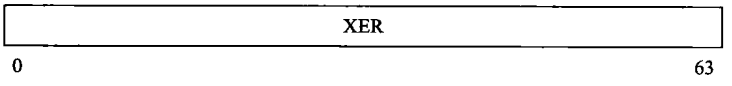

图 3-5　Fixed-Point Exception Register

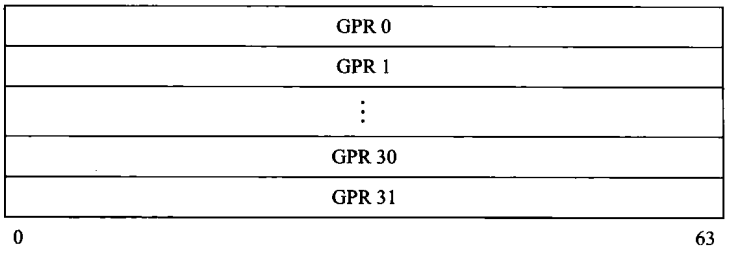

图 3-6　General Purpose Registers

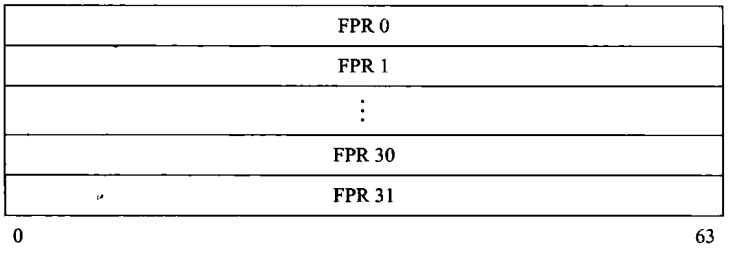

图 3-7　Floating-Point Registers

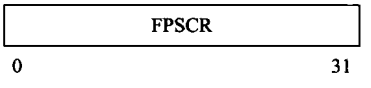

图 3-8　Floating-Point Status and Control Register

3.2　指令字段的合法组合

每一个指令都是 4 字节 32 位对齐的，所以不论指令寻址方式在处理器上是怎样实现的，指令低位的 2bit 都被忽略。同样地，不论处理器怎样发展，指令的低位 2bit 均为 0。

bits 0:5 为指令 opcode 的字段，另外也有许多指令有扩展 opcode（如 XO 类指令）。其余的 bit 包括一个或多个字段。下面具体说明指令的几种形式。

图 3-9～图 3-23 给出了所有指令字段的合法组合。

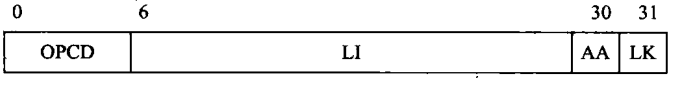

图 3-9　I-Form

0	6	11	16	30	31
OPCD	BO	BI	BD	AA	LK

图 3-10 B-Form

0	6	11	16	20	27	30	31
OPCD	///	///	//	LEV	//	1	/

图 3-11 SC-Form

0	6	11	16	31
OPCD	RT	RA	D	
OPCD	RT	RA	SI	
OPCD	RS	RA	D	
OPCD	RS	RA	UI	
OPCD	BF / L	RA	SI	
OPCD	BF / L	RA	UI	
OPCD	TO	RA	SI	
OPCD	FRT	RA	D	
OPCD	FRS	RA	D	

图 3-12 D-Form

0	6	11	16	30	31
OPCD	RT	RA	DS	XO	
OPCD	RS	RA	DS	XO	

图 3-13 DS-Form

0	6	11	16	21	31
OPCD	BT	BA	BB	XO	/
OPCD	BO	BI	/// BH	XO	LK
OPCD	BF //	BFA //	///	XO	/
OPCD	///	///	///	XO	/

图 3-14 XL-Form

0	6	11	21	31
OPCD	RT	spr	XO	/
OPCD	RT	tbr	XO	/
OPCD	RT	0 ///	XO	/
OPCD	RT	1 FXM /	XO	/
OPCD	RS	0 FXM /	XO	/
OPCD	RS	1 FXM /	XO	/
OPCD	RS	spr	XO	/

图 3-15 XFX-Form

0	6	7	15	16	21	31
OPCD	/	FLM	/	FRB	XO	Rc

图 3-16 XFL-Form

0	6	11	16	21	30	31
OPCD	RS	RA	sh	XO	sh	Rc

图 3-17　XS-Form

0	6	11	16	21	22	31
OPCD	RT	RA	RB	OE	XO	Rc
OPCD	RT	RA	RB	/	XO	Rc
OPCD	RT	RA	///	OE	XO	Rc

图 3-18　XO-Form

0	6	11	16	21	31
OPCD	RT	RA	RB	XO	/
OPCD	RT	RA	NB	XO	/
OPCD	RT	/ SR	///	XO	/
OPCD	RT	///	RB	XO	/
OPCD	RT	///	///	XO	/
OPCD	RS	RA	RB	XO	Rc
OPCD	RS	RA	RB	XO	1
OPCD	RS	RA	RB	XO	/
OPCD	RS	RA	NB	XO	/
OPCD	RS	RA	SH	XO	Rc
OPCD	RS	RA	///	XO	Rc
OPCD	RS	/ SR	///	XO	/
OPCD	RS	///	RB	XO	/
OPCD	RS	///	///	XO	/
OPCD	RS	/// L	///	XO	/
OPCD	BF / L	RA	RB	XO	/
OPCD	BF //	FRA	FRB	XO	/
OPCD	BF //	BFA //	///	XO	/
OPCD	BF //	///	U /	XO	Rc
OPCD	BF //	///	///	XO	/
OPCD	/ TH	RA	RB	XO	/
OPCD	/// L	RA	RB	XO	/
OPCD	/// L	///	RB	XO	/
OPCD	/// L	///	///	XO	/
OPCD	TO	RA	RB	XO	/
OPCD	FRT	RA	RB	XO	/
OPCD	FRT	///	FRB	XO	Rc
OPCD	FRT	///	///	XO	Rc
OPCD	FRS	RA	RB	XO	/
OPCD	BT	///	///	XO	Rc
OPCD	///	RA	RB	XO	/
OPCD	///	///	RB	XO	/
OPCD	///	///	///	XO	/

图 3-19　X-Form