

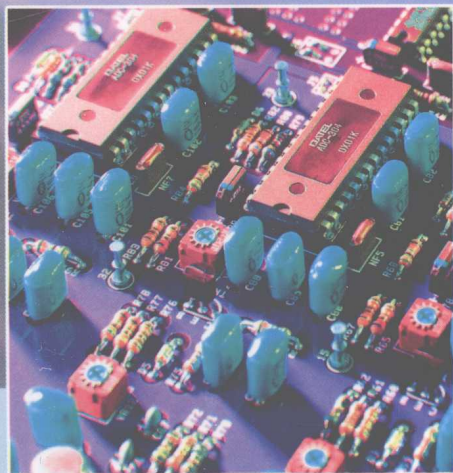
● 高等学校教材

# 数字电路硬件设计实践

太原理工大学电子技术实验中心 编

主 编 贾秀美

副主编 张文爱 武培雄



高等教育出版社

HIGHER EDUCATION PRESS

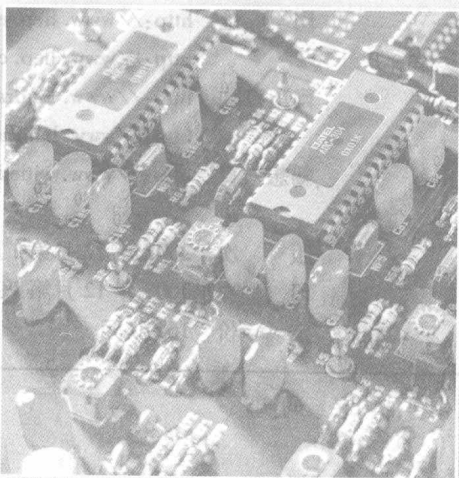
● 高等学校教材

# 数字电路硬件设计实践

太原理工大学电子技术实验中心 编

主 编 贾秀美

副主编 张文爱 武培雄



高等教育出版社

HIGHER EDUCATION PRESS

## 内容简介

本书分为数字电路逻辑设计实验和可编程逻辑器件设计实验两部分内容。

在数字电路逻辑设计部分,安排了基本逻辑门功能与参数测试、组合电路的分析及设计、时序电路的分析及设计、中规模集成器件的应用设计实验,以及综合设计性实验和课程设计等内容。在可编程逻辑器件设计部分,安排了EDA开发工具的使用、原理图输入设计方法、VHDL文本输入设计方法的组合及时序电路实验,以及综合性实验和课程设计等内容。

本书可作为大学本科和专科院校自动化、测控、计算机、通信、电子工程类专业的实验教材。

## 图书在版编目(CIP)数据

数字电路硬件设计实践/贾秀美主编;太原理工大学电子技术实验中心编. —北京:高等教育出版社,2008.12

ISBN 978 - 7 - 04 - 024938 - 5

I. 数… II. ①贾…②太… III. 数字电路 - 电路设计 - 高等学校 - 教材 IV. TN79

中国版本图书馆CIP数据核字(2008)第149422号

策划编辑 金春英 责任编辑 唐笑慧 封面设计 于文燕 责任绘图 尹莉  
版式设计 范晓红 责任校对 杨凤玲 责任印制 朱学忠

出版发行 高等教育出版社  
社 址 北京市西城区德外大街4号  
邮政编码 100120  
总 机 010-58581000

经 销 蓝色畅想图书发行有限公司  
印 刷 河北省财政厅票证文印中心

开 本 787×1092 1/16  
印 张 13  
字 数 320 000

购书热线 010-58581118  
免费咨询 800-810-0598  
网 址 <http://www.hep.edu.cn>  
<http://www.hep.com.cn>  
网上订购 <http://www.landaco.com>  
<http://www.landaco.com.cn>  
畅想教育 <http://www.widedu.com>

版 次 2008年12月第1版  
印 次 2008年12月第1次印刷  
定 价 16.70元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 24938-00

# 前 言

本书是数字电路与逻辑设计课程的实践教材,分为数字电路逻辑设计实验和可编程逻辑器件设计实验两部分内容,可以作为数字电路和可编程逻辑器件应用设计的配套教材。

本书体系设置与理论教学紧密结合,有利于培养学生的实践能力;实验难度由浅入深,有基础性实验、综合设计性实验、课程设计3个层次;实验任务实用性与趣味性结合,力求达到帮助学生掌握基础知识、培养基本技能、激发思维及鼓励创新等目标。

在数字电路逻辑设计部分,安排了基本逻辑门功能与参数测试、组合电路的分析及设计、时序电路的分析及设计、中规模集成器件的应用设计实验,以及综合设计性实验和课程设计等内容。

在可编程逻辑器件设计部分,安排了EDA开发工具的使用、原理图输入设计方法、VHDL文本输入设计方法的组合及时序电路实验,以及综合性实验和课程设计等内容。通过这部分内容的学习,读者将掌握可编程逻辑器件EDA开发设计的完整流程、掌握原理图输入设计方法和VHDL文本输入设计方法及其混合设计方法。

本书第1、2章及附录由武培雄编写;第3章由贾秀美编写;第4~8章由张文爱编写。全书由贾秀美担任主编并负责全书的统稿、定稿工作。

北京联合大学王传新教授精心审阅了书稿,提出了许多宝贵的修改意见,特致以衷心的感谢!

本书编写过程中,参阅了Lattice、Altera等公司公开的技术资料,参考了许多相关的专著和教材,在此谨向相关公司和人员表示诚挚的谢意。

由于编者水平有限,书中难免会有不妥和错误之处,恳请读者指正。

编 者

2008年3月于太原理工大学

# 目 录

## 上篇 数字电路逻辑设计

第1章 基本单元实验 .....	3	特触发器 .....	41
实验一 TTL与非门电路的参数 测量 .....	3	实验十七 555 时基电路及其 应用 .....	46
实验二 TTL门电路的逻辑变换 与测试 .....	6	实验十八 D/A转换器和A/D转 换器 .....	51
实验三 TTL集电极开路门与三 态门的应用 .....	8	第2章 综合设计性实验 .....	58
实验四 组合逻辑电路分析 .....	11	实验一 4路彩灯显示系统 .....	58
实验五 加法器的应用及设计 .....	12	实验二 序列信号发生器 .....	59
实验六 用小规模集成芯片设计 组合逻辑电路 .....	15	实验三 顺序脉冲产生器 .....	61
实验七 用中规模集成芯片设计 组合逻辑电路 .....	16	实验四 数控分频器 .....	63
实验八 触发器的应用 .....	18	实验五 串行信号检测器 .....	66
实验九 时序电路的分析 .....	20	第3章 课程设计 .....	68
实验十 同步时序电路设计(一) ..	22	题目一 数字竞赛抢答器 .....	68
实验十一 同步时序电路设计 (二) .....	23	题目二 出租车自动计费器 .....	69
实验十二 集成计数器及其应用 .....	24	题目三 3位数字显示计时系统 .....	70
实验十三 移位寄存器及其应用 .....	29	题目四 电子拔河游戏机 .....	71
实验十四 脉冲分配器及其应用 .....	34	题目五 多路数据采集系统 .....	72
实验十五 使用门电路设计振 荡器 .....	38	题目六 数字电子钟 .....	73
实验十六 单稳态触发器与施密 特触发器 .....	41	题目七 数字频率计 .....	74
		题目八 交通信号灯控制器 .....	75
		题目九 电子密码锁 .....	77
		题目十 声控电子锁 .....	78
		题目十一 数字万用表 .....	80
		题目十二 数字波形合成器 .....	83

## 下篇 可编程逻辑器件设计

第4章 EDA 开发工具介绍 .....	89	4.1 可编程逻辑器件的设计流程 ..	89
----------------------	----	---------------------	----

4.2 ispDesignEXPERT System 操作指南 .....	91	实验十 8 位移位寄存器 .....	136
4.3 Quartus II 操作指南 .....	102	实验十一 用状态机实现序列检测器 .....	138
第 5 章 原理图输入实验 .....	116	第 7 章 综合设计性实验 .....	141
实验一 1 位全加器 .....	116	实验一 16 × 16 点阵显示控制 .....	141
实验二 2 位十进制计数器 .....	117	实验二 数控分频器 .....	144
第 6 章 VHDL 文本输入实验 .....	119	实验三 8 位硬件乘法器 .....	145
实验一 4 选 1 数据选择器 .....	119	实验四 ADC 转换控制器 .....	149
实验二 显示译码器 .....	120	第 8 章 课程设计 .....	155
实验三 8 位加法器 .....	122	题目一 秒表 .....	155
实验四 编码器 .....	123	题目二 抢答器 .....	156
实验五 比较器 .....	125	题目三 数字钟 .....	162
实验六 3 线 - 8 线译码器 .....	126	题目四 交通灯控制器 .....	163
实验七 触发器 .....	128	题目五 多路彩灯控制器 .....	172
实验八 4 位加法计数器 .....	130	题目六 点阵字符显示控制器 .....	175
实验九 4 位十进制计数显示器 .....	132	题目七 乒乓球比赛游戏机 .....	176
附录 实验常用设备的使用 .....	178		
F.1 EDA 实验开发系统 .....	178		
F.2 数字电路实验箱简介 .....	184		
F.3 数字集成电路基础知识 .....	186		
F.4 部分常用集成电路型号、功能及引脚图 .....	191		
参考文献 .....	201		

上篇 数字电路逻辑设计





# 第 1 章

## 基本单元实验

### 实验一 TTL 与非门电路的参数测量

#### 一、实验目的

- ① 掌握 TTL 与非门主要参数及传输特性的测试方法。
- ② 了解 CMOS 与非门电路的性能和特点。
- ③ 熟悉 TTL 与 CMOS 器件的互连方法。

#### 二、实验仪器与器件

- ① 数字电路实验箱。
- ② 万用表。
- ③ 双踪示波器。
- ④ 器件:74LS00、CD4011。

#### 三、实验原理

##### 1. 低电平输出电源电流 $I_{CCL}$ 和高电平输出电源电流 $I_{CCH}$

与非门处于不同的工作状态,电源提供的电流是不同的。 $I_{CCL}$ 是指所有输入端悬空,输出端空载时,电源提供器件的电流。 $I_{CCH}$ 是指输出端空载,有 1 个以上的输入端接地,其余输入端悬空,电源提供给器件的电流。通常  $I_{CCL} > I_{CCH}$ ,它们的大小标志着器件静态功耗的大小。器件的最大功耗为  $P_{CCL} = V_{CC} I_{CCL}$ 。手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 $I_{CCL}$ 和  $I_{CCH}$ 测试电路如图 1-1(a)、(b)所示。

注意:TTL 电路对电源电压要求较严,电源电压  $V_{CC}$ 只允许在  $+5(1 \pm 10\%)$  V 的范围内工作,超过 5.5 V 将损坏器件;低于 4.5 V 器件的逻辑功能将不正常。

##### 2. 低电平输入电流 $I_{IL}$ 和高电平输入电流 $I_{IH}$

$I_{IL}$ 是指被测输入端接地,其余输入端悬空,输出端空载时,由被测输入端流出的电流值。在多级门电路中, $I_{IL}$ 相当于前级门输出低电平时,后级门向前级门灌入的电流,因此它关系到前级门的灌电流负载能力,即直接影响前级门电路带负载的个数,因此希望  $I_{IL}$ 小些。

$I_{IH}$ 是指被测的输入端接高电平,其余输入端接地,输出端空载时,流入被测输入端的电流值。在多级门电路中,它相当于前级门输出高电平时,前级门的拉电流负载,其大小关系到前级

门的拉电流负载能力,希望  $I_{IH}$  小些。由于  $I_{IH}$  较小,难以测量,一般免于测试。 $I_{IL}$  与  $I_{IH}$  的测试电路如图 1-1(c)、(d)所示。

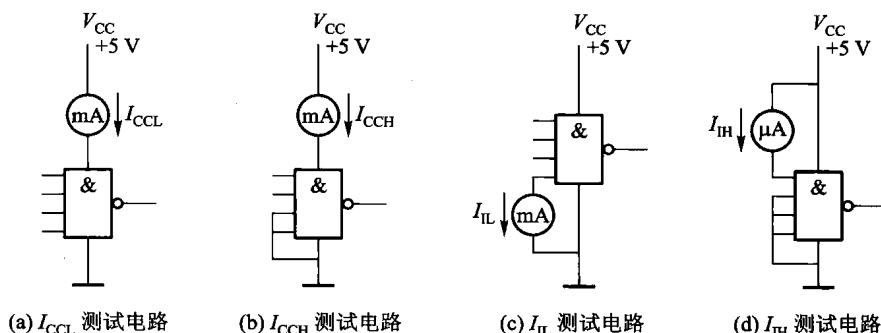


图 1-1 TTL 与非门静态参数测试电路图

### 3. 扇出系数 $N_0$

扇出系数  $N_0$  是指门电路能驱动同类门的个数,它是衡量门电路负载能力的一个参数。TTL 与非门有两种不同性质的负载,即灌电流负载和拉电流负载,因此有两种扇出系数,即低电平扇出系数  $N_{OL}$  和高电平扇出系数  $N_{OH}$ 。通常  $I_{IH} < I_{IL}$ , 则  $N_{OH} > N_{OL}$ , 故常以  $N_{OL}$  作为门的扇出系数。

$N_{OL}$  的测试电路如图 1-2 所示,门的输入端全部悬空,输出端接灌电流负载  $R_L$ , 调节  $R_L$  使  $I_{OL}$  增大,  $V_{OL}$  随之增高,  $V_{OL}$  达到  $V_{OLm}$  (手册中规定低电平规范值 0.4 V) 时的  $I_{OL}$  就是允许灌入的最大负载电流, 则

$$N_{OL} = \frac{I_{OL}}{I_{IL}} \quad \text{通常 } N_{OL} \geq 8$$

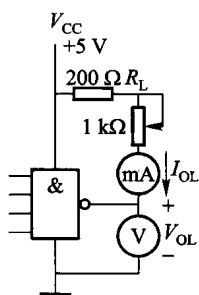


图 1-2 扇出系数测试电路

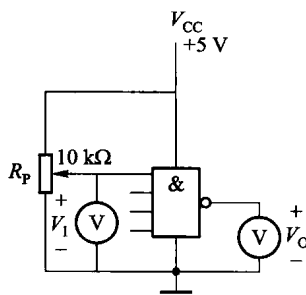


图 1-3 电压传输特性测试电路

### 4. 电压传输特性

门的输出电压  $v_o$  随输入电压  $v_i$  变化而变化的曲线  $v_o = f(v_i)$  称为电压传输特性,通过它可读得门电路的一些重要参数,如输出高电平电压  $V_{OH}$ 、输出低电平电压  $V_{OL}$ 、关门电压  $V_{OFF}$ 、开门电压  $V_{ON}$ 、阈值电压  $V_T$  及抗干扰容限  $V_{NL}$ 、 $V_{NH}$  等值。测试电路如图 1-3 所示,采用逐点测试法,即调节  $R_p$ , 逐点测得  $v_i$  及  $v_o$ , 然后绘成曲线。

### 5. 平均传输延迟时间 $t_{pd}$

$t_{pd}$  是衡量门电路开关速度的参数, 它是指输出波形边沿的  $0.5 V_m$  点至输入波形对应边沿的  $0.5 V_m$  点之间的时间间隔, 如图 1-4(a) 所示。

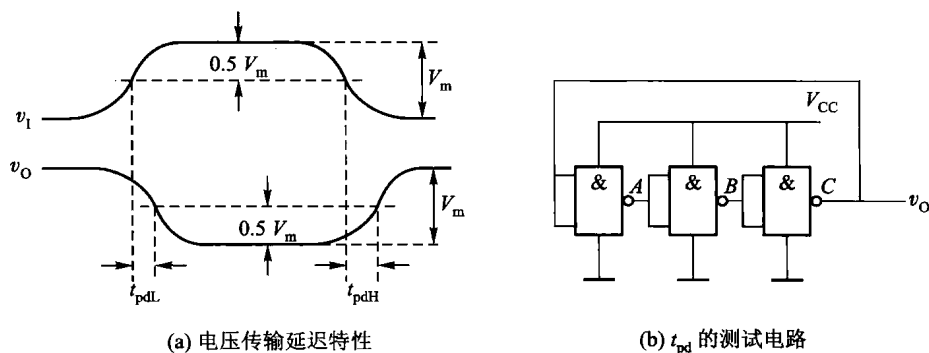


图 1-4 电压传输延迟特性及测试电路

图 1-4(a) 中的  $t_{pdL}$  为导通延迟时间,  $t_{pdH}$  为截止延迟时间, 平均传输延迟时间为

$$t_{pd} = \frac{1}{2} (t_{pdL} + t_{pdH})$$

$t_{pd}$  的测试电路如图 1-4(b) 所示, 由于 TTL 门电路的延迟时间较小, 直接测量时对信号发生器和示波器的性能要求较高, 故实验采用测量由奇数个与非门组成的环形振荡器的振荡周期  $T$  来求得。其工作原理是: 假设电路在接通电源后某一瞬间, 电路中的  $A$  为逻辑 1, 经过 3 级门的延迟后, 使  $A$  由原来的逻辑 1 变为逻辑 0; 再经过 3 级门的延迟后,  $A$  点电平又重新回到逻辑 1。电路中其他各点电平也跟随变化。说明使  $A$  发生一个周期的振荡, 必须经过 6 级门的延迟时间。因此平均传输延迟时间为

$$t_{pd} = \frac{T}{6}$$

TTL 电路的  $t_{pd}$  一般为  $10 \sim 40 \text{ ns}$ 。

#### 四、实验任务与要求

##### 1. 测试 TTL 与非门(74LS00)的主要参数

- ① 输出高电平电压  $V_{OH}$ 。
- ② 输出低电平电压  $V_{OL}$ 。
- ③ 低电平输入电流  $I_{IL}$  和高电平输入电流  $I_{IH}$ 。
- ④ 扇出系数  $N_{OL}$ 。

##### 2. 测试并绘制 TTL 与非门(74LS00)的电压传输特性

如图 1-5 所示接好电路, 输入 500 Hz 锯齿波信号, 用示波器 X-Y 方式观察电压传输特性, 并用坐标纸绘出曲线, 标出  $V_{OH}$ 、 $V_{OL}$ 、 $V_{ON}$ 、 $V_{OFF}$ 。

##### 3. TTL 与 CMOS 互连实验

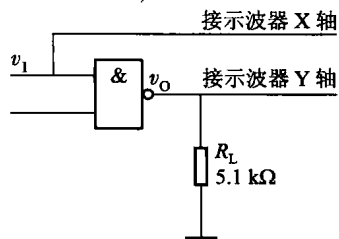


图 1-5 与非门电压传输特性接线图

- ① 按图 1-6(a)接线,输入信号为 100 kHz 方波,用示波器分别观察  $v_{O1}$ 、 $v_{O2}$  波形。
- ② 按图 1-6(b)接线,输入信号为 100 kHz 方波,用示波器分别观察  $v_{O1}$ 、 $v_{O2}$  波形。

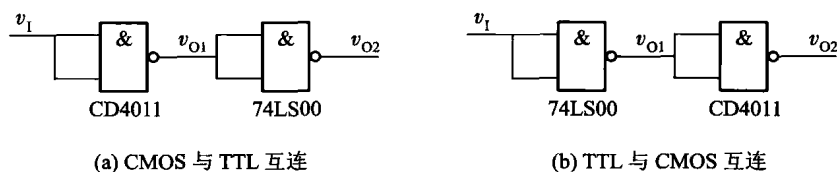


图 1-6 TTL 与 CMOS 互连实验

#### 4. 注意事项

- ① 实验前必须看清各集成芯片的引脚图。
- ② TTL 与非门闲置输入端可接高电平,不能接低电平,输出端不能并联使用,也不能接 +5 V 或接地。
- ③ 注意 CMOS 器件的使用注意事项,闲置引脚必须接高电平(与非门)或低电平(或非门)。
- ④ 电源接通时,决不允许插入或移动器件;电源未接通时,决不允许施加输入信号。

### 五、实验报告

- ① 记录、整理实验结果,并对结果进行分析。
- ② 画出实测的电压传输特性曲线,并从中读出各有关参数值。

## 实验二 TTL 门电路的逻辑变换与测试

### 一、实验目的

- ① 掌握门电路逻辑功能的测试方法。
- ② 熟悉用标准与非门实现逻辑变换和测试方法。

### 二、实验仪器与器件

- ① 数字电路实验箱。
- ② 万用表等工具。
- ③ 器件:74LS00、74LS02、74LS08、74LS54、74LS86。

### 三、实验原理

本实验采用四 2 输入与非门 74LS00,即在一块集成芯片内含有 4 个互相独立的与非门,每个与非门有 2 个输入端。其原理电路图、逻辑符号如图 1-7(a)、(b)所示。

与非门的逻辑功能是:当输入端中有 1 个或 1 个以上是低电平时,输出端为高电平;只有当输入端全部为高电平时,输出端才是低电平。其逻辑表达式为  $Y = \overline{A \cdot B}$ 。

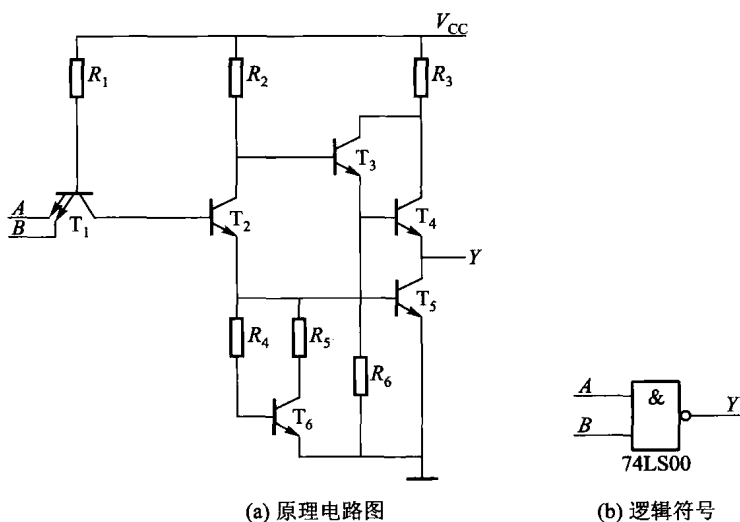


图 1-7 74LS00 原理电路图、逻辑符号

74LS02 为四 2 输入或非门,即在一块集成芯片内含有 4 个互相独立的或非门,每个或非门有 2 个输入端。或非门的逻辑功能是:当输入端中有 1 个或 1 个以上是高电平时,输出端为低电平;只有当输入端全部为低电平时,输出端才是高电平。其逻辑表达式为  $Y = \overline{A + B}$ 。

74LS08 为四 2 输入与门,即在一块集成芯片内含有 4 个互相独立的与门,每个与门有 2 个输入端。与门的逻辑功能是:当输入端中有 1 个或 1 个以上是低电平时,输出端为低电平;只有当输入端全部为高电平时,输出端才是高电平。其逻辑表达式为  $Y = A \cdot B$ 。

74LS54 是 2-3-3-2 输入与或非门,其逻辑表达式为  $Y = \overline{A \cdot B + C \cdot D \cdot E + F \cdot G \cdot H + I \cdot J}$ 。

74LS86 为四 2 输入异或门,即在一块集成芯片内含有 4 个互相独立的异或门,每个异或门有 2 个输入端。异或门的逻辑功能是:当 2 个输入为相同的电平时,输出端为低电平;当 2 个输入为不同的电平时,输出端为高电平。其逻辑表达式为  $Y = A \oplus B$ 。

#### 四、实验任务与要求

1. 测试下列元器件的逻辑功能

- ① 测试与非门 74LS00 的逻辑功能。
- ② 测试或非门 74LS02 的逻辑功能。
- ③ 测试与门 74LS08 的逻辑功能。
- ④ 测试与或非门 74LS54 的逻辑功能。
- ⑤ 测试异或门 74LS86 的逻辑功能。

2. 用 74LS00 器件完成下列电路,画出电路图并测试其逻辑功能与真值表

- ① 与或门  $F = AB + CD$ 。
- ② 与门  $F = A \cdot B$ 。
- ③ 或非门  $F = \overline{A + B}$ 。

④ 同或门  $F = A \odot B$ 。

3. 用 TTL 与非门实现  $F = \overline{AC} + B\overline{C} + A\overline{B}$ , 并验证电路的逻辑功能

### 五、思考题

- ① 什么称为正逻辑、负逻辑？什么称为混合逻辑？
- ② 你对门电路的初步理解是什么？

### 六、实验报告

- ① 记录、整理实验结果, 并对结果进行分析。
- ② 与非门 74LS00 是否可以在线与? 为什么?

## 实验三 TTL 集电极开路门与三态门的应用

### 一、实验目的

- ① 熟悉用特殊与非门实现逻辑变换的方法。
- ② 进一步掌握门电路逻辑功能的测试方法。

### 二、实验仪器与器件

- ① 数字电路实验箱。
- ② 万用表。
- ③ 器件: 74LS03、74LS125。

### 三、实验原理

数字系统中有时需要把两个或两个以上集成逻辑门的输出端直接并接在一起完成一定的逻辑功能。对于普通的 TTL 门电路, 由于输出级采用了推挽式输出电路, 无论输出是高电平还是低电平, 输出阻抗都很低。因此, 通常不允许将它们的输出端并接在一起使用。集电极开路门和三态门是两种特殊的 TTL 门电路, 它们允许把输出端直接并接在一起使用。

#### 1. TTL 集电极开路门(OC 门)

本实验所用 OC 与非门型号为四 2 输入与非门 74LS03, 内部原理电路图如图 1-8 所示。OC 与非门的输出管  $T_3$  是悬空的, 工作时, 输出端必须通过一只外接电阻  $R_L$  和电源  $V_{CC}$  相连接, 以保证输出电平符合电路要求。

##### (1) OC 门的应用

① 利用电路的线与特性方便地完成某些特定的逻辑功能。如图 1-9 所示, 将 2 个 OC 与非门输出端直接并接在一起, 则它们的输出

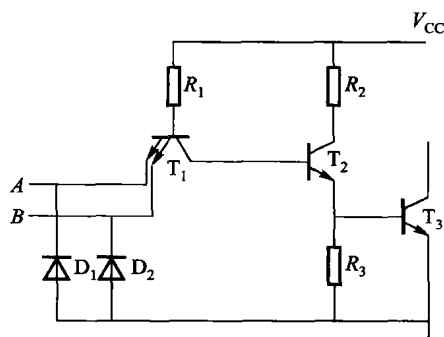


图 1-8 74LS03 内部原理电路图

$$F = F_A \cdot F_B = \overline{A_1 A_2} \cdot \overline{B_1 B_2} = \overline{A_1 A_2 + B_1 B_2}$$

即把 2 个(或 2 个以上)OC 与非门线与可完成与或非的逻辑功能。

② 实现逻辑电平的转换,以驱动数码管、继电器、MOS 器件等多种数字集成电路。

(2) OC 门输出线与负载电阻  $R_L$  的选择

图 1-10 所示电路由  $n$  个 OC 与非门线与驱动有  $m$  个输入端的  $N$  个 TTL 与非门,为保证 OC 与非门输出电平符合逻辑要求,负载电阻  $R_L$  阻值的选择范围为

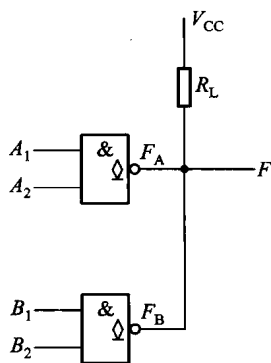


图 1-9 OC 与非门线与电路

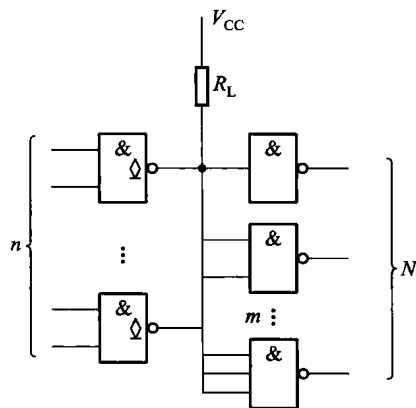


图 1-10 OC 与非门负载电阻  $R_L$  的确定

$$R_{L\min} = \frac{V_{CC} - V_{OL}}{I_{LM} + NI_{IL}}$$

$$R_{L\max} = \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}}$$

式中,  $I_{OH}$ ——OC 门输出管截止时(输出高电平电压  $V_{OH}$ )的漏电流(约  $50 \mu\text{A}$ );

$I_{LM}$ ——OC 门输出低电平电压  $V_{OL}$  时允许的最大灌入负载电流(约  $20 \text{ mA}$ );

$I_{IH}$ ——负载门高电平输入电流( $< 50 \mu\text{A}$ );

$I_{IL}$ ——负载门低电平输入电流( $< 1.6 \text{ mA}$ );

$V_{CC}$ —— $R_L$  外接电源电压;

$n$ ——OC 门个数;

$N$ ——负载门个数;

$m$ ——接入电路的负载门输入端总个数。

$R_L$  值必须小于  $R_{L\max}$ , 否则  $V_{OH}$  将下降;  $R_L$  值须大于  $R_{L\min}$ , 否则  $V_{OL}$  将上升。  $R_L$  的大小会影响输出波形的边沿时间, 在工作速度较高时,  $R_L$  应尽量选取接近  $R_{L\min}$ 。

除了 OC 与非门外, 还有其他类型的 OC 器件,  $R_L$  的选取方法也与此类相同。

## 2. TTL 三态输出门(TS 门)

TTL 三态输出门是一种特殊的门电路, 它与普通的 TTL 门电路结构不同, 它的输出端除了通常的高电平、低电平两种状态外(这两种状态均为低阻状态), 还有第三种输出状态——高阻状态, 处于高阻状态时, 电路与负载之间相当于开路。三态输出门按逻辑功能及控制方式来分, 有

各种不同类型,本实验所用三态门的型号是 74LS125 三态输出四总线缓冲器。如图 1-11 所示是三态输出四总线缓冲器的逻辑符号,它有一个控制端(又称禁止端或使能端) $\bar{E}$ , $\bar{E}=0$ 为正常工作状态,实现  $Y=A$  的逻辑功能; $\bar{E}=1$ 为禁止状态,输出  $Y$  呈现高阻状态。这种在控制端加低电平时电路才能正常工作的工作方式称为低电平使能。三态输出门的功能表见表 1-1。

表 1-1 三态输出门功能表

输入		输出
$\bar{E}$	$A$	$Y$
0	0	0
0	1	1
1	0	高阻态
1	1	高阻态

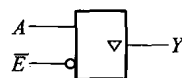


图 1-11 74LS125 三态四总线缓冲器逻辑符号

三态电路主要用途之一是实现总线传输,即用一个传输通道(称为总线),以选通方式传送多路信息。如图 1-12 所示,电路中把若干个三态 TTL 电路输出端直接连接在一起构成三态门总线,使用时,要求只有需要传输信息的一个三态控制端处于使能状态( $\bar{E}=0$ ),其余各门皆处于禁止状态( $\bar{E}=1$ )。由于三态门输出电路结构与普通 TTL 电路相同,若同时有 2 个或 2 个以上三态门的控制端处于使能状态,将出现与普通 TTL 门线与运用时同样的问题,因而是绝对不允许的。

#### 四、实验任务与要求

- ① 测试集电极开路门 74LS03 的逻辑功能。
- ② 测试三态门 74LS125 的逻辑功能。
- ③ 测试图 1-12 所示电路的逻辑功能。
- ④ 测试图 1-13 所示电路的逻辑功能。

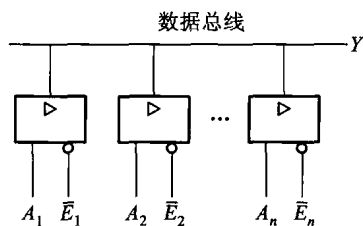


图 1-12 三态输出门实现总线传输

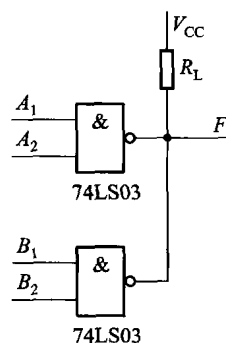


图 1-13 OC 门线与电路图

#### 五、思考题

OC 门输出线与时负载电阻  $R_L$  如何选择?



## 六、实验报告

记录、整理实验结果,并对结果进行分析。

## 实验四 组合逻辑电路分析

### 一、实验目的

- ① 熟悉组合逻辑电路的特点。
- ② 掌握组合逻辑电路的分析方法。
- ③ 掌握选择适当的逻辑门实现逻辑函数。

### 二、实验仪器与器件

- ① 数字电路实验箱。
- ② 74LS00、74LS20、74LS54、74LS83、74LS86。

### 三、实验任务与要求

- ① 按图 1-14 所示连接电路,通过实验列出真值表,并说明其逻辑功能。
- ② 按图 1-15 所示连接电路,通过实验列出真值表,并说明其逻辑功能。

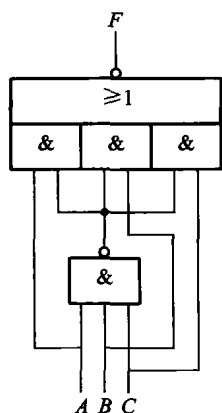


图 1-14 组合逻辑电路 1

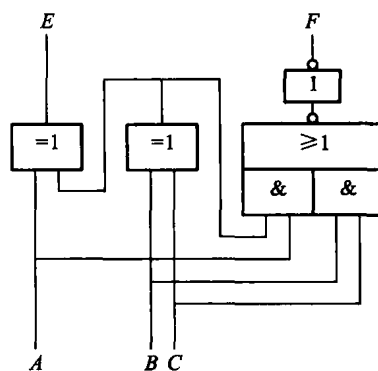


图 1-15 组合逻辑电路 2

- ③ 用逻辑门实现下述两个逻辑函数。

$$F_1 = \overline{\overline{A + C} \cdot \overline{A + B} + (B \oplus \overline{C}) \overline{CA} \overline{D}}$$

$$F_2 = [\overline{DB} + \overline{B}(D \oplus C)] [C + (\overline{B + A}) \overline{C}]$$

- ④ 如图 1-16 所示,是 4 位全加器组成的 4 位比较器电路,先分析电路,再做实验,并列表说明。