译者：宋柏泉　赵小林　章吉良

集成电路掩膜技术

上海交通大学出版社

译　序

改革开放以来，我国的半导体集成电路工业获得了飞速发展，但与国际先进水平相比，尚存在一定距离。国内在70年代初曾出版过一本掩膜版制备方面的书，但限于当时的技术发展水平，内容已较陈旧，国外专述掩膜版制备的书也极少。David J. Elliott 先生在半导体集成电路的光刻技术方面有很深的造诣，他曾任Shipley公司战略计划部经理，成功地开拓了光刻胶及其他微电子产品的世界市场。作为电化学学会成员，他曾发表了大量的学术论文，并主讲过许多专业研讨会，著有《集成电路制备技术》等书。本书是一本专述掩膜版制备的有实际指导意义的权威性著作。为了加速我国半导体集成电路技术的发展，尤其是掩膜版制备技术的发展，我们将它译出，以飨读者。但由于我们的水平有限，难免有不少错误和不当之处，敬请广大读者指正。

本书在翻译过程中，曾得到中国科学院学部委员、上海交通大学沈天慧教授和陈益新教授的大力支持和帮助，也得到严德荣、林嘉平、张宏、李美、唐修如等同志的无私帮助，在此表示深切感谢。

本书可供从事半导体集成电路和微细加工技术的工程技术人员参考，也可供该领域的高校、中专师生参考。

译者　1991.1

序

本书详细阐述了制造高分辨率集成电路掩膜的主要工艺步骤和技术。书中给出了一些有关设备和化学药品的工艺参数，重点放在具体实用上。书中解释了许多支配光和电子行为的定理和定律，以及其他一些与掩膜有关的问题。本书的目的在于为掩膜制造提供一个有效的实用的信息来源，以促进这个学科的互相交流，并提高掩膜制造工艺的质量。

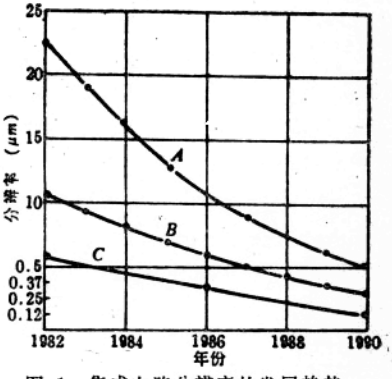

图 1　集成电路分辨率的发展趋势

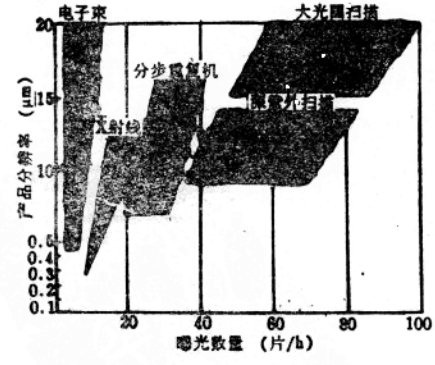

图 2　不同曝光设备的分辨率与产量的关系

本书回顾了推动掩膜技术发展的各种因素，特别是回顾了光刻技术的发展。图 1 为集成电路分辨率的发展趋势，曲线A为生产中的几何尺寸；曲线B为研究开发实验室中的最小几何尺寸；曲线C为总的套准精度。图 2 为使用各种光刻曝光设备所

得到的分辨率与产量之间的关系。

大多数专家都将光刻看作是掩膜和圆片制备技术的推动力，所以在本书中，特别详细地叙述了集成电路制备中的图形复印工艺。

目　录

序……（Ⅰ）

第1章　图形设计和数据产生……（1）

1.1 引言……（1）
1.2 历史回顾……（1）
1.3 计算机辅助设计方法……（6）
1.4 设计规则……（6）
1.5 图形设计方法……（11）
1.6 器件模拟……（25）
参考文献……（29）

第2章　掩膜的高质量玻璃基板……（30）

2.1 引言……（30）
2.2 玻璃的熔融和成形……（31）
2.3 玻璃成分……（41）
2.4 钙钠玻璃、硼硅玻璃、钡铝硅玻璃、石英玻璃的一般性能……（42）
2.5 玻璃的透光性……（45）
2.6 玻璃清洗……（46）
2.7 基板硬度……（52）
2.8 玻璃板检验……（53）
2.9 玻璃的平整度……（54）
2.10玻璃板的尺寸与厚度的关系……（60）

此为试读，需要完整PDF请访问：www.ertongbook

2.11玻璃基板的边缘倒角……（61）

第3章　掩膜版基片的涂敷……（62）

3.1 引言……（62）
3.2 掩膜版基片涂敷层的种类……（62）
3.3 玻璃基板沉积前的清洗……（74）
3.4 玻璃板表面的沉积技术……（75）
参考文献……（81）

第4章　掩膜版成像……（82）

4.1 引言……（82）
4.2 成像……（84）
4.3 电子束成像……（86）
4.4 电子束系统的成像能力……（91）
4.5 扫描方式……（96）
4.6 初缩……（99）
4.7 MEBES系统……（101）
4.8 矢量扫描在生产中的应用……（103）
4.9 可变形状电子束扫描……（106）
4.10接触式复印……（107）
4.11光刻胶和电子束光刻胶……（110）
4.12图形发生器……（125）
4.13精缩机……（134）
4.14初缩版生产……（136）
4.15反射率与波长的关系……（137）
参考文献……（138）

第 5 章　刻蚀……（139）

5.1 引言……（139）
5.2 待刻蚀的衬底……（140）
5.3 光刻胶作为掩膜……（140）
5.4 抗蚀剂的硬化……（142）
5.5 后烘参数……（143）
5.6 热流动……（143）
5.7 抗蚀剂的收缩……（144）
5.8 抗蚀性能的测量……（145）
5.9 曝光后坚膜……（146）
5.10显影后曝光……（146）
5.11湿法刻蚀……（147）
5.12干法刻蚀……（156）
5.13过刻蚀……（165）
5.14反转刻蚀……（166）
5.15去胶……（166）
参考文献……（171）

第 6 章　图形测量……（172）

6.1 引言……（172）
6.2 光显微技术……（174）
6.3 扫描电子显微镜测量……（184）
6.4 标准……（188）
6.5 厚度测量……（190）
6.6 图形测量的应用……（198）
参考文献……（201）

第 7 章　掩膜版的检验和应用……（202）
7.1 引言……（202）
7.2 检验……（202）
7.3 缺陷的定义和来源……（206）
7.4 掩膜质量和成品率……（210）
7.5 掩膜缺陷的实例……（211）
7.6 检验技术……（214）
7.7 集成电路掩膜版的保护膜……（219）
7.8 掩膜的缺陷及修补……（226）
7.9 圆片生产线中的掩膜版清洗……（234）
参考文献……（240）

第1章 图形设计和数据产生

1.1 引言

计算机辅助设计正以一个令人难以置信的速度发展着，它已进入了许多领域，包括建筑设计，化工设计、数学模型、航空学、系统研究和医药工业等。运用计算机进行新器件的设计也已经成为现实，近期超大规模集成电路的设计在很大程度上依赖于更新更强的计算机辅助设计系统。

在超大规模集成电路设计中已广泛用到计算机辅助设计。许多专家认为这是计算机辅助设计发展最为完善的一个领域。超大规模集成电路的计算机辅助设计包括下述几个方面：

1. 当前超大规模集成电路计算机辅助设计的能力和趋向；
2. 器件模型制作；
3. 逻辑模拟、器件分析和时效研究；
4. 互联策略；
5. 计算机辅助设计与光刻工艺的关系；
6. 计算机辅助设计与芯片设计和测试的关系；
7. 计算机辅助设计在未来新器件中的作用。

集成度是集成电路复杂性的一个标准。早期的集成电路最多只有10个逻辑门；中规模集成电路也只含有10至100个逻辑门；而近年来出现的大规模集成电路则含有100至1000个门。现在人们已经在研究进一步的集成，即超超大规模集成电路。

1.2 历史回顾

在50年代初人们开始用光刻方法来制备集成电路，这项开创

性工作是在Fairchild Semiconductor和Texas Instruments进行的。至今在芯片构思、设计、试验、制备和测试方面的基本步骤，还是与30年前的相似，虽然控制每个步骤的方法已经有了很大的改进，但并未发生根本变化。概括来看，这些步骤是：

1. 确定并优化集成电路制备工艺；
2. 从电性能上规定电路单元；
3. 设计逻辑图；
4. 逻辑设计转化为掩模几何图形；
5. 对设计进行电气模拟试验，检测缺陷。

这些步骤原来都是手工操作。由于通过测量各种具有不同图形尺寸的试验芯片，才能最后确定所需的图形尺寸，因此要花费许多时间。当制造出一个能满足最初输出要求的芯片后，还要进行电性能和其他参数的测试。通过大量试验，不断排除错误，最终得到一套包括电参数和物理参数在内的技术规范。而每个图形的几何尺寸公差，由能否得到最高的成品率来确定，这一点与现在的情况相同。

在60年代，首先用分立元件制作出符合用户要求的电路，然后画出相应的逻辑图，再得到集成电路的设计图。这种方法称为“面包盘”工艺。假定一切顺利，一个版图设计者就可以将掩膜图形的尺寸确定下来，在纸上画出一系列掩膜几何图形，每步工艺要有一张这种图。然后把这些图刻到由Ulano公司制造、用作光学缩小的塑料“红膜”上去，再按照版图设计者的原始要求检查红膜上图形的精确程度，它是一件麻烦事情。在作了必要的修正之后，用一架大型精缩照相机将红膜缩小100倍，得到最终的乳胶掩膜版，然后再用这一系列掩膜版制造器件。只有在芯片制成后，制作者才能知道他们的产品性能如何。

在以后的10年中，随着器件复杂性提高，这些手工做法就显得笨重和费时，以至于不得不采取更有效的方法来取得更好的经

济效益。人们发明了把所有集成电路图的几何形状和尺寸数字化的设备，这种设备称为图形发生器。实际工作中先要输入图形形状和尺寸并将它们转化成数据磁带。这项工作由一个数字化仪完成。

把图形数字化的主要优点是可以用计算机来处理集成电路图形的数据，并可根据设计规范检验程序来测试开路、短路或其他设计中的缺陷。一旦发现集成电路中的一个缺陷，可通过数字化系统进行改正，如用红膜刻图的方法，要改正一个错误就不得不重画一张新的图。

虽然图形数字化节省了大量的时间，但是在发现某项设计的缺陷之前，仍需要经过好几个小时的工作。人们自然会想到设计的一系列图形转化成可以被控制、纠正和测试的数字信号，以后就设法把图形显示在荧光屏上。70年代，发明了利用计算机和阴极射线显示器互联的作图法，帮助设计工程师们以更快的速度设计出电路阵列。例如．一个存贮器的许多相同元件可以很容易地在互联作图设备上产生出来。这类设备可以将某种相同的单元在一幅给定的器件图上复制数千次，并且用快速方法整理和排列图形。在互联作图法出现以前，所有这些排列都由手工画图完成。所有门阵列和存贮阵列单元不得不一个一个地安置到集成电路图上。互联作图法节省了大量的制图时间。

到70年代中期，解决了制作集成电路图的几个主要问题。例如在工程制图的数字化和互联作图中都可以对原始设计进行实时变动和修正，而不必重画或重新显示图形；通过互联作图设备的终端，迅速地把数千个图形相同的单元排成阵列等等。尽管有了这些进步，但各层掩膜上的所有集成电路图形必须在硅片上实现以后，才能进行器件的实际测试。由于器件的集成度现已达到很高的水平，使得单个集成电路在芯片上已无法测试，于是就开发了集成电路设计模拟器。

此为试读，需要完整PDF请访问：www.ertongbook

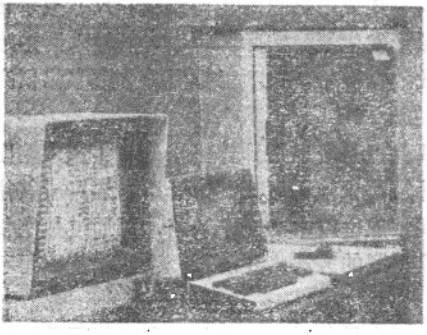

图 1.1 计算机辅助设计系统

接下来的革新是开发了能模拟电路功能的软件。电路设计人员可以利用各种电路模拟程序检查自己工作的成效。另外，修正之后，互联作用设备还可以打印出最终数据磁带所表示的图形。这种软件的一个重要优点是能够自动验证设计版图中金属连线是否符合设计要求。图 1.1 为互联作图法的计算机辅助设计(CAD)系统。

在70年代，人们还不能像今天那样对芯片作修改，以纠正设计中的缺陷或错误。这就使得我们必须在版图投入生产之前，确保整个集成电路设计的准确性。但是，用计算机产生新型的集成电路设计，还不能确保设计的正确性。在自动的集成电路CAD系统投入使用前，还需要几个革新。标准单元阵列和门阵列的开发，推动了这些革新。在此基础上，Stevens和Hashimoto 开发了一种称为 channel router 的计算机算法，用来设计集成电路。以后人们又进一步开发了许多计算方法，为各种电路提供金属化或互联所需的图形。

能自动排列标准单元的计算机程序创造了一种更新更简单的设计方法。例如对于门阵列或其他包含标准单元的规则图形，因为单元的重复性而变得较容易设计。自由形式的设计开始让位于自动的设计测试程序。所有的第一次新设计必须是可以测试的，然后才能投入生产。于是，测试步骤从工序的后道移到了工序的最前面。今天，要使用不可测试的设计是不能设想的。

从设计开始，然后变为可制作掩膜的数据的整个过程是复杂的，包含许多步骤。制造初缩掩膜版的基本方框图如图1.2所示。自动设计已是势在必行，因为器件的复杂性和相应的设计时间在迅速增加。一个标准的16位微处理器芯片所需的设计时间就超过50人年。据报道Intel8086 仅设计阶段 就需13人年。软件和硬件的改进和提高已使我们有能力至少可以设计比32位微处理器还要复杂的芯片，如图 1.3 所示。整个设计任务可分为几个工序，每个工序都是一个独立系统。

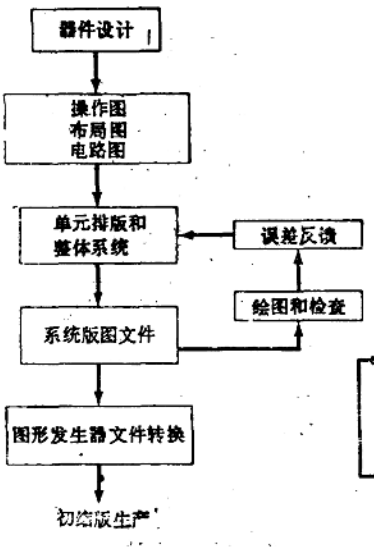

图 1.2 制造初缩版的基本步骤

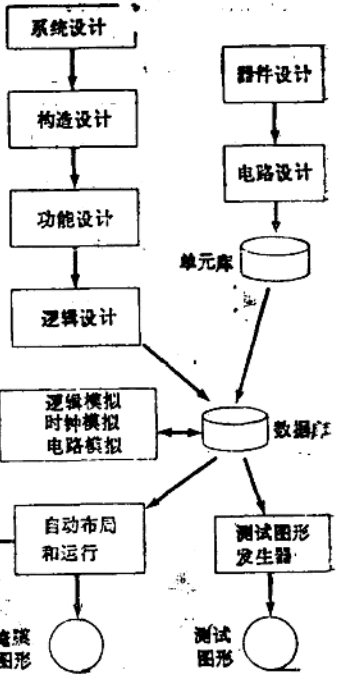

图 1.3 设计工作概貌

1.3 计算机辅助设计方法

集成电路设计是一项人和计算机相互合作的工作。与互联作图设备一起使用的附加软件促进了人机之间进一步的相互合作。现在单个操作者就可以使用这种系统来完成某个超大规模集成电路的线路排版。对更复杂的系统，还可节省更多的设计和排版时间。由于超大规模集成电路（VLSI）结构设计时间的价格每年都在大幅度上升，因此CAD的硬件和软件方面的投资额虽是昂贵的，然而又是值得的。

1.4 设计规则

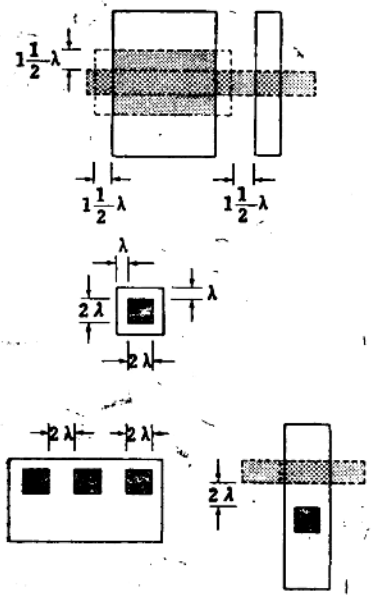

图 1.4 设计规则绘图的例子

VLSI的设计者所创作的各层掩膜图形中显然不能含有超出加工工艺极限的几何图形。设计中还必须考虑一些基本的极限和参数，使各种电路元件（晶体管、互联等）能发挥正常的电子功能。因此，为了得到几何图形的设计规则，首先应对器件制版和器件物理性能有一个彻底理解。图 1.4 为设计规则图例。

设计规则定义为受到器件物理和光刻工艺限制的电路几何尺寸方面的物理规则。这些规则给出了一些最小几何极限，如线宽、整套

掩膜之间的套准精度，以及给定电路元件在芯片上扩展等的限制。

器件物理性质只随基板材料和覆盖材料（沉积氧化物、硅化物、金属、掺杂剂）的改变而改变。硅、硅氧化物以及一些常用半导体材料（包括多晶硅、氮化硅、铝和铝合金）的电学参数已经熟为人知，但新的金属硅化物、砷化镓、和新型聚合物电解质等材料仍在不断涌现，这些材料具有与旧材料不同的电子性能，因此需要不同的加工工艺。此外，随着集成电路向小型化和高速化发展，电路的集成度不断提高，因此材料技术也在不断发展。

设计规则还随着将材料沉积到基板上的方法而改变。例如，激光掺杂或离子沉积使氧化物或其他电介质的厚度发生变化，从而改变了电路的表面形貌。由于表面形貌是VLSI设计中的一个主要制约因素，因此这种新沉积技术的出现就迫使设计规则进行改变。实际上，设计也常常推动生产技术的发展。例如。在等平面设计中，为了克服光刻中的困难，就需要降低图形的台阶高度。设计对光刻工艺有显著的影响，在某一些情况下，设计方案不适合光刻工艺，特别是当设计者不了解光刻成像和刻蚀参数的情况下就更为突出。集成电路以及近来的VLSI芯片的设计者更应该了解所有的生产工艺对几何图形的影响，包括离子注入的深度分布轮廓的影响；多晶硅和铝的反射及其对图形宽度的影响；由于光和电的邻近效应造成的对最小间隔的影响等等。

1.4.1 光刻对设计的影响

设计者追求在芯片区域中放入尽可能多的信息。制版者在成像和刻蚀工艺控制方面需付出大量的劳动，以确保越来越小的线宽和间隔。光刻技术的革新每年为设计者提供越来越多可使用的硅表面积，在这方面，它超过了其他技术。优秀的光刻设备、高分辨率光刻胶和干法刻蚀技术等，为缩小图形并给附加的电路留出更多硅表面积提供了有效的方法。

在IC设计中，不同图形之间距离的极限实际上是由加工工艺

的分辨率所决定的。如果IC加工工艺能提供2μm的分辨率，那么掩膜设计规则就以此为最小距离。在某层给定的掩膜上，或在整套掩膜的每层掩膜上，线条间距都要保持这个尺寸。于是所有几何图形保持一个公差，这个公差是由光刻或电子束制版的能力来决定的。

由于变化因素很多，因此在掩膜和基片加工过程中，要保持设计规则即最小工作间距常常是困难的。玻璃或硅基板的大小随室温或工艺环境温度变化而变化。有时一批光刻胶的灵敏度与另一批的不同，造成图形尺寸在光刻胶图形成像步骤中发生变化。掩膜与圆片的对准并不总是完美的，这种对准误差随着掩膜板层数的增加而变大，偶然情况下，这种对图形中心的偏移也可能随层数增加而相互抵销。刻蚀也会造成图形变化，过刻蚀的几何图形最终比正常刻蚀的要小。工艺步骤中所有可能造成几何图形变化的因素最后都将造成违反设计规则的后果。

1.4.2 图形单元和它们的电性结果

在考虑某个给定电路设计规则时，设计者首先注意基础层的掩膜版。我们将研究MOS工艺的每个典型层的掩膜版，并且将设计规则同违反这个规则的结果联系起来。图形尺寸和电气工作参数之间的关系决定了芯片工作状态。在一条生产线上，从设计到掩膜检验和使用的所有工艺，都与这个基本关系有关。扩散区、多晶硅层、离子注入区、接触区、金属间隙、引线脚等都是一些典型区段，它们有一些特别的电气要求，这些电气要求直接与图形尺寸有关。

1.4.3 扩散区域

扩散区总是有一个由光刻工艺和电气要求共同决定的最小间隙。在设计阶段，把两个扩散区放得太近将造成一些严重问题。例如，由于这些扩散区的连结处存在一些耗尽层，因此当间隙太小时，耗尽层会重叠，造成不希望有的漏电流。扩散区的间隙总是

随着所有其他器件参数的变小而变小。典型的扩散区域线宽为4～6μm，但有时为安全起见，这个线宽可扩大到5～8μm。

当有电流出现时，耗尽层的宽度是可变的。在周围区域接地时，耗尽层可薄一些。可是，当低电压存在于扩散区时，这些区域的间隙就会变小。另一种减小扩散区间隙的方法是，在圆片表面上的扩散区之间制造一个高掺杂层，这样就可以减小耗尽层重叠的可能性。

1.4.4 离子注入区

离子注入区的设计规则决定于器件类型。如果注入区要成为一个晶体管门的话，那么离子注入区之间的间隙就不能太小，而是应该与增强型晶体管的门区域分开一个足够的距离。但在有些器件中，要求离子注入区靠得很近，这时，设计中应把离子注入区扩大到能覆盖整个门区域。在设计中也应该制定离子注入区超过门区域的距离，离子注入区到一个增强型晶体管门之间的分开距离一般为3～5μm。对于一个重叠于门区域上的离子注入区来说，这个尺寸也适用。

1.4.5 多晶硅区

多晶硅的线宽与耗尽层无关，通常可以比扩散区放得更近一些。在设计规则中，多晶硅的反射率是影响其间隙宽度的一个因素。在光刻胶形成图形时，多晶硅的反射会影响光刻胶的图形尺寸。如果设计者熟悉加工工艺，他就应该在设计中考虑到反射现象，并使最后的图形符合设计规则。多晶硅线宽小至3～4μm，因此我们在设计时必须考虑多晶硅线条重叠于其他区域上的情况。例如，一条多晶硅线条和一条扩散区线条的重叠能造成一个原来不想要的电容。防止这种重叠情

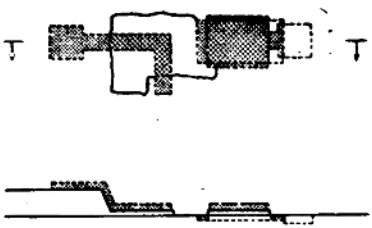

图 1.5 从设计规则转化成芯片结构

此为试读，需要完整PDF请访问：www.ertongbook