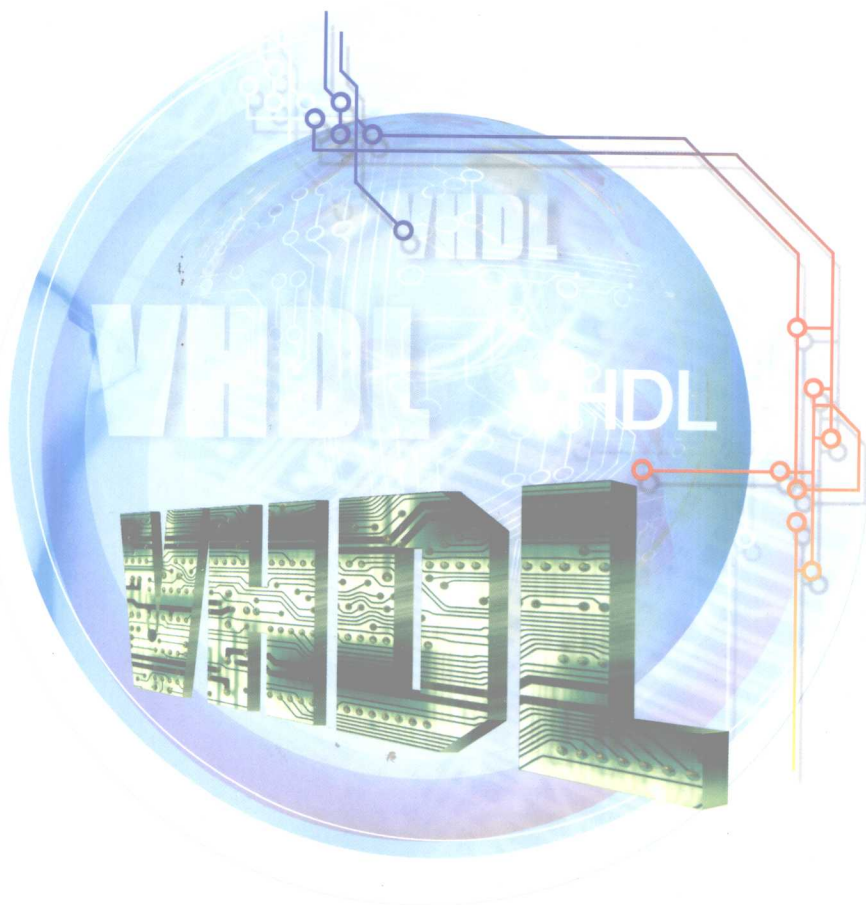


21世纪高等院校计算机辅助设计规划教材

VHDL

电路设计实用教程



- 由浅入深地介绍了 VHDL 及有关硬件电路设计的相关知识。
- 以系统性和实用性为指导,帮助读者学习如何用 VHDL 更好地设计电路。
- 在教学实践的基础上编写,实例都经过实践检验。
- 知识新、内容全、实用性强。



李 云 侯传教 冯永浩
编著

21 世纪高等院校计算机辅助设计规划教材

VHDL 电路设计实用教程

李 云 侯传教 冯永浩 编著



机械工业出版社

本书由浅入深地介绍了 VHDL 及有关硬件电路设计的相关知识。全书共分 8 章,第 1 章简单介绍了 EDA 技术的基本知识及数字系统硬件设计的方法;第 2 章介绍了目前较流行的基于 PC 的 EDA 工具软件 Quartus II6.0;第 3、4 章详细介绍了 VHDL 的基本知识和基本语法,并重点介绍了 VHDL 的对象、数据类型和运算符, VHDL 的基本结构, VHDL 的基本语句, VHDL 的属性;第 5 章通过一些常用标准器件介绍了组合逻辑电路和时序逻辑电路的 VHDL 设计方法、编程和模拟仿真;第 6 章通过具体实例介绍了一些常用数字系统的 VHDL 设计;第 7、8 章介绍了一些实际应用的通信、数字信号处理(DSP)方面的 VHDL 程序的设计。

本书可作为高等院校通信、电子工程、计算机科学与技术、自动控制等专业本科生、研究生的教材或教学参考书,也可作为从事各类数字系统电路设计的科研人员和硬件工程师的应用参考书。

图书在版编目(CIP)数据

VHDL 电路设计实用教程/李云,侯传教,冯永浩编著. —北京:机械工业出版社, 2009.3

(21 世纪高等院校计算机辅助设计规划教材)

ISBN 978-7-111-25759-2

I. V… II. ①李…②侯…③冯… III. 硬件描述语言, VHDL—程序设计—高等学校—教材 IV. TP312

中国版本图书馆 CIP 数据核字 (2008) 第 200431 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:张宝珠

责任编辑:张宝珠

责任印制:李妍

北京蓝海印刷有限公司印刷

2009 年 3 月第 1 版·第 1 次印刷

184mm×260mm·19 印张·468 千字

0001—3000 册

标准书号:ISBN 978-7-111-25759-2

定价:31.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

销售服务热线电话:(010) 68326294 68993821

购书热线电话:(010) 88379639 88379641 88379643

编辑热线电话:(010) 88379753 88379739

封面无防伪标均为盗版

前言

随着电子技术的迅猛发展,集成电路的设计方法也在不断地更新,已从单纯的专用集成电路(ASIC)设计向片上系统设计的方向发展。现在,传统的“固定功能集成电路+连线”的手工电子设计方法已被现代的对“芯片”进行设计的自动化设计方法所替代,使电子设计技术迈入了一个全新的阶段。目前电子系统的设计可以直接面向用户需求,根据系统的功能和行为要求,利用计算机软件,采用硬件描述语言,自上而下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件。上述系统设计过程除了系统功能和行为描述之外,其余所有设计过程几乎都由计算机自动完成,真正做到了电子设计自动化(EDA)。一些专家预言,未来的电子技术将是 EDA 技术时代。为了适应这一时代的要求,Altera 公司、Xilinx 公司、Lattice 公司等相继推出了多种高性能的大规模可编程逻辑器件 FPGA/CPLD 芯片和各类高性能的现代 EDA 工具软件,使电子系统向速度更快、体积更小、重量更轻、功耗更小、稳定性更高的方向发展。熟悉并掌握这些现代化设计理念和 EDA 工具软件,已成为电子工程师必备的基本素质。

现代的 EDA 工具软件给电子设计带来了巨大变革,其关键技术无一例外地以硬件描述语言作为设计输入来描述电子系统的硬件电路。VHDL 是美国电气和电子工程师协会制定的标准硬件描述语言(IEEE 标准 1076),它可用于数字电路与系统的描述、仿真和自动设计。VHDL 作为 IEEE 标准的硬件描述语言,经过十几年的发展、应用和完善,以其强大的系统描述能力,规范的程序设计结构,灵活的语句表达风格和多层次的仿真测试手段,受到业界的普遍认同和推广,成为现代 EDA 领域的首选硬件设计语言,而且各大 EDA 公司推出的 EDA 工具软件全部支持 VHDL。正是因为有了这一强大的硬件描述语言,使电子系统的设计实现了硬件设计软件化。

随着 EDA 技术和 VHDL 的广泛应用,各高等院校也纷纷开设了 VHDL 电路设计课程,且要求某些专业的本科生、研究生必须掌握用 VHDL 进行电路系统设计的方法。VHDL 已经成为高等教育中电类专业知识结构的重要组成部分。

本书以系统性和实用性为指导,其宗旨是帮助硬件设计工程师学习如何用 VHDL 更好地设计电路,并通过具体实例介绍如何简洁、高效、正确地编写硬件系统的 VHDL 描述。

本书是在教学实践的基础上编写的,书中的实例基本都经过了实践检验。在编写过程中,我们力求做到知识新、内容全、实用性强。本书对所有知识的讲解始终贯穿由浅入深、化难为易以及边学习边实践的原则,使读者易于理解和掌握,既便于教学过程中使用,也便于自学。为使读者能边学习边实践,每章后面均附有小结与习题,建议读者在学完一章内容后,都能完成各章的练习,以加深理解,巩固学习效果。

本书第 1、5、6 章由李云编写,第 2、7、8 章由侯传教编写,第 3、4 章由冯永浩编写,李云负责全书的修改和统稿工作。本书由熊伟副教授审阅,并提出了许多修改意见,在此表示衷心的感谢。

由于编者水平有限,书中难免仍存在错误和不妥之处,请广大读者批评指正。

编 者

目 录

前言

第 1 章 绪论	1
1.1 EDA 技术及其发展历程	1
1.2 EDA 技术的主要内容	2
1.2.1 可编程逻辑器件	2
1.2.2 EDA 工具软件	6
1.2.3 EDA 设计语言	7
1.3 硬件描述语言 VHDL	8
1.3.1 VHDL 的特点	8
1.3.2 基于 VHDL 的现代硬件电路设计方法	9
1.3.3 VHDL 的设计流程	11
1.4 小结	12
1.5 习题	12
第 2 章 Quartus II 6.0 使用指南	13
2.1 Quartus II 简介	13
2.1.1 Quartus II 的特点	13
2.1.2 Quartus II 的安装与启动	13
2.1.3 第一次运行 Quartus II	15
2.1.4 Quartus II 的用户界面	16
2.2 基于 Quartus II 的设计流程	16
2.3 基于 Quartus II 的原理图设计方法	17
2.3.1 创建一个新 Quartus II 工程	17
2.3.2 使用 Quartus II Block Diagram/Schematic File 编辑器	22
2.3.3 编译	26
2.3.4 定时分析	28
2.3.5 模拟仿真	28
2.3.6 引脚锁定和编程下载	33
2.3.7 使用 Quartus II 的 LPM 宏单元	36
2.4 基于 Quartus II 的 VHDL 设计方法	43
2.4.1 编辑输入并保存 VHDL 源文件	43
2.4.2 电路的编译和模拟仿真	45
2.4.3 应用 RTL 电路图观察器	46
2.4.4 引脚锁定和编程下载	46
2.5 层次化设计	47
2.5.1 编辑、编译并仿真 VHDL 源程序	48

2.5.2	编辑、编译并仿真 8 位计数显示译码电路的顶层文件	50
2.6	小结	51
2.7	习题	51
第 3 章	VHDL 的基本结构和语言要素	52
3.1	VHDL 程序的基本结构	52
3.1.1	库	52
3.1.2	程序包	54
3.1.3	实体	56
3.1.4	结构体	58
3.1.5	配置	59
3.1.6	基本逻辑器件设计举例	60
3.2	VHDL 的语言要素	61
3.2.1	VHDL 的文字规则	62
3.2.2	VHDL 的数据对象	64
3.2.3	VHDL 的数据类型	67
3.2.4	VHDL 的操作符	78
3.3	小结	80
3.4	习题	80
第 4 章	VHDL 的基本语句	82
4.1	顺序描述语句	82
4.1.1	赋值语句	82
4.1.2	IF 语句	84
4.1.3	CASE 语句	87
4.1.4	LOOP 语句	90
4.1.5	NEXT 语句	92
4.1.6	EXIT 语句	94
4.1.7	NULL 语句	94
4.1.8	WAIT 语句	95
4.1.9	ASSERT 语句	96
4.1.10	子程序调用语句	98
4.1.11	子程序返回语句	98
4.2	并行描述语句	99
4.2.1	并行信号赋值语句	99
4.2.2	PROCESS 语句	102
4.2.3	BLOCK 语句	103
4.2.4	元件例化语句	105
4.2.5	生成语句	107
4.3	子程序	111
4.3.1	过程	112

4.3.2	函数	116
4.4	其他语句和说明	122
4.4.1	属性描述与定义语句	122
4.4.2	文本文件操作	126
4.5	VHDL 的描述方式	127
4.5.1	行为描述	128
4.5.2	数据流描述	128
4.5.3	结构描述	129
4.6	小结	130
4.7	习题	131
第 5 章	电路设计入门	133
5.1	组合逻辑电路的设计	133
5.1.1	与非门和非门	133
5.1.2	三态门	136
5.1.3	缓冲器	137
5.1.4	加法器	139
5.1.5	编码器	141
5.1.6	译码器	143
5.1.7	数据选择器	147
5.1.8	数据分配器	149
5.1.9	数值比较器	150
5.2	时序逻辑电路的设计	152
5.2.1	触发器	152
5.2.2	寄存器和移位寄存器	157
5.2.3	存储器	162
5.2.4	计数器	166
5.3	有限状态机的设计	168
5.3.1	概述	168
5.3.2	状态机的基本结构和功能	169
5.3.3	有限状态机的 VHDL 描述	170
5.3.4	状态编码	181
5.3.5	状态机剩余状态的处理	184
5.4	小结	186
5.5	习题	186
第 6 章	VHDL 在数字系统设计中的应用	187
6.1	LED 数码管动态扫描显示控制器	187
6.1.1	LED 数码管的显示原理	187
6.1.2	LED 数码管静态显示控制器的设计	187
6.1.3	LED 数码管动态扫描显示控制器的设计	189

6.2	数字钟	195
6.2.1	设计任务和要求	195
6.2.2	数字钟电路的设计	196
6.3	交通信号灯控制器	204
6.3.1	设计任务和要求	204
6.3.2	交通信号灯控制器的设计	205
6.4	数字密码锁系统	218
6.4.1	设计任务和要求	218
6.4.2	数字密码锁系统电路的设计与实现	219
6.5	小结	234
6.6	习题	234
第 7 章	VHDL 在通信系统设计中的应用	235
7.1	数字基带信号传输码发生器的建模与设计	235
7.1.1	常见的几种基带码	235
7.1.2	基带码发生器的 VHDL 程序及仿真	238
7.2	二进制振幅键控调制与解调的设计	240
7.2.1	二进制振幅键控调制的原理	240
7.2.2	二进制振幅键控调制的 VHDL 程序及仿真	240
7.2.3	二进制振幅键控解调的原理	242
7.2.4	二进制振幅键控解调的 VHDL 程序及仿真	242
7.3	二进制频移键控调制与解调的设计	244
7.3.1	二进制频移键控调制的原理	244
7.3.2	二进制频移键控调制的 VHDL 程序及仿真	245
7.3.3	二进制频移键控解调的原理	246
7.3.4	二进制频移键控解调的 VHDL 程序及仿真	247
7.4	二进制相位键控调制与解调的设计	248
7.4.1	二进制相位键控调制的原理	248
7.4.2	二进制相位键控调制的 VHDL 程序及仿真	249
7.4.3	二进制相位键控解调的原理	251
7.4.4	二进制相位键控解调的 VHDL 程序及仿真	251
7.5	数字相关器的建模与设计	252
7.5.1	数字相关器的原理	252
7.5.2	数字相关器的 VHDL 程序及仿真	253
7.6	CRC 码的建模与设计	254
7.6.1	CRC 码的校验原理	254
7.6.2	CRC 码的 VHDL 程序及仿真	255
7.7	直接数字频率合成的建模与设计	257
7.7.1	DDS 的工作原理	257
7.7.2	DDS 的 VHDL 程序及仿真	258

7.8	小结	262
7.9	习题	262
第 8 章	VHDL 在 DSP 中的应用	263
8.1	快速加法器的建模与设计	263
8.1.1	快速加法器的原理	263
8.1.2	快速加法器的 VHDL 程序及仿真	263
8.2	乘法器的建模与设计	265
8.2.1	组合乘法器的设计	265
8.2.2	移相相加乘法器的设计	266
8.3	CORDIC 算法的建模与设计	269
8.3.1	CORDIC 算法的原理	269
8.3.2	CORDIC 算法的 VHDL 程序及仿真	271
8.4	有限冲激响应滤波器的设计	281
8.4.1	有限冲激响应滤波器的结构简介	281
8.4.2	有限冲激响应滤波器的设计方案	282
8.5	分频器的建模与设计	284
8.5.1	偶数分频器的设计	285
8.5.2	奇数分频器的设计	288
8.5.3	半整数分频器的设计	292
8.6	小结	294
8.7	习题	294
参考文献		295

第1章 绪 论

电子设计自动化 (Electronic Design Automation, EDA) 技术是现代电子工程领域的一门新技术。基于可编程逻辑器件 (Programmable Logic Device, PLD) 的数字系统 EDA 技术可以简单概括为: 以大规模可编程逻辑器件为设计载体, 通过硬件描述语言 (Hardware Description Language, HDL) 输入给相应开发软件, 经过编译和仿真, 最终下载到设计载体中, 从而实现系统电路的设计任务。当今, 基于芯片的设计方法已成为电子系统设计的主流, 掌握 EDA 技术是对电子工程技术人员的基本要求。

本章首先从 EDA 技术及其发展历程开始, 对 EDA 技术进行概括性的介绍, 然后对 VHDL 的主要特点、现代硬件电路设计方法和设计流程进行介绍, 目的是使读者对 VHDL 有一个初步的认识。

1.1 EDA 技术及其发展历程

20 世纪末, 数字电子技术得到了飞速发展, 在其推动下, 现代电子产品几乎渗透到了社会的各个领域, 数字电子技术的应用也已经渗透到我们生活的各个方面。从计算机到手机, 从数字电话到数字电视, 从家用电器到军用设备, 从工业自动化到航天技术, 都尽可能采用了数字电子技术。而微电子技术, 即大规模集成电路加工技术的进步是推动现代数字电子技术发展的动力。随着大规模和超大规模集成电路的迅猛发展, 器件的集成度越来越高, 在硅片单位面积上集成的晶体管数量越来越多, 如 1978 年推出的 8086 微处理器芯片集成电路的晶体管数是 4 万只, 到 2000 年推出的 Pentium 4 微处理器芯片的集成度达 4200 万只晶体管。集成电路设计在不断地向超大规模、极低功耗和超高速的方向发展, 现在, 集成电路已经能够实现单片式系统 (System On a Chip, SOC) 的功能。

现代电子设计技术正是在集成电路发展基础上, 由人工利用中、小规模芯片设计应用电路, 向利用必要的编程工具进行自动化设计转变。EDA 技术就是依靠功能强大的电子计算机, 在 EDA 工具软件平台上, 对以硬件描述语言为系统逻辑描述手段完成的设计文件, 自动地进行逻辑编译、化简、分割、综合、优化和仿真, 直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 (Application Specific Integrated Circuit, ASIC) 芯片中, 实现所设计的电子电路功能。EDA 技术使得电子电路设计者仅利用硬件描述语言和 EDA 软件平台, 即可对系统硬件实现功能仿真, 极大地提高了设计效率, 缩短了设计周期, 节省了设计成本。

EDA 是在 20 世纪 90 年代初期从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 发展而来的, 一般把 EDA 技术的发展分为 CAD、CAE 和 EDA 三个阶段。

(1) CAD 阶段

20 世纪 60 年代中期至 20 世纪 80 年代初期, 随着中、小规模集成电路的开发和应用, 传统的手工制图设计印制电路和集成电路的方法已无法满足设计精度和效率的要求, 人们开

始利用计算机取代手工劳动，但当时的计算机硬件功能有限，电子设计软件的功能较弱，人们主要借助计算机对所设计电路的性能进行一些模拟和预测，辅助进行集成电路版图编辑、印制电路板（PCB）布局、布线等简单的版图绘制等工作。例如，目前常用的 PCB 布线软件 Protel 的早期版本 Tango、用于电路模拟的 SPICE 软件以及后来产品化的 IC 版图编辑与设计规则检查系统等软件，都是这个时期的产品。

（2）CAE 阶段

20 世纪 80 年代初期至 20 世纪 90 年代初期，随着集成电路规模的扩大以及电子系统设计的逐步复杂，使得 EDA 工具软件逐步完善和发展，尤其是在设计方法和设计工具集成化方面取得了长足的进步。可以利用计算机作为单独设计工具，并建立各种设计单元库；还可以用计算机将许多单点工具集成在一起，采用统一数据管理技术，集成为一个 CAE 系统，运用这种系统，按照设计方法学制定的某种设计流程，可以实现从设计输入到版图输出的全程设计自动化，大大提高了工作效率。在这个阶段，出现了各种硬件描述语言，但这些语言一般各自面向特定的设计领域和层次，没有统一标准，所以没有通用性。

（3）EDA 阶段

20 世纪 90 年代以来，微电子技术以惊人的速度发展，其工艺水平已达到深亚微米级，在一个芯片上可以集成上百万、上千万个晶体管，芯片的工作频率达到了 GHz 级，这不仅为单片式系统的实现提供了可能，同时对电子设计的工具提出了更高的要求。20 世纪 90 年代以后，出现了以 IEEE 标准硬件描述语言、系统仿真与综合技术为特征的第三代 EDA 技术。它使设计者摆脱了大量的辅助性工作，而把精力集中于创造性的方案与概念的构思上，从而极大地提高了系统设计的效率，缩短了产品的研制周期。而且特别重要的是，世界上很多从事此类产品开发的公同均致力于推出支持 IEEE 标准的硬件描述语言和 EDA 工具软件，这都有效地将 EDA 技术推向成熟。

1.2 EDA 技术的主要内容

EDA 技术的发展同大规模集成电路设计技术、CAE、PLD 以及电子设计技术和工艺的发展是同步的。

1.2.1 可编程逻辑器件

当今社会是数字化的社会，是数字集成电路广泛应用的社会。数字集成电路本身在不断地进行更新换代。从早期使用的电子管、晶体管、小中规模集成电路，发展到超大规模集成电路（VLSIC，几万门以上）以及许多具有特定功能的 ASIC。但是，随着电子技术的发展以及应用的普及，设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计 ASIC 芯片，而且希望 ASIC 的设计周期尽可能短，最好是在实验室里就能设计出合适的 ASIC 芯片，并且立即投入实际应用之中，因而出现了现场可编程逻辑器件（Field Programmable Logic Device, FPLD），其中应用最广泛的当属复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）和现场可编程门阵列（Field Programmable Gate Array, FPGA）。

PLD 是一种半定制集成电路，在其内部集成了大量的门和触发器等基本逻辑电路，用

户通过编程来改变 PLD 内部电路的逻辑关系或连线，就可以得到需要的特定功能电路。

1. PLD 的分类

PLD 的种类很多，几乎每个大的 PLD 供应商都能提供具有自身结构特点的 PLD。常见的 PLD 有 PROM、PLA 器件、PAL 器件、GAL 器件、EPLD、CPLD 和 FPGA 等。由于器件通常是按照其某种特征来命名的，而 PLD 中，同一种器件往往具备多种特征，很难进行严格的分类，所以 PLD 有多种分类方法，没有统一的标准。比较通用的分类方法有按集成度、编程方式、结构特点分类等几种。

(1) 按集成度分类

集成度是集成电路很重要的一项指标，PLD 从集成密度上可分为低密度可编程逻辑器件（Low Density PLD，LDPLD）和高密度可编程逻辑器件（High Density PLD，HDPLD）两类，如图 1-1 所示。通常集成密度小于 700 门（等效门）/片的属于 LDPLD，如 PROM、PLA 器件、PAL 器件和 GAL 器件；集成密度大于 700 门（等效门）/片的属于 HDPLD，如可擦除、可编程逻辑器件（Erasable Programmable Logic Device，EPLD）、CPLD 和 FPGA 等。

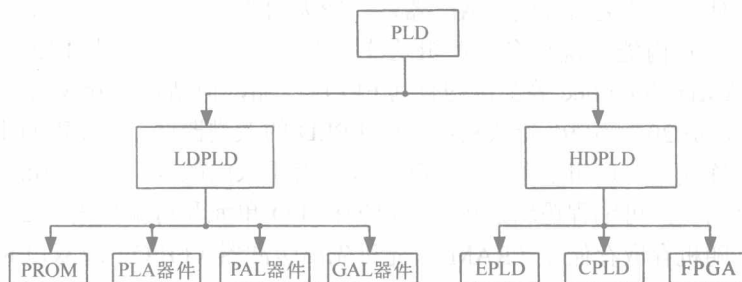


图 1-1 按集成度分类

- 可编程只读存储器（Programmable Read Only Memory，PROM）。它是 20 世纪 70 年代初期出现的第一代 PLD，其内部结构是由固定连接的与阵列和可编程连接的或阵列组成，可以用来实现任何与、或形式表示的组合逻辑函数。PROM 采用熔丝工艺编程，只能写入一次，不可以擦除或重写。随着技术的发展和应用要求，又出现了 EPROM（紫外线擦除可编程只读存储器）和 E²PROM（电可擦除可编程只读存储器）。由于 PROM 具有价格低、易于编程的特点，适合于存储函数和数据表格，在某些场合中还有一定的用途。
- 可编程逻辑阵列（Programmable Logic Array，PLA）。它是基于与-或阵列结构的一次性编程器件，其与阵列和或阵列均可编程。PLA 器件曾经被认为是极有发展前途的 PLD，但由于器件内部的资源利用率低，现在已经不常使用，只在一些专用的场合使用。
- 可编程阵列逻辑（Programmable Array Logic，PAL）。它也是基于与-或阵列结构的一次性编程器件，其与阵列和或阵列都是固定连接的。PAL 器件是 20 世纪 70 年代末期出现的产品，具有多种的输出结构形式，为数字逻辑设计带来了一定的灵活性。但 PAL 器件采用的是熔断丝的编程工艺，一旦一次性编程后就不能再改写，而且由于输出方式是固定的，不能重新组态，因而编程灵活性较差。

- 通用阵列逻辑 (Generic Array Logic, GAL)。它是 Lattice 公司 20 世纪 80 年代发明的电可擦除、可重复编程、可设置加密位的 PLD。GLA 器件和 PAL 器件相比, 增加了一个可编程的输出逻辑宏单元 (OLMC), 通过对 OLMC 配置可以得到多种形式的输出和反馈。在实际应用中, 由于 GAL 器件对 PAL 器件具有 100% 的兼容性, 所以 GAL 器件几乎完全代替了 PAL 器件。

LDPLD 的优点是易于编程, 对开发软件的要求低, 在 20 世纪 80 年代得到了广泛的应用。但随着集成度的不断发展提高, LDPLD 在集成密度和性能方面的局限性也暴露出来了。LDPLD 的寄存器、I/O 引脚、时钟资源的数目有限, 没有内部连线, 设计的灵活性受到了明显的限制。而这些不足之处, 都在 HDPLD 器件中得到了较好的解决。

- EPLD。它是 Altera 公司 1986 年推出的一种新型的、可擦除的、可编程的逻辑器件, 它是一种基于 EPROM 和 CMOS 技术的可编程逻辑器件。EPLD 的基本逻辑单位是逻辑宏单元, 它由可编程的与或阵列、可编程寄存器和可编程 I/O 三部分组成。EPLD 的特点是大量增加 OLMC 的数目, 提供更大的与或阵列。由于 EPLD 特有的逻辑宏单元结构, 使设计的灵活性较 GAL 器件有较大的改善, 再加上其集成密度的提高, 使其在一块芯片内能实现较多的逻辑功能。世界著名的半导体器件公司, 如 Altera、Xilinx、AMD 和 Lattice 等公司均有其 EPLD 产品, 但结构差异较大。
- CPLD。它是 20 世纪 90 年代初出现的 EPLD 的改进器件。同 EPLD 相比, CPLD 增加了内部连线, 对逻辑宏单元和 I/O 单元也有重大的改进。一般情况下, CPLD 至少包含三种结构: 可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 还集成了随机存取存储器 (RAM)、先进先出缓冲器 (FIFO) 或双口 RAM 等存储器, 以适应数字信号处理器 (DSP) 应用设计的要求。典型的 CPLD 有 Lattice 公司的 PLSI/ispLSI 系列器件、Xilinx 公司的 7000 和 9000 系列器件、Altera 公司的 MAX7000 和 MAX9000 系列器件和 AMD 公司的 MACH 系列器件。
- FPGA。它是 1985 年由美国 Xilinx 公司首家推出的一种新型的 PLD。FPGA 在结构上由逻辑功能块排列为阵列, 并由可编程的内部连线连接这些功能块来实现一定的逻辑功能。FPGA 的功能由逻辑结构的配置数据决定, 工作时, 这些配置数据存放在片内的 SRAM 或者熔丝图上。使用 SRAM 的 FPGA, 在工作前需要从芯片外部加载配置数据, 这些配置数据可以存放在片外的 EPROM 或其他存储体上, 设计者可以控制加载过程, 在现场修改器件的逻辑功能。

FPGA 的发展十分迅速, 目前已达到超过 300 万门/片的集成度、3ns 内部门延时的水平。Xilinx 和 Altera 等公司都提供有高性能的 FPGA 芯片。

(2) 按编程工艺分类

所有的 CPLD 和 FPGA 均采用了 CMOS 技术, 但他们在编程工艺上却有很大的区别。按照编程工艺划分, PLD 又可分为以下五种类型。

① 熔丝型或反熔丝型器件。熔丝型或反熔丝型器件属于一次性编程 (One Time Programmable, OTP) 器件, 即都只能编程一次, 编程后不能再修改。其主要优点是可靠性和集成度高, 抗干扰能力强。

② U/EPROM 型器件, 即紫外线擦除、电可编程器件。它是用较高的编程电压进行编程, 当需要再次编程时, 可在紫外线光照射下进行擦除。

③ E^2 PROM 型器件，即电擦除、电可编程器件。它是采用 E^2 PROM 工艺结构的多次可编程器件。现在大部分 CPLD 和 GAL 器件采用这种方式编程，它是对 EPROM 工艺的改进，当需要再次对器件编程时，不需要紫外线光照射，而是直接用电擦除。

④ 基于静态随机存取存储器（SRAM）结构的可多次编程器件。这类 PLD 的优点是可进行任意次数的编程，并在工作中可以快速编程，实现板级和系统级的动态配置，因而也称为在线重配置的 PLD 或重配置硬件。目前多数 FPGA 是基于 SRAM 结构的可编程器件，采用 SRAM 中存储的数据来控制芯片中可编程节点的通断，以实现芯片的设计功能。这种 FPGA 在使用时，需要在系统上电时首先进行功能初始化，将存储器的内容加载到芯片的控制器中，即需要从器件外部的 EPROM、 E^2 PROM 或其他存储体上将编程信息写入器件的 SRAM 中。采用 SRAM 结构的可编程器件的缺点是编程信息在系统断电后会丢失，属于易失性器件。

⑤ Flash 型器件，即快闪存储器件。它是采用快闪存储器（Flash Memory）单元结构，用快闪存储器的数据来控制芯片中可编程节点的通断，而且可多次编程器件。由于 Flash 型器件具有不挥发性，使用时不必在每次上电时都重新进行功能加载，所以使用时很方便。

基于 EPROM、 E^2 PROM 和 Flash 型器件的优点是系统断电后，编程信息不丢失。

对于大规模 PLD，在习惯上还有另外一种分类方法。编程后，对于单个 PLD 来说，掉电后重新上电还能保持编程信息的器件称为 CPLD；掉电后就不能保持编程信息的器件称为 FPGA。

（3）按结构特点分类

目前常用的 PLD 都是从与或阵列和门阵列发展起来的，所以可以从结构上将其分为阵列型 PLD 和现场可编程门阵列型 FPGA 两大类。

阵列型 PLD 的基本结构由与阵列和或阵列组成。简单 PLD（如 PROM、PLA 器件、PAL 器件和 GAL 器件等）、EPLD 和 CPLD 都属于阵列型 PLD。

现场可编程门阵列型 FPGA 具有门阵列的结构形式，它由许多可编程单元（或逻辑功能块）排成阵列组成，称为单元型 PLD。

2. CPLD/FPGA 的作用

尽管 CPLD 和 FPGA 的结构、性能不尽相同，但有一个共同点就是都由用户通过编程来决定芯片的最终功能，因此统称为可编程 ASIC。随着集成电路工艺和技术的不断进步，PLD 朝着高集成度、低功耗、高速度的方向发展，它在现代电子系统中的地位也越来越重要。如果说从应用小规模集成电路（SSIC）芯片构成电路系统，到广泛应用微控制器（Micro Control Unit, MCU）或单片机是电子系统设计上具有里程碑意义的飞跃，那么，CPLD/FPGA 使电子设计技术获得了一次更大意义的突破。从某种意义上说，新电子系统运转的物理机制又将回到原来的纯数字电路结构，这是一种更高层次的循环，它在更高层次上容纳了过去数字技术的优秀部分。如果说微控制器或单片机在逻辑实现上是无限的，那么 CPLD/FPGA 不但包括了 MCU 这一特点，而且可触及硅片电路线度的物理极限，并兼有串、并行工作方式，高速、高可靠性以及宽口径适用性等诸多方面的特点。不但如此，CPLD/FPGA 在向深亚微米领域进军，它们与 MPU、微处理器（MCU）、DSP、A/D、D/A、RAM 和 ROM 等独立器件间的物理与功能界限已日趋模糊。许多先进的信号分析方法都可以集成并由 CPLD 实现。特别是对于某些支持系统在线编程（IN System Programming, ISP）的 CPLD，它们无需拆卸即可在系统内重新配置逻辑功能，使得系统具有不同的处理功能。在 CPLD/FPGA 中使用组合逻辑可实现

各种复杂的逻辑函数，这种实现组合逻辑函数的方法能比在 MCU 中用算法实现的方法更快地得到结果，可以实现像算术逻辑单元、乘法器等复杂逻辑，它们可以组合在数字信号处理器（DSP）或 MPU 中，并且实现在一个 PLD 上的单片式系统集成。

CPLD/FPGA 可以完成以往需要 DSP 芯片及大量外围器件才能实现的信号处理功能，CPLD/FPGA 应用于电子系统的结果表明，采用 CPLD/FPGA 可以极大地简化系统结构，节省芯片面积，减少电路面积，降低系统的发热量和干扰，提高系统的可靠性，给调试维修带来了极大的方便。同时使硬件设计“软件化”，更新了传统的电路设计和调试方式，缩短了开发周期，特别是其设计仿真和定时分析使得设计更可靠，确保了系统逻辑的正确性。PLD 的出现，改变了传统的数字系统设计方法，其设计方法为采用 EDA 技术开创了广阔的发展空间，并极大地提高了电路设计的效率。

1.2.2 EDA 工具软件

EDA 工具软件在 EDA 技术中占据极其重要的位置，是用 EDA 技术进行电子系统设计的智能化的自动化设计工具。目前在国内比较流行的主流厂家面向 CPLD/FPGA 应用而开发的，且基于 PC 的 EDA 工具软件，以及适用于不同设计对象的 EDA 开发工具软件，大致可以分为设计输入编辑器、HDL 综合器、仿真器、适配器、下载器 5 个模块。

1. 设计输入编辑器

设计输入编辑器的主要功能是用来对设计输入进行图形或者文本等方面的编辑操作，它通常包括图形编辑器、文本编辑器和波形编辑器，其中，图形编辑器用来编辑表示元器件的几何图形、电子系统的框图以及原理图等；文本编辑器在系统级上用来编辑电子系统的自然描述语言，在其他层次上主要用来编辑电路的硬件描述语言文本；波形编辑器主要是用来编辑电子系统的仿真波形。

2. HDL 综合器

HDL 综合器的功能是将设计者在 EDA 平台上完成的针对某个系统项目的 VHDL、Verilog HDL 等原理图或状态图形描述，针对给定的硬件结构组件，进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述文件。综合器工作前，必须给定最后实现的硬件结构参数，由它将软件描述转化为硬件电路，并用某种网表文件的方式联系起来。显然，综合器是软件描述与硬件实现的一座桥梁。

3. 仿真器

仿真器的功能是用来验证设计的正确性和准确度，它可以对所设计的电子系统从各种不同层次进行一系列准确的测试与仿真操作。在 EDA 中，仿真是一项非常重要的技术，是用来评价 EDA 工具软件的一项重要内容。采用仿真可以在开发设计的早期阶段发现设计中的错误，这样便可以大大减少设计重复和修改的次数及时间，从而提高了设计人员的工作效率。

4. 适配器（布局、布线器）

适配器的任务是完成目标系统在器件上的布局、布线。它将由综合器产生的网表文件配置于指定的目标器件中，产生最终的下载文件，如 JEDEC 格式的文件。适配所选定的目标器件（CPLD/FPGA 芯片）必须属于原综合器指定的目标器件系列。

5. 下载器

下载器的功能是把仿真正确的设计下载到对应的实际 CPLD/FPGA 中去，实现硬件设计。

目前比较知名的主流厂家都拥有自己的 EDA 集成开发软件, 如: Altera 公司推出的 MAX+Plus II、Quartus II 6.1; Xilinx 公司推出的 ISE 6.11; Lattice 公司推出的 ispLEVER System 等通用 EDA 工具软件。

MAX+plus II 是应用较为广泛的 FPGA 开发工具, 支持原理图、VHDL 和 Verilog HDL 文本, 以及波形与 EDIF 格式的文件作为输入方式, 并支持这些文件的任意混合设计, 可以进行功能和时序仿真, 能够产生精确的仿真结果。它界面友好, 集成化程度高, 使用便捷, 被业界称为最易学、易用的基于 PLD 的 EDA 工具软件, 并支持主流的第三方 EDA 工具, 支持除 APEX20K 系列之外的所有 Altera 公司的 FPGA/CPAD 等大规模 PLD。

Quartus II 是 Altera 公司推出的第四代 EDA 工具软件, 它是一个综合设计环境, 它承接了 MAX+plus II 的全部设计功能和器件对象, 并支持多或门器件, 如 APEX20K 系列以及新的 FPGA 系列, 此外还增加了许多新的功能, 它含有工作组计算、逻辑分析功能, 具有 EDA 工具集成、多过程支持、增加重编译和 IP 集成等特性。

ISE 6.11 是 Xilinx 公司推出的最新设计环境 EDA 工具软件, 它增加了许多新的功能, 如支持嵌入式系统的 Linux 开发, 支持混合硬件描述语言综合设计流程、强化排错功能、Chip Scope Pro 实时调试器等。

ispLEVER Advanced System 是 Lattice 公司推出的最新 EDA 工具软件, 它可以进行 VHDL、Verilog HDL 及 ABLE 的设计输入、综合、适配、仿真和在系统下载。

EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具软件的支持, 都将是难以完成的。EDA 工具软件已经成为现代电路设计工程师的重要武器, 正在发挥越来越重要的作用。

1.2.3 EDA 设计语言

硬件描述语言是用于设计硬件电子系统的计算机语言, 它描述电子系统的逻辑功能、电路结构和连接方式。设计者可以利用硬件描述语言进行编程来描述所希望的电路系统, 规定其结构特征和电路的行为方式, 然后利用综合器和适配器将此程序变成能控制 FPGA 和 CPLD 内部结构, 并实现相应逻辑功能的门级或更底层的结构网表文件和下载文件。就 CPLD/FPGA 开发来说, 比较常用和流行的硬件描述语言主要有 ABEL、AHDL、Verilog HDL 和 VHDL, 而 VHDL 和 Verilog HDL 是当前最流行的并成为 IEEE 标准的硬件描述语言。

ABEL 是一种支持各种不同输入方式的硬件描述语言, 其输入方式即电路系统设计的表达方式包括布尔方程、高级语言方程、状态图和真值表。ABEL 被广泛用于各种 PLD 的逻辑功能设计, 由于其语言描述的独立性, 以及上至系统、下至门级的宽口径描述功能, 因而适用于各种不同规模的 PLD 的设计。虽然有不少 EDA 工具软件支持 ABEL, 但提供 ABEL 综合器的 EDA 公司仅 Data I/O 一家。

AHDL (Altera Hardware Description Language) 是 Altera 公司根据自己公司生产的 MAX 系列器件和 FLEX 系列器件的特点, 专门设计的一套完整的硬件描述语言。AHDL 是一种模块化的硬件描述语言, 它完全集成于 Altera 公司的 MAX+plus II 的软件开发系统中。AHDL 特别适合于描述复杂的组合电路、组 (group) 运算及状态机、真值表和参数化的逻辑。用户可以通过 MAX+plus II 的软件开发系统对 AHDL 源程序进行编辑, 并通过对源文件的编译建立仿真、时域分析和器件编程的输出文件。由于 AHDL 只在 MAX+Plus II 中使用, 适

用面比较窄。

Verilog HDL 是在 C 语言的基础上发展起来的,是目前应用最为广泛的硬件描述语言之一,并被 IEEE 采纳为 IEEE 1064—1995 标准。Verilog HDL 语法较自由,可以用来进行各种层次的逻辑设计,也可以进行数字系统的逻辑综合、仿真验证和时序分析。Verilog HDL 适合算法 (Algorithm) 级、寄存器传输 (RTL) 级、逻辑 (Logic) 级、门 (Gate) 级和版图 (Layout) 级等各个层次的电路设计和描述,目前 ASIC 设计多采用 Verilog HDL。

Verilog HDL 的最大优点是易学易用,具有 C 语言基础的初学者能够在较短的时间内掌握它;缺点是它具有非常自由的语法,因此初学者容易犯一些设计上的错误,同时,它对设计人员的硬件水平要求也较高。

1.3 硬件描述语言 VHDL

VHDL 是超高速集成电路硬件描述语言 (Very High Speed Integrated Circuit Hardware Description Language) 的英文缩写,在美国国防部的支持下于 1985 年正式推出,是目前标准化程度最高的硬件描述语言。IEEE 于 1987 年将 VHDL 采纳为 IEEE1076 标准。1993 年,IEEE 对 VHDL 进行了修订,从更高的抽象层次和系统描述能力上扩展 VHDL 的内容,公布了新版本的 VHDL,即 IEEE 标准的 1076—1993 版本。现在,VHDL 和 Verilog HDL 作为 IEEE 的工业标准硬件描述语言,又得到了众多 EDA 公司的支持,在电子工程领域,它已成为事实上的通用硬件描述语言。有专家认为,在 21 世纪,VHDL 与 Verilog HDL 语言将承担起几乎全部的数字系统设计任务。VHDL 主要用于描述数字系统的结构、行为、功能和接口。与其他的硬件描述语言相比,VHDL 具有更强的行为描述能力,从而决定了它成为系统设计领域最佳的硬件描述语言。强大的行为描述能力是避开具体的器件结构,从逻辑行为上描述和设计大规模电子系统的重要保证。因此,VHDL 是现代电子设计师必须掌握的硬件描述语言。

1.3.1 VHDL 的特点

VHDL 作为 IEEE 标准的硬件描述语言,绝大多数 EDA 工具软件均支持它。概括起来,其特点主要有:

① 具有强大语言结构,描述能力强。VHDL 具有强大语言结构,可用明确的代码描述复杂的控制逻辑设计,并有多层次的设计描述功能,支持门级电路的描述,也支持以寄存器、存储器、总线及运算单元等构成的寄存器传输级电路的描述,还支持以行为算法和结构的混合描述为对象的系统级电路的描述。

② 具有良好的可读性。它可以被计算机接受,也容易被读者理解。用 VHDL 书写的源文件,既是程序又是文档,既是工程技术人员之间交换信息的文件,又可作为合同签约者之间的文件。

③ 具有共享与复用的能力。VHDL 采用基于库的设计方法。库中可以存放大量预先设计或以前项目设计中曾经使用过的模块,这样设计人员在新项目设计的过程中可以直接调用这些功能模块,从而大大减少了工作量,缩短了开发周期。由于 VHDL 是一种描述、仿真、综合、优化和布线的标准硬件描述语言,因此它可以使电子系统设计成果在各个公司、团体或者设计人员之间进行交流和共享。