

第八届全国信号处理学组
委员会联合学术会议

论文集

2083

航空工业出版社

100-1126/p

第八届全国信号处理学组 委员会联合学术会议论文集

曾义方等编

航空工业出版社

1997

航空工业出版社
PDG

内 容 提 要

本文集优选了 77 篇论文,分为 8 个部分编辑而成。第一部分介绍信号处理的最新算法,用最先进单片信号处理器研制的系统和应用;第二部分介绍雷达、声纳信号处理,单片 DSP 的应用;第三部分介绍振动和噪声信号及设备应用;第四部分介绍全球卫星定位系统与地理信息系统的开发和应用;第五部分是介绍图象识别、编码、检测及多媒体技术的应用;第六部分介绍神经网络及小波包算法等在生物医学信号处理中的应用;第七部分简介可编程逻辑器件在信号处理领域中的应用;第八部分介绍信号处理技术在语音、通信、卫星等方面的应用。

本届论文学术水平较高,反映学术研究成果的先进性和实用性。对电子领域高科技和实际工程有重要参考价值。可供从事信号处理技术、计算机技术、多媒体技术、GPS、生物医学工程等领域的专家、教授、博士和硕士生及有关工程技术人员参考。

图书在版编目(CIP)数据

第 8 届全国信号处理学组委员会联合学术会议论文集
曾义方等编. — 北京:航空工业出版社, 1997.8
ISBN 7-80134-248-8

I. 第… II. 曾… III. 信号处理-学术会议-文集 IV. T
N911.7-53

中国版本图书馆 CIP 数据核字(97)第 16168 号

航 空 工 业 出 版 社 出 版 发 行.

(北京市安定门外小关东里 14 号 100029)

北京图形研究所印刷厂印刷 全国各地新华书店经售

1997 年 8 月第 1 版

1997 年 8 月第 1 次印刷

开本: 787 × 1092

1/16

字数: 600 千字

印数: 1 ~ 500

印张: 23.5

定价: 50.00 元

航空工业出版社
PDG

前 言

1997 年是我国在 20 世纪历史进程中十分重要的一年。7 月 1 日 12 亿人民喜迎香港回归祖国; 8 月 1 日, 中国人民解放军将迎来 70 周年纪念日; 1997 年还召开党的 15 次代表大会。真是金牛奋蹄、牛耕年富, 祖国繁荣稳定, 充满生机, 经济腾飞, 科技进步, 成果丰硕。在今年由中国电子学会, 中国仪器仪表学会信号处理分会六个专业学组委员会联合召开的第八届全国信号处理学术会议更是锦上添花, 别具一格。

本届学术会议的宗旨是总结推广、宣传、交流来自全国各地的科技人员、院校师生在信号处理科学领域内研制、开发、应用的新理论, 新方法, 新技术, 新成果。信号处理的专用、通用软、硬件技术是信号处理的理论方法与微电子学、大规模和超大规模集成电路、数字电路、电子计算机, 特别是微型计算机(包括单片机、单板机、便携机等)相结合的结果, 以成为当今高科技技术的基础, 特别是采用 DSP 新器件研制的系统和新器件在雷达、声纳、语音、通信、图象等领域中的应用所取得的成果; 多媒体技术的进展和应用以及对国民经济有重要意义的生物医学工程、GPS/GIS 等技术的研究、开发都展现了我国高科技技术的实力。这些技术将进一步延伸到 21 世纪去进一步研究、开发、应用。让我们真正认识到“科学技术是第一生产力”的英明论断, 让我们在各自的岗位上更加深入探索研究、开发出更先进的信息技术去发明、创造, 为报效祖国贡献我们的力量。

本论文集出版首先要感谢 77 篇论文的所有作者的积极投稿和配合; 还要感谢航空工业出版社的协助和支持。由于时间紧迫, 编辑加工工作量大, 错误之处请批评指正。

编者 1997 年 7 月

中国电子学会 仪器仪表学会 信号处理分会

第八届全国信号处理学组委员会联合学术会议

主办单位： 系统设备专业学组委员会
雷达声纳专业学组委员会
振动噪声专业学组委员会
全球卫星定位专业学组委员会
多媒体专业学组委员会
生物医学专业学组委员会

协办单位： 北京自动化技术研究院

会议主席：赵荣椿 信号处理分会副主任委员
西北工业大学教授

执行主席：毛二可 信号处理分会委员 工程院院士
北京理工大学教授

副主席：张彦仲 韩毓先 曾义方

程序委员会主任：黄世霖

委员：蔡德孚 应怀樵 吴芝芳 洪刚 涂承宇 朱兆达

论文评审委员会主任：候朝焕 信号处理分会副主任委员 科学院院士
中科院声学研究所研究员

委员：孟宪元 曾义方 阮秋琦

会务委员会主任：曾义方(兼大会秘书长)

委员：程永瑞 诸维明 姜育义

目 录

第一部分 信号处理技术及DSP芯片的开发应用

1.1 基于 TMS320C80 的视频压缩处理系统的研制.....	关洪杰、张旭东、王德生 (3)
1.2 应用 VHDL 设计超高速 FFT 芯片.....	侯朝焕、刁焱秋 (8)
1.3 TMS320C30 单片机的原理和应用.....	李道远、全景才 (13)
1.4 专用 FFT 芯片的级联研究.....	龙腾 (17)
1.5 TMS320C203/F209 高速信号处理器与开发系统研制.....	董永宏、余道衡 (21)
1.6 四片 TMS320C50 并行处理结构研究.....	周建斌、梁铁毅、杨树元 (25)
1.7 DADiSP 软件及其应用.....	白玉海、裴力伟、赵玉珍 (30)
1.8 基四 FFT 尺度算法的研究及实现.....	胡飞、吴汶麒 (34)
1.9 时域匹配滤波器加权技术研究.....	周辉 (39)
1.10 Gamma 自适应滤波器.....	罗忠、赵忠明、朱重光 (44)
1.11 动态信号处理的时变特性.....	刘文京、邹江林 (50)
1.12 可编程 FIR 滤波器设计.....	樊秀云、侯孝民 (56)
1.13 适于通信领域 ASR/TTS 应用的 DSP 平台-Antares.....	张延平 (59)

第二部分 雷达与声纳信号处理

2.1 一种脉冲多普勒雷达数字信号处理机的设计与实现.....	龙腾、曾涛、张鹏洲、孙亚民、戴险峰 (65)
2.2 EPLD 技术在脉冲多普勒雷达数字信号处理机中的应用..	孙亚民、龙腾、戴险峰 (69)
2.3 利用 TMS320C50 实现雷达信号恒虚警率检测.....	张鹏洲、龙腾、曾涛 (74)
2.4 雷达动目标检测信号处理机的输入 / 输出法测试..	张鹏洲、孙亚民、曾涛、龙腾 (78)
2.5 一种箔条和舰船目标分类识别的新方法及实现.....	贾鑫、吴彦鸿、李刚 (82)
2.6 DSP 在连续波雷达中的应用.....	贾鑫、袁嗣杰、吴彦鸿、张雷 (85)
2.7 DDS 技术在连续波雷达信号模拟中的应用.....	吴彦鸿、贾鑫、袁嗣杰、王元钦 (88)
2.8 雷达信号的多重分形分析与计算.....	鲜明、庄钊文、郭桂蓉、陈曾平、肖顺平 (93)
2.9 多普勒气象雷达去除速度 / 距离模糊的一种方案.....	张晓东、邓华秋、刘力 (98)
2.10 密集电磁环境下雷达信号的分选.....	李萍、申友柱 (102)
2.11 基于小波变换的宽带模糊函数求解.....	张静远、蒋兴舟 (107)
2.12 数字波束形成 DBF 算法的硬件实现.....	杨树元、肖涛 (111)
2.13 全极化雷达散射模型及一种快速目标参数估计方法.....	郭强 (115)
2.14 谱分析在数字式主动、被动声纳中的应用.....	郭远斌 (119)
2.15 利用单片机实现单通道多信号数字合成.....	郭世泽、毛世鑫、梁景修 (124)
2.16 数字相关技术在雷达信号检测中的应用.....	田作喜 (127)

第三部分 振动和噪声信号控制及设备

3.1 用“ZOOMBDFT”法高精度求系统阻尼比的研究.....	应怀樵、沈松、刘进明 (133)
3.2 图象运动分析中的标识点自动跟踪技术.....	戴冠平、张金换、李一兵、黄世霖 (138)

3.3	安全气囊点火控制算法对比分析.....	王晓冬、张金换、黄世霖	(146)
3.4	转速脉冲方波信号与模拟信号的并行采集与处理.....	杜海平、刘沃野、李毓华	(152)
3.5	电厂转机振动摩擦便携式检测系统.....	金龙、王秀清	(156)
3.6	激光对中仪和准直仪的研制.....	赵欣、邢开明、萧宁华	(159)

第四部分 GPS/GIS 的开发与应用

4.1	GPS/GIS 在导航雷达系统中的应用.....	于志宏、王德生	(165)
4.2	OEM 板定位数据的读取及分析.....	周百力	(170)
4.3	蜂窝数字分组数据(CDPD)网的 GPS 车辆管理系统	孟宪元、吴兆根、吕柏、田明、陈刚	(176)
4.4	无人机 GPS 与 R-θ 组合定位与导航的研究.....	樊邦奎、张禹田、尹航	(181)
4.5	GPS 和 GIS 在指挥监控报警系统中的应用.....	时家新、杨建、洪刚	(184)
4.6	Jupiter GPS 接收板开发与应用.....	石磊、时家新	(189)

第五部分 图象处理和多媒体技术

5.1	甚低码率(VLBR)多媒体通信中用于模型基图象编码的人脸图象分析新方法	蔡德孚、梁慧颖、陈教芳、张明方	(195)
5.2	用于 MPEG-4 标准的甚低码率多媒体模型基图象序列编码方案的研究	蔡德孚、王湘文、陈教芳、张明方	(200)
5.3	图象的加权非尖锐掩膜滤波法.....	阎冬梅、孙华燕、曾峦	(205)
5.4	利用 DLT 参数确定匹配影像核线.....	阎冬梅、曾峦、李生良	(209)
5.5	窗口控制 MPEG 1 解码电路及应用软件开发.....	孟宪元、郑立中	(213)
5.6	消费电子的革命—数字化.....	李云岗、侯朝焕	(217)
5.7	非接触测量体积计算方法—分层求和法.....	王明侠、周辉	(221)
5.8	基于噪声和分形扰动的实体纹理构造.....	周涛、朱光喜、李俞光	(224)
5.9	基于参数化方法的紧支集正交小波包基函数的构造... ..	刘崇春、裘正定、杜锡钰	(229)
5.10	用基于小波变换的 EM 算法进行图象辨识与复原.....	赵忠明、朱重光、赵荣椿	(233)
5.11	关于重建图象评价方法的研究.....	顿守臣、贾中宁、王胜坤	(243)
5.12	《信号与系统》多媒体 CAI 课件的设计与实现.....	周治平、于凤芹、燕庆明	(248)
5.13	多尺度边缘检测方法的研究.....	张利、余英林	(252)
5.14	基于 HSI 模型和累积直方图的彩色图象检索.....	章毓晋、刘忠伟	(256)
5.15	基于卫星云图相关特性的 DCT 快速算法.....	解楠、徐原城、李田、吴建华	(261)

第六部分 生物医学信号处理技术

6.1	在 CASE 系统中的神经网络算法及其应用..	韩春梅、傅中滇、董德存、张树京	(269)
6.2	基于小波包算法的脑电节律提取.....	董立新、沈民奋、坚雄飞	(272)
6.3	参数化双谱估计及其在脑电信号处理中的应用.....	沈民奋、沈凤麟、董立新	(276)
6.4	基于高阶统计量的心音信号建模与分析.....	孙丽莎、沈民奋	(280)
6.5	口腔生物力测量仪制作及信号处理技术.....	顾才康、范东琦、张树京、石时珍	(284)

第七部分 可编程逻辑器件的应用

7.1	基于 FPGA 的 DSP 技术.....	孟宪元	(291)
7.2	FPGA 的动态重组特性.....	黄海鹰、常青、陈辉煌	(295)

- 7.3 在线可编程逻辑器件在高速采集系统中的应用..... 郭世泽、毛世鑫、牛伟 (298)
- 7.4 可编程逻辑器件 EPLD 在视频信号矩阵变换中的应用... 江林华、柴振明、刘耕 (302)

第八部分 信号处理在其他领域中的开发应用

- 8.1 卫星通信与宽带网络的综合..... 魏晨曦 (309)
- 8.2 基于单片微机系统的 DMA 方式..... 庄哲民 (313)
- 8.3 基于码分多址的无线 ATM 网络..... 梅玉平、李道本 (316)
- 8.4 火灾信号的模糊神经网络处理..... 张青、朱明富、王珠 (321)
- 8.5 一种改进的 GMM 说话人识别系统..... 郑介生、郑义 (326)
- 8.6 一种新颖的 2DPSK 调制解调器..... 孙少凡、周立祺 (330)
- 8.7 卫星地球站数据信道实现 48kbps 数据传输的探讨..... 李顺才 (333)
- 8.8 一种多径环境下基于四阶累积量的阵列扩展测向方法..... 丁齐、肖先赐 (336)
- 8.9 三种译码算法比较及其改进算法在气象卫星数据收集平台中的应用
..... 于越华、郑波 (342)
- 8.10 以 PC 机为平台构建车内 1553B 总线通讯网仿真模型..... 陈正捷、陈志昊 (347)
- 8.11 单片机软磁盘系统接口技术..... 王伟、陶林、李楠 (351)
- 8.12 手写体汉字识别的回顾与展望..... 杨俊、赵荣椿、任金昌 (355)

附录 单位及公司简介

- A. 北京合众达电子科技有限公司..... (361)
- B. 东方振动和噪声技术研究所..... (362)
- C. 科汇(亚太)有限公司..... (365)

第一部分

信号处理技术及 DSP 芯片的开发应用

1.1 基于 TMS320C80 的视频压缩处理系统的研制

清华大学电子工程系 关洪杰 张旭东 王德生

摘要: 本文总结了基于 TMS320C80 的视频处理系统的研制工作。首先概述了这个功能最强大的数字信号处理器 C80 的主要特点, 给出利用 C80 设计视频图象压缩处理系统的原理框图, 讨论各功能单元的具体实现和主要功能芯片的选择, 指出 DSP 实现视频压缩处理的优势所在。本文主要总结了硬件开发部分的工作。

关键词: 数字信号处理器, 视频压缩, 图象通信。

一. 引言

在图象通信或多媒体通信系统中, 视频图象的压缩编码是一个核心问题, 为了在有限的频带内传输数字图象序列, 一般要求进行 20 ~ 200 倍范围的压缩编码, 需要较为复杂的压缩算法。目前图象通信中采用的几种压缩标准 H. 261、H. 263、MPEG1 和 MPEG2 等均采用了运动预测与 DCT 变换的混合编码方法, 对于 CIF 格式图象的实时压缩, 这些标准算法的运算量均大于 $1G(10^9)$ 。目前的实际方案一般均采用专用芯片组(例如 LSI 的 H. 261 芯片组)来实现这一庞大的运算量。这种芯片组构成的硬件系统只能支持一种压缩编码标准。

对多媒体信息系统要求日益增长的今天, 人们对各种通信网络之间的互联, 多种信息源之间的交互提出迫切要求, 反映到图象通信系统中, 核心的问题是一个通用性强的图象压缩编解码器, 根据网络要求或收到的数据流的格式选用适当的压缩或解压缩算法, 这样的通用型视频图象编解码器的实现是专用芯片所不能完成的, 必须采用通用可编程处理器, 最适合于这一任务的就是数字信号处理器(简称 DSP), 但单处理器结构的 DSP 难以达到这样的运算负荷, 这就需要阵列式 DSP 结构。TI 公司的 TMS320C80(以下简称 C80)就是第一代单片阵列式结构的高级 DSP 芯片, 它也称为多媒体视频处理器 MVP, 它可以达到每秒 2G 次操作(20 亿次)。C80 可以胜任通用型视频压缩编解码器的运算负荷。

DSP 实现视频压缩编码的另一个优势是: 现今视频压缩编码算法研究和标准化的工作及图象通信终端的标准化工作仍在进展中, DSP 结构可以尽快的适应这一变化, 合理设计的硬件结构保持不变, 只需装入程序的修改即可适应这一变化。为了达到这一目标, 我们研制了以 TMS320C80 为处理核心的通用视频压缩编解码器, 本文报告硬件设计的主要部分, 其软件开发将在另文讨论; 以下首先概要介绍 C80 芯片的主要特点, 然后给出系统设计的主要方法。

二. TMS320C80 芯片系统结构

图 1.1 所示为 TMS320C80 内部结构, 它由一个 RISC 主处理器(MP)和四个并行 DSP 处理器(PP0 ~ PP3)构成。这些处理器通过内部互连网络(crossbar)与一个 50KB 的内部共享存储

器相连接，片内还集成了一个双视频控制器(VC)和一个控制片内/片外数据传输的传输控制器(TC)，C80 内部是一个多指令流多数据流(MIMD)结构。

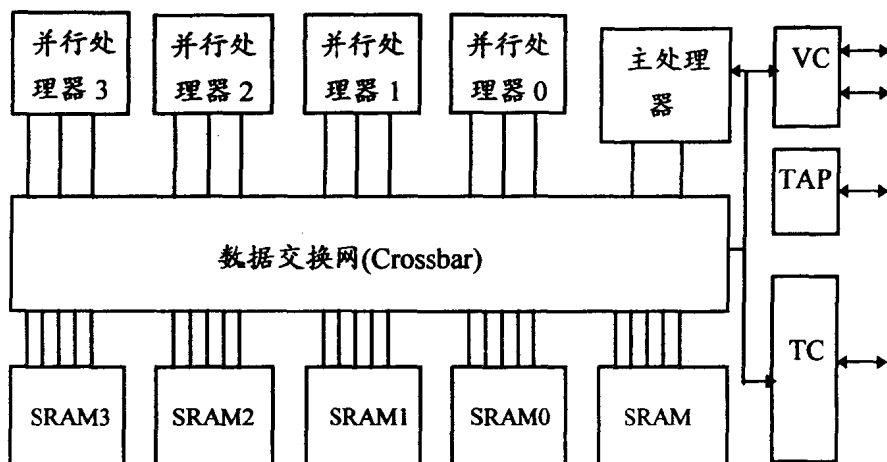


图 1.1 TMS320C80 结构框图

主处理器(MP)是一个 32 位 RISC 处理器，并包含一个 32 位 IEEE-754 浮点单元，完成硬件的浮点乘加运算。高度并行的乘、加、装载和存储指令使浮点运算能力高达 100MFLOPS，MP 还负责整个芯片的主控任务，完成对各单元主要控制寄存器的管理与控制；程序启动与系统 RESET 等。在多任务程序执行时，由 MP 负责对各 PP 的任务分配。

每一个 PP 是一个高级的 32 位定点 DSP，它的指令字是 64 位宽度，每个指令由多个独立场构成，每个场指定一个独立的操作，使每个 PP 在一个时钟周期里，可执行 10 个并行操作，每个 PP 的核心是一个数据单元和两个地址单元，数据单元由 ALU 和乘法器(MPY)构成，是执行单元；两个独立的地址单元内嵌 ALU 进行地址更新操作。每个 PP 的另外一个特点是具有比特场操作和字节管理的能力，ALU 和 MPY 具有分裂的并行操作能力，单周期内完成 4 象素加或两象素乘的操作，这是一般 DSP 所不具备的，这个能力使其特别适宜于图形/图象处理。

视频控制器 VC 提供了对外部图形显示或图象捕获的完整的时序控制，由于 VC 由两个独立的视频时序控制器，它可以提供对独立的两个图形显示控制或一个图形显示一个视频捕获或独立的两路视频捕获的控制，每个控制器均可以选为隔行或逐行方式，并可以设定为内同步或外同步。每一路视频时序控制类似于 TMS34010。

传输控制器(TC)提供了灵活的片内与片外存储器的块传输能力，并且源与目的块的维数与尺度均可以独立选定，特别适合于图形图象处理中 XY 场与线性场之间的数据块传送。TC 操作与 MP/PP 操作并行，MP/PP 对当前块作处理，TC 并行传送前一块的结果和后一块的数据，合理的程序设计和多任务管理，使数据传送开销降至最小。

C80 片内的 50KB SRAM 被划分成许多块，每个块均有专门的分配，并映射到总的地址空间，各存储块通过一个互连网络(crossbar network:CN)与各处理器及 TC 相连接，进行局部或共享数据传送，由于 CN 高达 1000 条地址与数据线的互连，在一个单时钟周期里可以提供 5 个取指和 10 个并行数据存取能力，片内数据传输速率高达 4.2GB/s，片内和片外传送速率

可达 400MB/S。由于强大的 TC 和片内 SRAM，C80 外部存储器只需最通用的 DRAM, 使系统成本最小，不同于传统的 DSP。

TMS320C80 是 TI 的第一代 MVP 的标准版芯片，为了更大的系统设计灵活性，TI 也公布了 C80 的简化版芯片 TMS320C82，与 C80 相比，C82 内部集成了 3 个处理器，即一个 MP 和两个 PP, 省略了 VC，C82 内部集成面积和封装均比 C80 有较大简化, 但保留了 C80 大约 70% 的运算能力。

依据 C80 内部各处理器的功能，用一个直观但并不很精确的比喻，为了给不熟悉 C80 的读者一个直观印象，一片 C80 的处理能力可超过由如下单元构成的一个并行处理板：

- (1) 一个标准 RISC 处理器作核心控制并内嵌浮点处理器
- (2) 8 个 TMS320C50 数字信号处理器(对图象处理一个 PP 要超出 2 个 C50 的能力)
- (3) 2 个 TMS34010 图形系统处理器(不包括其图形指令处理能力)
- (4) 50KB SRAM(<15ns) 以及 1000 线的多路切换控制阵列与仲裁逻辑
- (5) DRAM 控制与接口逻辑。(内嵌 FIFO 模块)

三. 基于 C80 的视频图象压缩编解码器的设计原理

基于 C80 的视频图象压缩编解码器的基本结构示于图 1.2。这是一个支持全双工的视频图象通信系统的核心, 可配置为双向、单向编码和单向解码三种工作方式, 分别称为方式 1、2 和 3。方式 1 同时执行对本地视频的编码和对远程视频的解码；作为双向图象通信终端，方式 2 作为图象发射终端，向远程传输图象；方式 3 作为图象接收终端，对远程传来的压缩码流进行解码和显示。

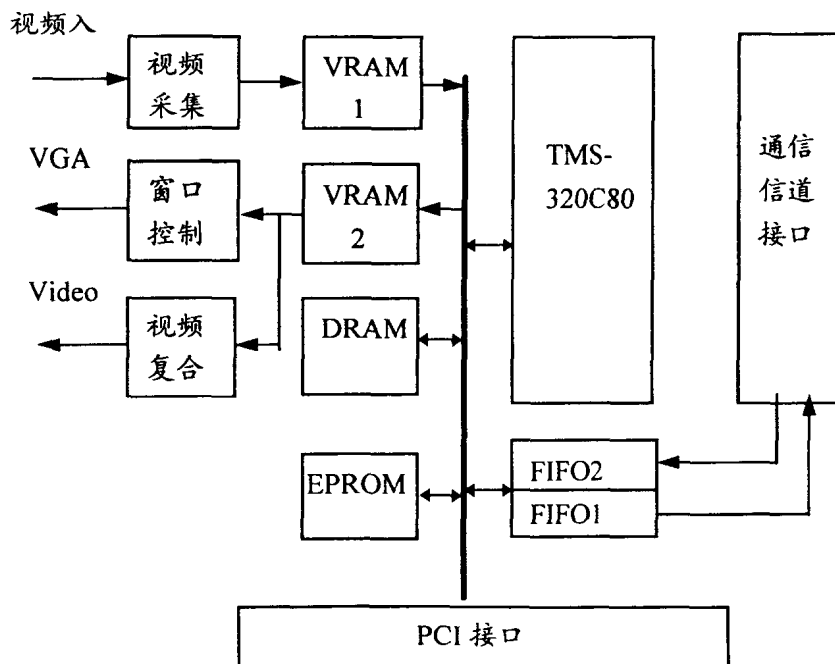


图 1.2 以 C80 为核心的视频压缩处理系统框图

视频图象实时压缩流程的工作过程为：由视频输入通过视频采集单元获得数字化的 YUV4:2:2 格式视频图象, 经过 VRAM1 的串行口馈入 VRAM1 体中, C80 从 VRAM1 中获取一帧图象, 并进行压缩处理, 得到压缩数字流, 存入 FIFO1 中, 通过 FIFO1 进入通信信道接口。解压缩的流程是：由通信信道接口获取的已压缩视频数字流存入 FIFO2 中, C80 从 FIFO2 中获取这个数字流, 进行解压缩处理, 将重构的图象帧存入 VRAM2, 由 VRAM2 的串行口输出至窗口控制器, 将远程传来的数字图象显示在 VGA 窗口中, 或直接复合编码至 PAL/NTSC 视频复合信号显示在视频显示器上。编解码数字流也可以通过 PCI 总线与主机交换, 使该系统方便的嵌入计算机网中。

在图 2 的结构中, 通信信道接口是单独的模块。PCI 接口保证该系统寄宿在 PC 机上, 通过 PCI 接口对电路进行控制与程序装载。若省去 PCI 接口和窗口控制部分, 由 EPROM 内程序对系统进行引导和控制也可以构成脱机式独立终端。不管那种方式, 其图象压缩/解压缩完全可编程实现, 可以实现任意图象编码算法, 例如同样一块板, 根据网络要求, 可以同时具有实现 H. 261/H. 263/MPEG1 编解码的功能, 实现多种多媒体信息资源的共享。

四. 系统实现的具体考虑和主要部件选择

上节讨论了基于 C80 的视频压缩编码器的设计原理, 本节进一步说明各具体单元的实现, 包括主要芯片的选型。

1. 外部存储器设计

C80 的外部系统存储器由四部分组成, 均映射在 C80 的地址空间中, 最基本的部分是通用程序和数据存储器, 称为基本存储器, 由 DRAM 构成; 如前所说, 由于 TC 的功能, 这部分采用普通的 60-70ns SIMM 72 引脚 DRAM 条, 这在 PC 机主机板上已广泛采用, 利用识别位 PD1-PD4 进行通用设计, 仅给出 2 个 SIMM72 插槽, 支持 32 位和 64 位两种数据宽度, 根据所选 DRAM 条的类型, 自动配置 4MB-64MB 的可用存储空间。

第二部分是视频图象存储器, 由两个独立存储区构成, 分别用于本地视频采集和远程视频显示, 用双口 VRAM 实现这一部分存储区, 每一个区 (VRAM1 和 VRAM2) 的结构是 512×512 分辨率的 YUV4:2:2 格式, 对 H. 261/H. 263 和 MPEG1 编码器的实现已足够, VRAM 的并行口映射在 C80 地址空间, 串行口与视频采集和显示单元接口, 数据流没有任何阻滞。

第三部分存储器是 EPROM, 在本系统实现时, 仅设计了很小的区域用于存储系统启动初始化程序, 主运行程序由宿主机下载。最后是 FIFO 用于同通信接口的数据流缓冲, 也作为编码器实现时的码率控制缓冲器。

2. PCI 接口单元设计

本系统设计选择了 PCI 接口, ISA 总线不满足我们对数据传输率的要求, 并可能在不久的将来被淘汰, 因此我们选用新一代接口标准 PCI 总线。PCI 总线的接口设计远较 ISA 复杂, 一般的采用 FPGA 或 EPLD 的编程实现, 我们在此借用了 Zoran 公司新推出的一个 PCI 多媒体接口芯片 ZR36120 完成这一工作, 缩短开发周期。

ZR36120 有一个通用的视频接口, 可对数字化的视频进行窗口裁剪和尺度处理, 并通过

MCI 驱动器软件在 Window 中开出活动视频窗, 通过这一路径, 本地视频可在主机显示器上开窗, 节省了硬件窗复合的开销, 这是 PCI 接口的高速传输通道; ZR36120 还提供了一个类似 ISA 子功能的通用 I/O 端口, 通过这一端口主机和 C80 进行数据交换, 包括对 C80 程序的下栽, 这个端口可提供 5MB/s 的数据传输率, 这是 PCI 接口的慢速通道。

ZR36120 内嵌 I²C 总线控制器, 为系统中的视频芯片初始化。ZR36120 的 PCI 接口信号符合 2.1 版 PCI 规范。

3. 视频图象接口设计

视频图象接口设计包括输入和输出两部分, 输入部分对本地视频采集, 输出部分对远程视频解码进行显示。

输入单元对模拟的全电视信号作数字化解码, 这样的单片电路已有很多, 我们选用 BT819 视频数字化处理器, 作为视频输入单元, BT819 之所以称为处理器, 是因为它除可完成复合视频的数字化解码外, 还可作尺度化处理, 可以产生任意分辨率和任意帧率的平滑的数字图象, 这就节省了 C80 为获得期望的分辨率对原始分辨率的亚采样和插值处理。BT819 的视频输出是 YUV4:2:2 格式, 一方面通过 VRAM1 的串口映入 C80 的存储空间, 另一方面可通过 ZR36120 的视频口进入主机在 Window 下开活动视频窗。

输出单元由两个子单元组成。一个是与 VGA 的复合单元, C80 将远程视频解码图象存入 VRAM2, VC 为 VRAM2 的串行口提供控制, 使其与 VGA 同步, VRAM2 是 YUV 格式, 与 VGA 的复合需要三步, YUV 至 RGB 转换、数字 RGB 的 D/A 转换和两路模拟 RGB 的键控复合, 这三步工作可以选用 Philips 的 SAA7167A 单片完成; 另一个子单元是将远程视频转换成全电视信号显示在 TV 上, 这是视频会议系统的要求, VC 为 VRAM2 提供隔行扫描的时序, 采用 Brooktree 的 BT856 完成模拟复合视频编码。由于时序限制, 这两个子单元同时只有一个活动的。

4. 其它

将各模块间的控制集成在 CPLD 芯片中。本系统采用模块化设计, 这个视频压缩编解码处理板没有包括通信网接口, 这使它成为通用的视频处理核心, 针对不同信道设计专用通信接口; 为了集中于视频处理核心的开发, 目前这块板尚未将语音部分做上去。

五. 结束语

作为第一代高速并行 DSP 芯片 TMS320C80, 非常适合于完成通用型视频压缩编解码器, 随着网络集成的提高, 对多资源信息的利用, 对这类通用型视频编解码器提出了要求, C80 可以作为优选芯片承担这一责任。基于这种考虑, 我们开发了以 C80 为处理核心的视频压缩处理器, 以期在图象通信系统和多媒体信息系统中获得应用。

在开发过程中, 我们体会到, VLSI 技术发展太快, 应尽可能的跟踪和选用最新的高集成度芯片, 节省开发时间和提高系统可靠性及易调试性。

1.2 应用 VHDL 设计超高速 FFT 芯片

中国科学院声学研究所 侯朝焕 刁焱秋

一. 引言

离散傅氏变换 (DFT) 和线性滤波是 DSP 中最基本的运算, 而线性滤波又可以用卷积加 DFT 实现, 由此可见 DFT 在 DSP 领域中占有重要地位。而 FFT 算法的软硬件实现, 则又对 DFT 的实用起了关键作用。近几年来, 各先进国家仍不断投入大量人力物力发展 FFT 技术及其硬件实现, FFT 技术水平已经成为一个国家信号处理发展水平的标志。

我们在 863 项目“超高速 FFT 芯片设计”的基础上, 采用 VHDL 设计方法对原芯片进行了重新设计, 将大量的外围电路 (包括数据及旋转因子的地址产生电路、FFT 时序控制电路等等) 集成在新的芯片设计中, 新的设计只需在外围配置存储变换数据的 RAM 和存储旋转因子的 ROM 即可完成基 4FFT 运算的全过程。该设计使用 VLSI 公司 0.6 μm 工艺库, 芯片的总面积为 21106 单元面积, 速度为 80MHz, 最小时钟周期为 12.31ns, 完成 1024 点 FFT 运算仅用时 64.75 μs 。

二. 原理简介

我们设计的 FFT 芯片采用基 4 频域抽取算法, 该算法包含 3 个关键部分: 基 4 蝶形结算法、数据地址产生算法和旋转因子地址产生算法, 分别对应于下列 (1.1)、(1.2)、(1.3) 式。为了增加输出数据的动态范围, 我们在设计中使用了块浮点技术, 即采用附加电路跟踪每级运算输出结果的有效位数, 避免了每一次加法都右移一位的做法带来的精度损失, 这对象 FFT 运算这样要作多级加法的算法有重要意义。

$$\begin{cases} A' = [(A+C) + (B+D)] \\ B' = [(A-C) - j(B-D)]W^p \\ C' = [(A+C) - (B+D)]W^{2p} \\ D' = [(A-C) + j(B-D)]W^{3p} \end{cases} \quad (1)$$

$$\begin{cases} \&(A) = nN/4^{m-1} + l \\ \&(B) = nN/4^{m-1} + N/4^m + l \\ \&(C) = nN/4^{m-1} + 2N/4^m + l \\ \&(D) = nN/4^{m-1} + 3N/4^m + l \\ n = 0, 1, \dots, 4^{m-1} - 1 \\ l = 0, 1, \dots, N/4^{m-1} - 1 \\ m = 1, 2, \dots, \log_4 N \end{cases} \quad (2)$$

$$\begin{cases} p = qK^{m-1} \\ q = 0, 1, 2, 3 \\ l = 0, 1, \dots, N/4^m - 1 \\ m = 1, 2, \dots, \log_4 N \end{cases} \quad (3)$$

三. FFT 芯片的系统和模块设计

1. FFT 芯片的总体结构见图 1.3

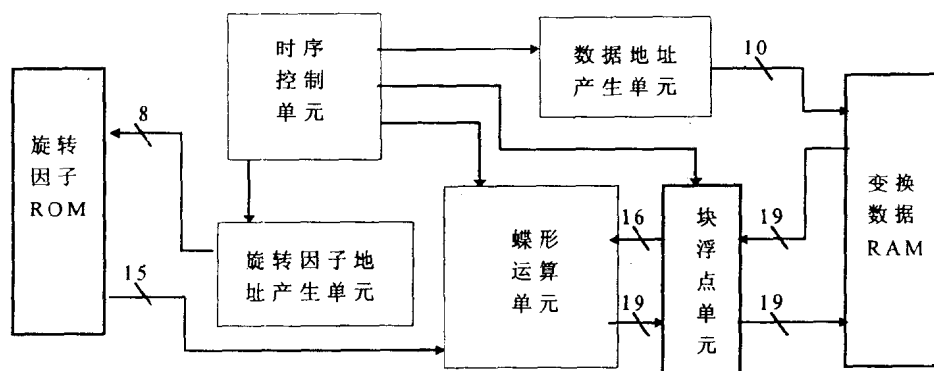


图 1.3 FFT 芯片整体模块图

2. 时序控制器模块

完成 1024 点 FFT 运算必须产生长达 5120 个时钟节拍的控制时序，直接书写有限状态机是很麻烦的。为此我们在使用两个片内 ROM，一个存储波形值，另一个存储延迟值。另外采用两个可置数计数器，控制波形的输出顺序和持续长度。这样就以很少的芯片面积完成了复杂的时序控制，同时也简化了程序编写。图 1.4 为时序控制模块框图。

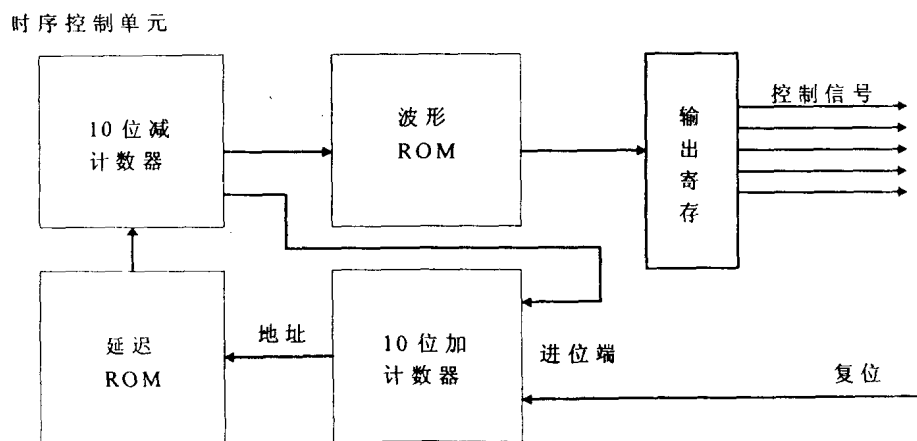


图 1.4 时序控制模块框图