

可编程逻辑器件

PLD 实用设计技术

朱世鸿

电子工业出版社

77332.1
190

379327

可 编 程 逻 辑 器 件

P L D 实 用 设 计 技 术

电子工业出版社

[京]新登字 055 号

JS164/06
内 容 简 介

全书选用大量具有典型代表性的应用实例,详细介绍了可编程逻辑器件在数字系统中的应用技术,各例稍加和无需修改即可实用于各种规模的数字系统中。

本书从工程技术的经验角度,又详细讨论如何抑制数字系统中的干扰。

本书内容充实,实用性强,适用于从事电子技术应用设计的科研工程技术人员、高等院校大学生、研究生和各种学习班的参考用书。

可编程逻辑器件
PLD 实用设计技术

朱世鸿

责任编辑:王惠民

*

电子工业出版社出版(北京万寿路北口)

电子工业出版社发行 各地新华书店经销

电子工业出版社广州公司排版

华南师范大学印刷厂印刷

*

开本:787×1092 毫米 1/16 印张:35 字数:70 千字

1994 年 1 月第 1 版 1994 年 1 月第 1 次印刷

印数:1—5000 册 定价:38.50 元

ISBN7-5053-2320-2/TP·651

前言

自 1959 年世界上第一片 IC 诞生后,随着微电子技术的高速发展,具有标准功能的 IC 集成越来越高,工作速度越来越快,但对数字系统设计的技术人员而言,仍感到这些标准 IC,由于其各自特定的逻辑功能,致使在系统设计应用中需选用众多具有不同逻辑功能的 IC(其利用率不全是 100%),结果造成系统芯片种类繁多,体积大,设计周期超长,费用高。另一方面,由于印制电路板(PCB)上元件之间电连线的交叉、重叠,不仅工艺复杂,又导致各元件之间电连线的分布电容增大,加重了对前级电路负载,增加了系统的干扰。同时 PCB 的多焊接点和双面布线的连接孔,又导致系统可靠性的下降。可编程逻辑器件(PLD—Programmable Logic Device)它汇集了超大规模集成电路的众多优点,从而改变了传统系统设计的实现方法,设计者可随心所欲地用 PLD 完成各种规模系统的设计,准确实现系统各项功能的要求。同时 PLD 又使 PCB 单位面积内具有高密度的逻辑功能,系统结构简单灵活,费用低,系统可靠性明显提高,因而在智能仪表,计算机和各种数字系统中得到广泛应用。

作为可编程逻辑器件,其生命力最旺盛的是 1983 年 Dataguest 宣布的一种新的 IC 模式,并称之为 ASIC (Application Specific Integrated Circuit),它是系统设计,VLSI 设计和 CAD 技术三方面技术结合的结晶。

现在,门阵列开发已从市场销售的 24 万门的产品,向集成度更高的大规模“门海”阵列发展,预计在这 2~3 年内门阵列在各种系统中的应用将会全面普及,图 0.0.1 是各类 IC 使用量预测。

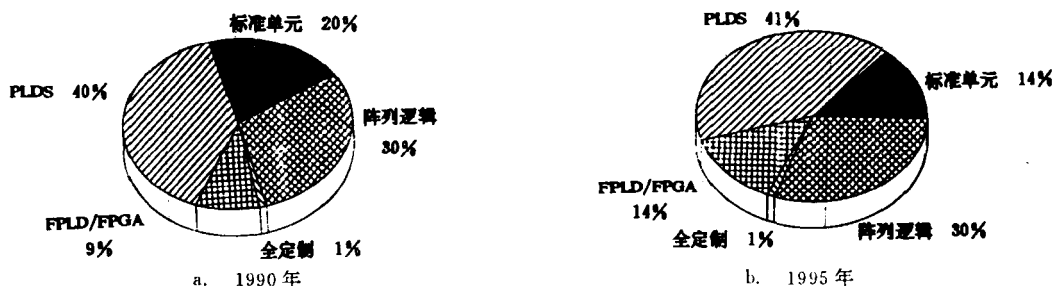


图 0.0.1 各类 ASIC 使用量预测

由于 ASIC 是将目前 TTL、CMOS 单片具有的逻辑电路的功能组合集积在一片上的制造技术,因而迅速掌握和拥有 ASIC 设计是当今进行系统设计的当务之急,也是本书的重点。

本书各章可自成一体,其内容具有系统性、先进性、灵活性和全仿真的实用性,本书第一章、第三章、第四章译自《Designing with programmable array logic》、《GAL hand book》、《GAL data book》和 ABEL、CUPL 等可编程逻辑设计语言软件包的使用手册。同时又将工作中的经验汇集于此书。读者可把书中提供的大量实例技巧付诸于实践,成为广大工程技术人员学用 PLD 的跳台。

本书初稿承蒙中国科学技术大学吴志嫦副教授审阅,在此深表感谢。同时衷心感谢对本书出版给予支持和帮助的电子工业出版社广州科技开发公司及有关朋友们。

限于作者水平,书中不足之处,恳请读者批评指正。

作 者

于中国科学技术大学

93 年 10 月

目 录

第一章 PLD 原理和应用	1
§ 1.1 可编程逻辑器件	1
一、数字逻辑器件分类和特点	1
二、ASIC 的基本原理和设计方法	2
三、PLD 可编程逻辑器件的基本结构和工作原理	4
§ 1.2 可编程阵列逻辑器件 PAL	12
一、PAL 器件结构简介	12
二、PAL 逻辑功能分类	15
§ 1.3 通用逻辑阵列器件 GAL	24
一、通用逻辑阵列 GAL 基本性能简介	24
二、普及型 GAL16V8 和 GAL20V8 的基本性能	25
三、超高速 GAL16V8A 和 GAL20V8A 的基本性能	34
四、isPGAL16Z8 基本性能	35
五、GAL39V18 基本性能	40
第二章 PLD 编程器设计	47
§ 2.1 编程器设计方法	47
一、编程器通讯方式	47
二、编程器电源	48
§ 2.2 PROM 编程器设计	49
一、PROM 编程原理	49
二、PROM 编程器原理	49
§ 2.3 EPROM 编程器设计	52
一、EPROM 编程器硬件设计	52
二、EPROM 编程器软件设计	52
§ 2.4 PAL 编程器设计	55
一、PAL 熔丝作图	55
二、PAL 编程器设计	56
§ 2.5 GAL 编程器设计	64
一、GAL 编程原理	64
二、GAL 编程器原理	66
第三章 可编程逻辑器件应用设计软件包	70
§ 3.1 ABEL 高级可编程逻辑设计软件包	71
一、ABEL 软件基本语法	72
二、ABEL 程序基本结构	78

三、ABEL 指令集	92
四、ABEL 软件应用实例	96
§ 3.2 CUPL 高级可编程逻辑设计软件包	114
一、CUPL 软件基本语法	114
二、CUPL 简化逻辑设计	122
三、CUPL 设计状态机	122
§ 3.3 PALASM2 可编程逻辑设计软件包	124
一、说明部分	126
二、逻辑方程部分	127
§ 3.4 FM 可编程逻辑设计软件包	128
第四章 PAL GAL 应用开发实例	129
§ 4.1 PAL 应用设计实例	131
一、基本逻辑电路	131
1. 基本逻辑门设计	131
2. 基本触发器设计	135
3. 四位移位寄存器/比较器	140
4. 四位双向移位寄存器和比较器	142
5. 八位计数器	148
6. 八位移位寄存器	153
7. 八位比较器	158
8. 八位加/减计数器	164
9. 多功能八位寄存器	169
10. 九位寄存器	173
11. 双限值比较器	179
12. BCD/HEX 计数器	186
13. 双 8 : 1 多路选择开关	193
14. 串行二进制数到 BCD 码的转换	195
二、工业自动控制技术	202
1. 轴角编码器	202
2. 步进电机控制	216
3. 交通灯控制	222
4. 电子骰子游戏	236
三、微机系统和接口电路	242
1. CPU 和存储器接口电路	242
2. 八位 I/O 优先译码器	247
3. 译码器	249
4. 存储器控制逻辑	249
5. 64K DRAM 的刷新控制	258
6. 打印机接口电路	264
7. CRT 接口电路	266
8. 中断控制器	270
9. 串行数据控制器	275

四、数据检测和纠错	278
1. 八位数据的检错和纠错	278
2. 32 位 CRC 错误检测	295
§ 4.2 GAL 应用设计实例	315
一、基本逻辑电路及应用	315
1. 基本逻辑门设计和应用	315
2. 基本触发器	318
3. 序列发生器	323
4. 多相位时钟脉冲发生器	329
5. 单脉冲发生器	333
6. 时钟展宽电路	341
7. 四路四选一多路开关	345
8. 四位级联加器	349
9. 环形移位寄存器	350
10. 六位移位寄存器	355
11. 自启动计数器	358
12. 四位加/减计数器	362
13. 七位计数器	366
14. 可控二/十进制计数器	370
15. 8421 码和 2421 码转换电路	374
16. 可控代码变换电路	379
17. 三层电梯控制器	385
二、微机系统和接口电路	407
1. 八位 CPU 存储空间扩展	407
2. 编码键盘接口	412
3. 共享 RAM 仲裁电路	417
4. 可控等待状态发生器	419
5. 总线接收/发送和数据选择开关	426
6. 总线仲裁器	430
7. 双通道动态 RAM 控制器	434
8. 存储器地址译码器	441
9. 保密字译码器	443
10. 八一三优先级编码器	446
11. 带有等待状态发生器的译码器	450
第五章 EPROM 在数字逻辑系统中的应用	454
§ 5.1 EPROM 和 EEPROM 的工作原理和电性能	454
一、EPROM 工作原理和电性能	454
二、EEPROM 的工作原理和电性能	456
§ 5.2 EPROM 在数字逻辑系统中的设计应用	458
一、EPROM 在数据处理中的应用	458
二、EPROM 在组合逻辑电路中的应用	461
三、EPROM 在时序逻辑电路中的应用	466

四、EPROM 的综合应用	471
第六章 数字系统的可靠性技术	475
§ 6.1 系统噪声	476
一、耦合噪声	476
二、信号线抖动噪声	479
三、地阻抗和电源耦合噪声	479
§ 6.2 电源噪声及抑制技术	479
一、交流电源噪声及抑制技术	479
二、直流噪声及抑制技术	481
§ 6.3 接地技术	482
一、模块单元间和系统安全接地技术	483
二、单元电路接地技术	483
§ 6.4 数字信号的传输驱动技术	486
一、信号反射	486
二、匹配技术	487
三、数字信号传输驱动技术	489
四、总线阻抗匹配设计实例	492
§ 6.5 光电耦合抗干扰隔离技术	493
一、光电耦合器原理	493
二、光电耦合器的应用	495
§ 6.6 屏蔽技术	498
一、屏蔽材料	499
二、屏蔽壳的结构设计	500
§ 6.7 低功耗、超高速数字逻辑电路的应用技术	501
一、高速 CMOS—74HC 系列的应用技术	501
二、超高速逻辑电路 ECL 的应用技术	503
第七章 附 录	510
§ 7.1 数字电路基础知识	510
一、基本公式	512
二、逻辑函数的标准形式	513
三、逻辑函数的卡诺图化简法	515
四、数字逻辑电路	520
§ 7.2 GAL 系列器件技术规范	521
一、GAL 系列器件规范表示法	521
二、GAL16V8、GAL20V8 器件电参数	521
三、GAL39V8 器件电参数	529
§ 7.3 PAL 系列器件技术规范	534
一、PAL 系列器件规范表示法	534
二、PAL 器件电参数	536

第一章 PLD 原理和应用

目前数字逻辑系统传统的设计方法是根据系统逻辑功能的要求列出真值表和逻辑方程,再使用卡诺图或逻辑代数的有关公式求出最简最优的逻辑方程,最后选用标准逻辑功能的单片 IC,用“积木”技术堆积在为此系统而设计的印刷电路板上(PCB)。随着 VLSI 技术的高速发展,“标准”逻辑功能的 IC 规模越来越大,但其功能的先进性是用牺牲其广泛和大量使用的灵活性和增加软件的复杂程度而获得的。另一方面,大规模 IC 在同外部逻辑电路交换信息时,需在其接口电路中使用许多集成度不高的 TTL 或 CMOS 系列器件,这就造成先进技术和先进工艺之间的矛盾,使其构成的系统不适于在高速情况下工作。另外,由于系统中由多级标准的中、小规模 IC 互连而产生的分布电容、电感可能造成系统“冒险”。特别是改变局部逻辑设计时,这就造成 PCB 板设计的前功尽弃,使之设计周期延长、费用增加。为克服上述缺点,各类 PLD(Programmable logic device—可编程逻辑器件)器件应运而生,它解决了大规模 IC—微处理器不能实现在大范围、高频度使用的缺点。

PLD 器件是根据各用户的实际要求,由用户和 IC 制造厂对其进行编程,制成符合各用户要求的专用电路,使单片的 PLD 器件集成了多片标准 TTL 或 CMOS 器件的逻辑功能。目前可编程芯片已达 9000 个等效门,预计不久可达到 20000~40000 个等效门,这就是目前统称的 ASIC(Application—Specific Integrated Circuit—专用集成电路)。

§ 1.1 可编程逻辑器件

一、数字逻辑器件分类和特点

图 1.1.1 是构成现代数字系统的逻辑器件:

1. 线性电路

除目前传统的运算放大器,功率放大器等电路外,模拟的 ASIC 是由线性阵列和模拟标准单元组成,目前同数字的 ASIC 相比发展还是缓慢的,其原因是模拟电路的频带宽度、精度、增益和动态范围等暂时还没有一个最佳的办法用以描述和控制。但模拟 ASIC 可减小芯片面积、提高性能、降低费用和扩大功能及降低功耗,因此其发展是势在必行。预计,科学的发展要求系统具有更高的精度、宽频带、大动态范围的增益和频带实时可变性的要求,若在技术上不采用数字和模拟混合的 ASIC,该系统可能会导致失败。

目前,CAD 技术可使生产厂家提供用标准线性阵列的基本单元构成运算放大器,比较器、振荡器、无源器件和开关电容滤波器等。对标准单元的简单修改仅要几小时,新单元设计只需要几天、同电路相匹配的最佳电阻、电容值在几小时内即可获得,并且阵列的使用率高达 100%。

2. 数字电路

数字逻辑电路分类详见图 1.1.1。

(1) ROM 请详见本书第五章可编程 EPROM 在数字系统中的应用。

(2) 标准 SSI、MSI 的优点是使用范围灵活、频度高,但一个系统需要的器件数量多,这样造成 PCB 板上各元件之间布线复杂,并易产生寄生电容及因噪声引起的功耗增大、速

度降低。另外,由于器件数量多造成 PCB 板的面积较大,芯片相互连接的众多焊接点的可能失效,致使系统稳定性较差。

(3) 微处理器的优点是在专用软件的支持下,能方便地完成多种不同的逻辑功能,但速度低,I/O 接口需较多的外围接口芯片造成了使用频度低的局限性。

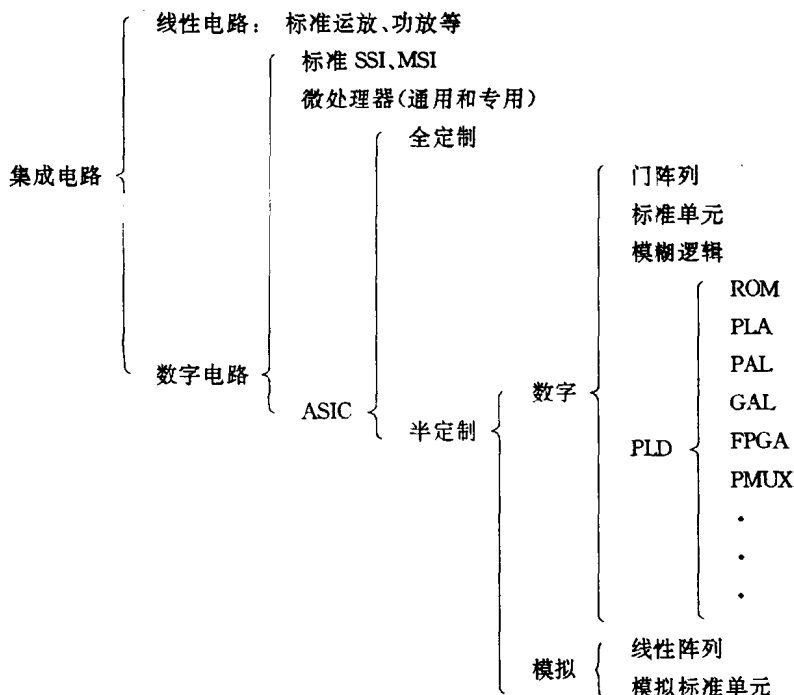


图 1.1.1 集成电路分类简图

(4) ASIC 的优点是功能变化为多变的、灵活的,且具有较高的可靠性。预计到 2000 年,每个系统的实现都要使用为具体目标而定作的电路,一个系统样机的诞生,可等效为目前办公室的“复印机”,在几分钟时间内便产生出一个完整的定制系统。

二、ASIC 的基本原理和设计方法

ASIC 它是面向专门用途,又区别于标准逻辑(Standard Logic)电路或通用存储器及通用微处理器,它是系统设计、VLSI 设计和 CAD 信息处理三元素的技术结晶,是继微处理器出现后微电子学上的又一重大突破。ASIC 目前尚无统一的严格定义,广义的说法是包括全定制 IC 和半定制 IC,但根据 ASIC 在系统电路中的应用特点,我们理解其定义为:

ASIC 是指除通用的存储器和微处理器外,具有特定功能的集成电路或集成系统,并且用户可自行设计及迅速,容易一次成功的 IC。

1. 全定制 ASIC(Custom design approach)

全定制 ASIC 电路是厂家根据用户的具体要求而单独设计的具有某种特定功能的电路,它是将具有某些特定功能的电路混合在一片或若干片硅片中,并封装成一个整体。如彩电中的专用芯片,不同型号的 CPU 等均采用此方法。用全定制电路构成一个系统极其方便,且速度快、功耗低、单位面积密度高、性能可靠,是当今电子工程技术发展的一个重要方向,它是半导体集成电路技术和系统机结合的理想产物。

2. 半定制 ASIC(Semi—Custom design approach)。

全定制 ASIC 电路研制时间长、费用高、专用性强,它要求设计人员具有丰富的半导体材料和工艺技术,并且还要具有完整的系统和单元电路设计的工程经验。而半定制 ASIC 克服了全定制 ASIC 存在的上述缺点,它是在芯片上制作好一些具有通用性的单元元件和元件组的半成品硬件,用户仅需考虑电路逻辑功能和各功能模块之间合理连接就可以了。它和目前标准的 SSI、MSI 一样,具有灵活、方便的通用性。并且也是性能/价格比较佳,编程简单的器件,因而人们对它产生了极大的兴趣。

半定制 ASIC 按其内部结构可分为门阵列(Gate Array)、标准单元(Standard Cell)和目前发展起来的“门海”(Sea of Gates)及各种类型的可编程逻辑器件 PLD。

(1) 门阵列是按传统阵列和组合阵列的两种方法在硅片上制成具有标准逻辑门的矩阵,是不封装的半成品,它的结构为 I/O 以及各种逻辑功能提供了一个十分灵活的结构,生产厂家可根据用户要求,根据逻辑功能的复杂程度选择合适的阵列规模,在阵列中制作出互连的图案(码点)进行定制,最后封装为成品售给用户。目前逻辑门数已达数万门,其有效使用率可达 80%~90%,已形成系列化的产品占 ASIC 的 60%以上,当前十万门以上的产品正在逐步形成系列化,它是取代目前使用频度最高的 TTL、CMOS 器件的最理想替代物。

(2) 标准单元又称定制电路(Custom),它由一个预先定义好的功能单元库组成,包括标准的 TTL、CMOS 和存储器、微处理器及 I/O 电路的专用单元阵列,甚至线性 and 功放电路也包括在内。用户可从标准单元库中选取合适的逻辑阵列,在组成各种规模的电路同时,又可对逻辑电路进行充分优化,例 MCS80C51。

需要指出的是单元库中的模式设计并不标准化,各公司都有自己的单元库,并且互相保密。利用门阵列和标准单元阵列及存储器,这种 ASIC 可取代印刷电路板的全部功能。

(3) 宏单元(Macro Cell)电路比标准单元库的单元逻辑功能更复杂,其单元数也越来越大,按其内部定制方式可分为硬宏单元和软宏单元。硬宏单元内部连线是固定的,软宏单元的内部连线可在调用时加以修改。目前,高级语言的宏单元 ASIC 设计系统,在自动产生的宏单元库中,用户可通过优化把各宏单元组合为用户要求的电路,这样可获得良好的电性能,特别是用于一些具有重复性的电路设计则更方便,更快。由于宏单元比标准单元具有更大的逻辑单元,因而宏单元技术是 ASIC 中最有前途的一种设计方法。

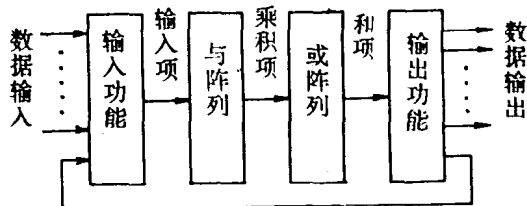


图 1.1.2 PLD 基本结构图

(4) 门海阵列(SOG—Sea of gates)在门阵列中属于无通道的结构,也称密集型门阵列。该类型阵列优点是单位面积逻辑功能密度大,适用在规模较大的门阵列中。

(5) 可编程逻辑器件(Programmable logic device),它可根据用户实际需要进行编程,分类详见图 1.1.1。

PLD 和全定制、半定制电路相比有以下几个特点:

a. 全定制,门阵列,宏单元,标准单元适应在大批量专用产品的场合,当产品数量较少时,PLD 其性能/价格比是较佳的。

b. PLD 一般采用“与”—“或”阵列结构,如图 1.1.2 所示。该结构不受标准系列器件在逻辑功能上的限制,因为任何一个逻辑表达式均可根据逻辑代数简化为“与”—“或”表达式,这样便增加了设计的灵活性、减小系统规模、提高了系统稳定性。

c. 缩短设计周期,利用可重复编程的特点为电路修改,设计提供了极大的方便和可行性。

下面我们介绍图 1.1.1 中各种 PLD 的功能。

三、PLD 可编程逻辑器件的基本结构和工作原理

1. PLD 电路原理表示法

附录图 7.1.1 是实现数字逻辑电路的基本门单元电路,但在 PLD 电路里用此方法就很难清楚地表示和理解可编程逻辑器件内部逻辑电路的关系,所以在 PLD 中均采用一种新的简化的逻辑符号表示法,如图 1.1.2~图 1.1.5 所示。本节是本章及第二章、第三章、第四章的基本概念,熟练掌握理解是非常重要的。

例 1. $D = ABC$

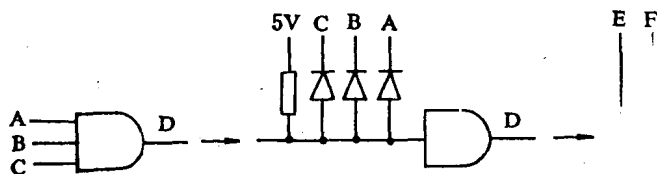


图 1.1.3 PLD 与门表示法

例 2. $D = A + B + C$

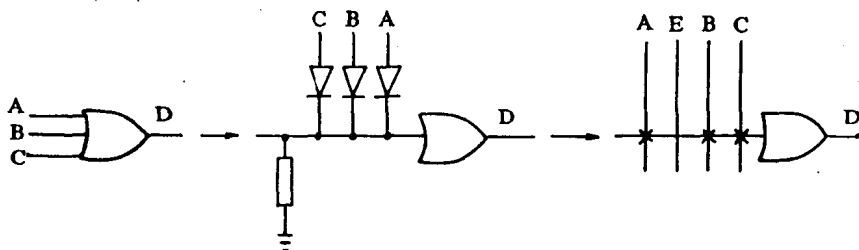
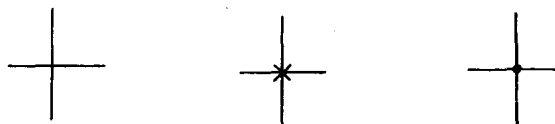


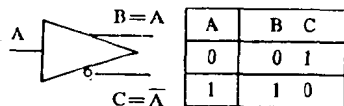
图 1.1.4 PLD 或门表示法



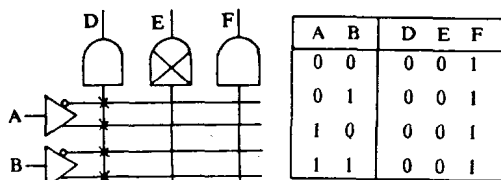
a. 不可编程硬线连接 b. 可编程单元连接 c. 擦除单元未连接

图 1.1.5 PLD 阵列交叉标准连接表示法

图 1.1.3 和图 1.1.4 的阵列交叉表示法或码点法是目前通用 PLD 阵列连接的表示法,图 1.1.5 是 PLD 中阵列各节点交叉连接表示法。其中 a 图是不可编程的硬连接方法, b 图是可编程单元连接法, c 图是可编程单元擦除后的断开状态(同 EPROM 擦除概念相同)。图 1.1.6 是 PLD 缓冲器采用互补输出的表示法。图 1.1.7 是 PLD“与”门连接基本状态表示法,从图中可知输出 D 的与门连接了所有的输入项,即 $D = A \cdot \bar{A} \cdot B \cdot \bar{B} = 0$ 。由此可看出输入缓冲的互补输出全连接到某一与门时,它的输出乘积项恒为“0”,这种状态称为与门的“缺省状态”。为表示方便,缺省状态可用图中的 E 项表示,即在与门中用“×”表示了 $E = D$ 为恒定的逻辑“0”电平,显然用 E 项表示的方法比 D 项表示要简单、方便。F 项的输入端连接点没有被编程,它始终为“悬浮”的“1”状态。图 1.1.8 和图 1.1.9 是几种 PLD 单元内部标准的连接法。



a. 缓冲器 b. 真值表
图 1.1.6 PLD 缓冲器表示法



a. 码点图 b. 真值表
图 1.1.7 PLD 与门连接基本状态表示法

2. PLD 基本结构

由于微电子技术的高速发展,各种类型的 PLD 器件,如雨后春笋般的不断涌现,其中 EPLD 是紫外线可擦除式,EEPLD 是电可擦除式。因篇幅关系本节仅介绍具有代表性的 PROM,PLA 和目前处于开发使用初期的 PGA 和 PML 结构,PAL 和 GAL 为本书重点,详见 § 1.2 和 § 1.3。

其它类型的 PLD 器件 PLS(可编程逻辑序列)、PAD(可编程地址译码)、PML(可编程电可擦逻辑)等,有兴趣的读者请参阅其它有关书籍。

(1) PROM 结构

图 1.1.10 是 8×3 (8“与”门,3“或”门)PROM 的基本结构,它由固定的与阵列矩阵和可编程的或阵列矩阵组成了“与—或”可编程的逻辑阵列。其中“与”门为全译码矩阵,即输入端项数为 n 的 PLD,则对应应有 2^n 个“与”门,因此对每一种可能的输入组合,均可得到一组相应的最小项输出。目前 PROM 芯片最高密度高达二百万位,其输入和输出的数据宽度是固定的。

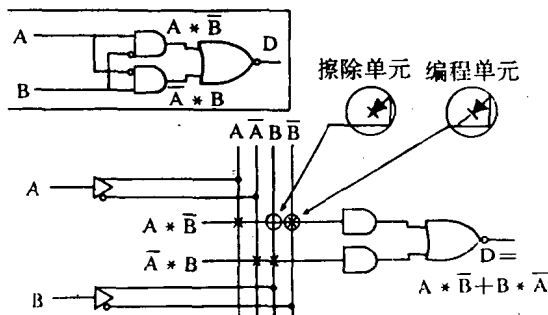


图 1.1.8 异或门和通用 PLD 编程熔丝图

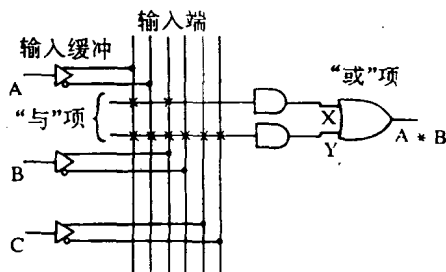


图 1.1.9 PLD 三变量输入、两变量输出逻辑图

对规模较大的 PROM(ROM、EPROM、EEPROM),为减少最小项输出线数目,现均采用图 1.1.11 所示的多级译码器结构,其可编程总数为 $2^i \times N \times 2^{n-i} = 2^n \times N$ 。

PROM 的主要应用范围是实现多输入,多输出的固定组合,如代码转换,各种波形发生器,语音合成和算术运算。由于是最小项为基础,因而在设计中不需对逻辑函数的公式进行简化,但不能用于时序电路,这主要是由于芯片内部没有锁存器和寄存器。

(2) PLA 结构

PLA 由可编程的“与”门和“或”门组成,由于用户可对“与—或”阵列的单元进行编程,因而为实现各种逻辑功能提供了较佳的灵活和方便功能,但这种结构上的二重性给编程带来了难以理解、不宜掌握和编程费用高的缺点。图 1.1.12 是 PLA 的结构图,由于与门阵列不

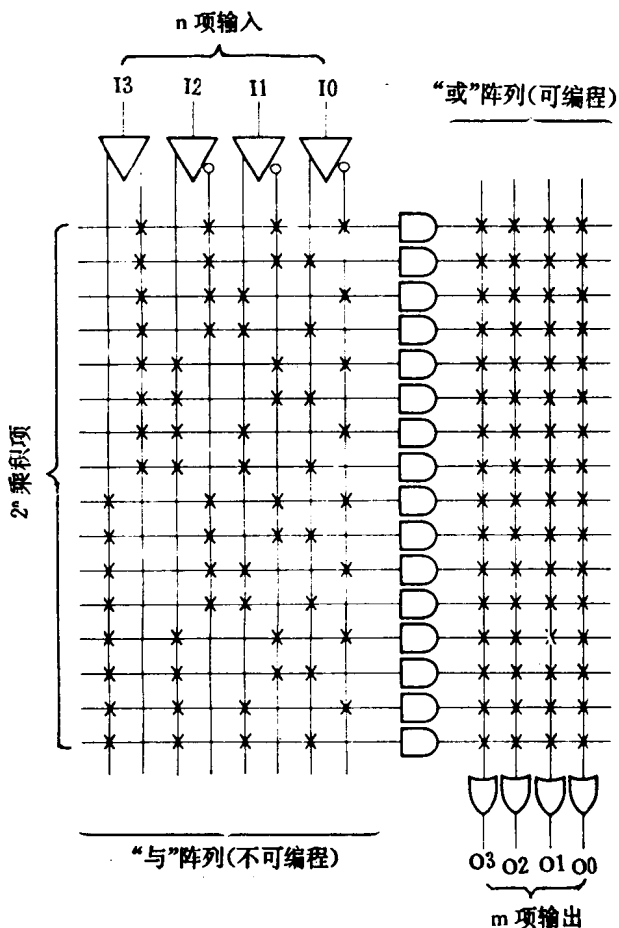


图 1.1.10 PROM 结构图

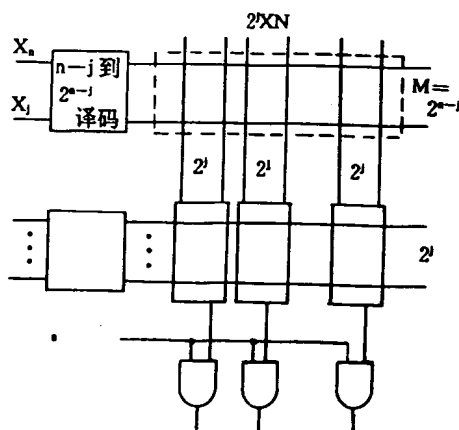


图 1.1.11 多级译码器 PROM 结构图

采用全译码方式,所以与门个数小于 2^n (n 为输入端项数)。若阵列的连接线采用固定掩膜方式制成,则称之为工厂编程 PLA,若阵列连线采用可熔断的熔丝制成,称为现场可编程逻辑阵列 FPLA。

图 1.1.13 是 PLA 芯片部分码点图,其功能是当 4 位输入的值不是 2 或 3(1、5、7、11)的整倍数时,其输出为“1”。

从图中可看出 PROM 是 PLA 的一个应用特例,即 PLA 可替代 PROM,并且比 PROM 具有更大的灵活性和更强的逻辑功能,可完成许多通用 TTL 不能满足的特定条件。在某种情况下,一片 PLA 对输入和输出或乘积项的数目是不够用的,为增加乘积项的数目,可采用一些集电极开路的 PLA 结构,把它们和全部输入端以及输出端并联,对需增加输出端的数目,可将数片 PLA 的输入端并联,而将输出端单独分开。由于 PLA 内部结构的译码器和输出对输入线的控制,输入端扩展是困难的。

(3) PAL 结构

PAL 由可编程的“与”门和固定的“或”门组成,其输入和输出端的宽度可变,并集结了 PLA 的编程灵活和 PROM 编程成本低的众多优点,它具有现场编程灵活、可加密、传输速度快、功耗低、并可替代多种型号的 TTL 芯片的逻辑功能,详见 § 1.2。

(4) PGA 结构

PGA 可编程门阵列,它吸收了传统门阵列和系统 PLD 器件的众多良好的体系结构优点,是一种新的可编程门阵列结构,同传统的门阵列具有较大的差异,其编程更灵活、集成度更高,单片 PGA 芯片可完成 40~400 个小规模 IC 的逻辑功能。图 1.1.15 是 PGA 系列的 LCA 逻辑阵列图,它由组合逻辑块 CLB 和 IOB 组成,为便于用户编程,在芯片内部分别在逻辑矩阵的上、下、左、右和中间设置了 9 种不同规模和连接形式的 CLB,尽管各 CLB 之间的规模和连接形式存在差异,但基本结构相似,图 1.1.16 是 Xilinx 公司 XC2000 和 XC3000 系列的 CLB 结构图。

图 1.1.16 的 XC3000 系列 CLB 结构图中有两根输出线,五根构成组合逻辑电路的输入,另外四根是时钟、时钟位置、复位和数据输入。图 1.1.17 是 CLB 三种输出状态中用梯形框图表示用户定义路径的选择器,D 型触发器是边沿触发,其输出又作为组合逻辑电路的输入,由于具有上述结构,所以 CLB 组合方便的灵活性可构成具有多种逻辑功能的器件。

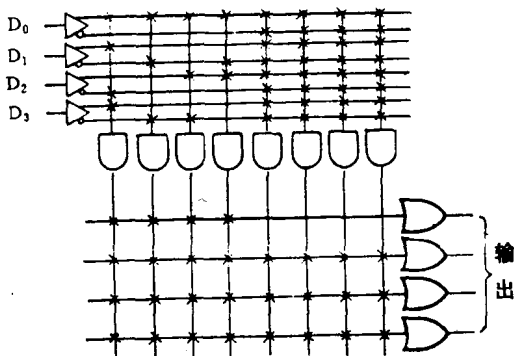


图 1.1.13 求不是 2 和 3 整倍数的 PLA 码点图

一个可吸收或提供 4mA 电流的输出,输入信号由输入缓冲器送入 A 寄存器的 D 端,该寄存器可由用户设置为边沿触发器或锁存器。

输出信号经可编程的反相器,送入 B 寄存器的 D 端。可编程的上拉电阻用于把悬浮的 I/O 设置为一个已知固定的逻辑状态。

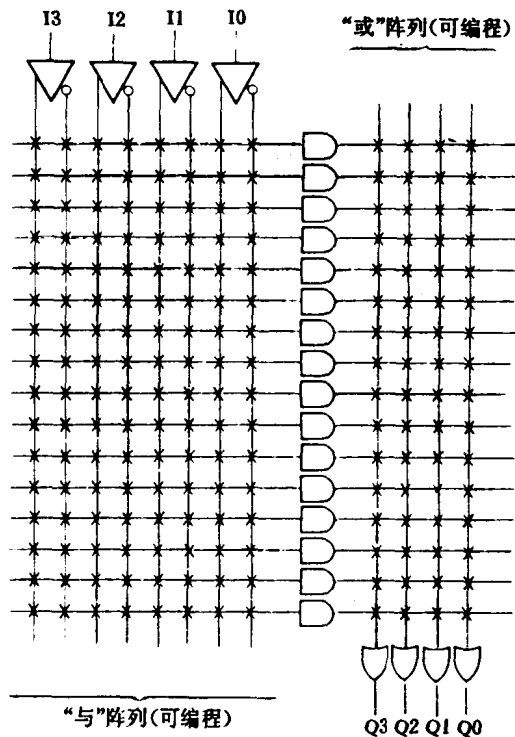


图 1.1.12 PLA 结构图

其中 a 图输出函数为:

$$F=G=f_1(A,B/Q_1/Q_2,C/Q_1/Q_2,D,E)$$

b 图输出函数为:

$$F=f_{21}(A,B/Q_1/Q_2,C/Q_1/Q_2,D/E)$$

$$G=f_{22}(A,B/Q_1/Q_2,C/Q_1/Q_2,D/E)$$

c 图输出函数为:

$$F=G=\frac{f_{31}(A,B/Q_1/Q_2,C/Q_1/Q_2,D)E}{f_{32}(A,B/Q_1/Q_2,C/Q_1/Q_2,D)\bar{E}}$$

用户可通过定义 I/OB 的两个寄存器的工作状态决定其输入或输出工作状态,如图 1.1.18 所示。图中每个 I/OB 控制一个

LCA 可编程阵列的编程次数是无限制的,由于其内部体系结构的灵活性,在 CLB 中可实现任意形式的布尔函数表达式,并允许 LCA 在实际系统运行期间的不同时刻有不同功能,这为自适应系统提供了最佳的逻辑器件。

下面简述 LCA 门阵列的构造方式,CLB、IOB 和互连区的状态,均由一个存储在内部存储单元中的构造程序决定,不同型号的 LCA 其结构程序大小不同(XC3090 为 64K 位),它们可分别利用自动或外部两种方式,在芯片上电时,构造程序自动输入到可编程的门阵列中。

图 1.1.19 是利用 LCA 芯片上的控制逻辑直接把片外 SRAM 中的构造程序读入(XC3090 为 100ms)到可编程的门阵列中。

图 1.1.20 是另外一种自构方式,其构造程序是在外处理器或 DMA 控制下,读入到可编程的门阵列中,串行方式更适宜多个 LCA 的构造程序输入。

FPGA 是 PGA 另一种形式的用户可编程场控门阵列,其价格低、密度高、应用灵活。该结构和 LCA 相似,中间是可编程的逻辑模块互连矩阵,周围是 I/O 缓冲器和用户可编程的基本逻辑功能模块。每个可编程逻辑功能模块的等效门数不同,6000 个门的芯片有 1258 个逻辑模块,一个模块可构成 150 种以上不同的逻辑功能,它是构成用户逻辑的基本单元。FPGA 厂家向用户提供了 2000 多个标准逻辑功能,用户只要正确使用就可根据自己需要进行组合设计。

由上面可知,不同厂家的 FPGA 有各自的不同结构,编程方法也不同,这主要是各厂家均采用各自的开发技术,因而形成多种标准系统,这就要求设计人员需要详细了解 FPGA 的 I/O 和设计电路,以便扬长避短,充分发挥器件的功能。

(5) PML 结构

传统的 PAL 器件采用标准的“与—或”结构,而可编程的 PML 宏逻辑则采用了“与非”结构,该器件独特的与非门阵列,不能视为固定的两级与非—与非门阵列,如图 1.1.21 所示。它是根据布尔逻辑的基本原理,在吸收 PAL 和其它 PLD 器件的优点基础上诞生的。这种结构的核心是与非门阵列,周围是一系列的宏单元。Signetics 公司指出采用与非结构可实现相当于 3000 个等效门的 PLD,图 1.1.22 是 Signetics 公司的 PML 器件内部结构图,它适宜实现复杂、多级的逻辑电路。

(6) MAX 结构

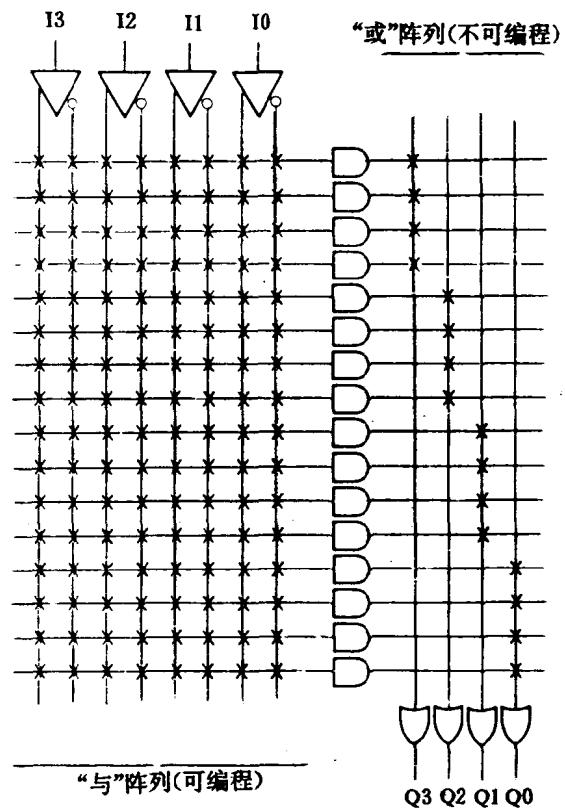


图 1.1.14 PAL 结构图

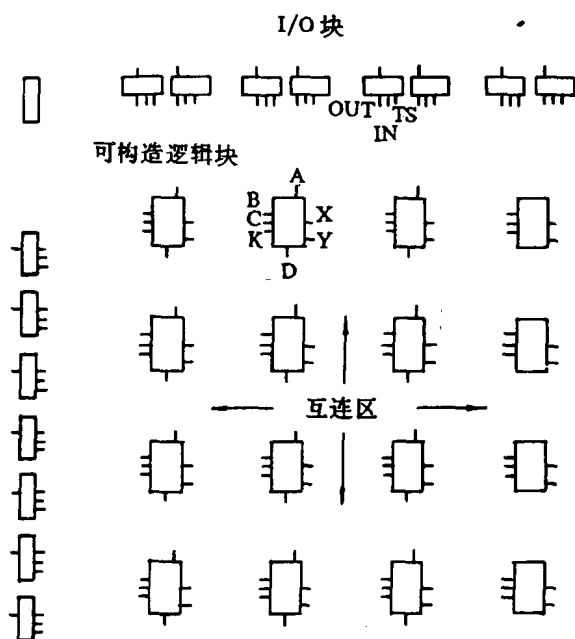


图 1.1.15 LCA 通用逻辑单元图

MAX 系列是采用紫外线可擦除技术的新一代 PLD，在早期的 EPLD 器件中，由于每个宏单元逻辑阵列的扇入数目增加，因而限制了芯片集成度的提高。MAX 矩阵结构是由若干个逻辑阵列块 LAB 组成，并由专用连接芯片的输入和输出可编程互连阵列连接在一起。该阵列内部输入包括芯片宏单元反馈线和可编程 I/O 的反馈线，芯片宏单元的结构综合了 PLA 和 PAL 的优点，允许把宏单元的 I/O 引脚视为输入，同样把触发器视作寄存器，互连阵的输出同“与—或”和“异或”相连，其结果都输入到芯片的寄存器内，其它互连阵的输出由宏单元内部处理控制。

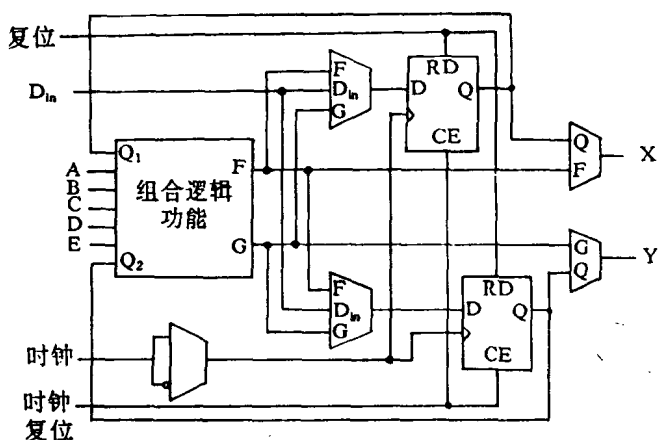


图 1.1.16 XC3000 系列 CLB 结构图

MAX 可被编程为 D、T、J—K、R—S 和具有使能（异步消除和预置）功能触发器的特点，因而 MAX 更适宜仿真 TTL 系列的等效逻辑功能，一片 MAX 可集成大于 50 片 TTL 器件的逻辑功能，所以在一块 PCB 板上，只要使用几片 MAX 就可替代目前大多数数字系统中使用的几百种不同逻辑的 IC。