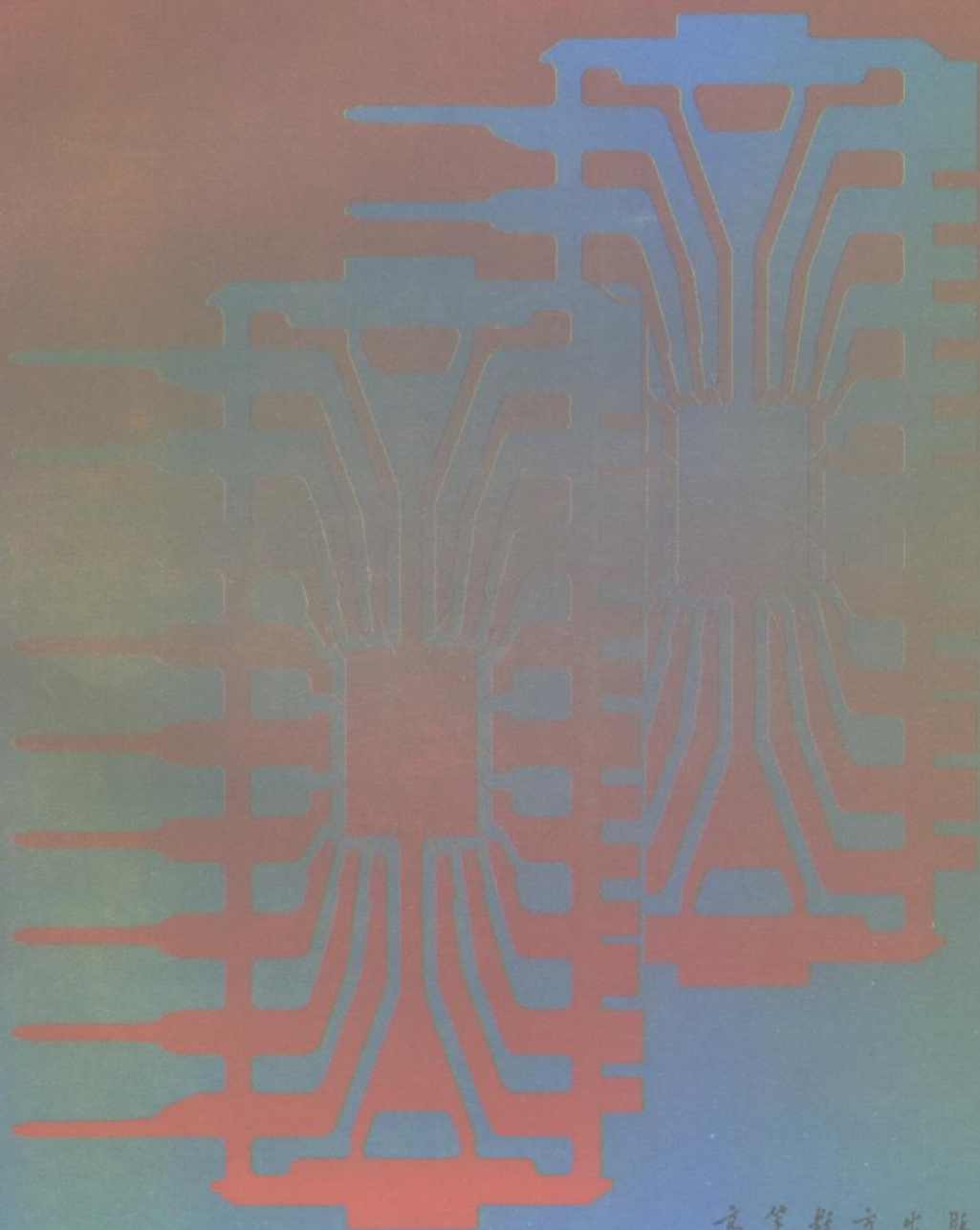


高等学校教材

VLSI 设计导论

沈绪榜 杜 敏



高等教育出版社

TN471

S42-2

385740

高等学校教材

VLSI 设计导论

沈绪榜 杜 敏

TN471

S42-2

高等教育出版社

(京 112 号)

内 容 提 要

本书介绍 CMOS VLSI 的设计原理和方法,书中包括 VLSI 设计方法学与设计描述、CMOS 电路加工工艺和版图设计预备知识、电路设计原理、半定制电路设计、全定制电路设计、可测试性结构方法和模拟验证与设计自动化工具等内容。

本书是 VLSI 设计方面的入门教材,可供高等院校计算机及应用、电子工程、信息工程及微电子等专业本科生或研究生使用,亦可供从事这方面工作的教师和工程技术人员阅读参考。

图书在版编目(CIP)数据

VLSI 设计导论/沈绪榜,杜敏编著. —北京:高等教育出版社,1995
高等学校教材
ISBN 7-04-005382-9

I. V... I. ①沈... ②杜... III. 超大规模集成电路设计-概论 IV. TN470.2

中国版本图书馆 CIP 数据核字(95)第 1412 号

高等教育出版社出版

北京沙滩后街 55 号

邮政编码:100009 传真:4014048 电话:4054588

新华书店总店北京发行所发行

北京朝阳北苑印刷厂印装

*

开本 787×1092 1/16 印张 12.75 字数 310 000

1995 年 10 月第 1 版 1995 年 10 月第 1 次印刷

印数 0001—2 500

定价 9.50 元

凡购买高等教育出版社的图书,如有缺页、倒页、脱页等质量问题者,请与当地图书销售部门联系调换。

版权所有,不得翻印

前 言

随着 VLSI 工艺水平的提高,芯片集成度不断增大,而制作费用却不断减少,从而有可能将某些专用电路(ASIC)集成在单一的芯片内。自 80 年代中期以来,ASIC 开始作为系统投放市场,作为比全定制电路设计更快的一种手段。90 年代以来,ASIC 已成为系统集成的关键因素。对于系统集成来说,设计者既要具有系统级、逻辑级、电路级设计能力,又要具备芯片体系结构和 VLSI 设计方法学的知识。本教材正是为了适应计算机和微电子技术的发展趋势,培养我国的 ASIC 系统设计人员而编写的。

本书内容共分八章。第一章概述数字系统的层次式设计方法,并介绍 VLSI 设计中的功能域、结构域、几何域的描述方法。第二章和第三章讲述芯片设计所必需的版图预备知识和电路设计原理。第四章阐述 ASIC 的层次式设计、门阵列、标准单元及可编程逻辑器件的设计与实现方法。第五章讨论全定制电路设计与半定制电路设计的主要区别,并介绍典型的全定制电路结构化设计形式。第六章论述可测试性设计的意义、可测试性分析的基本原理、测试向量生成和可测试性结构设计。第七章以 CMOS 子系统为例,说明 VLSI 电路单元的系统级、逻辑级、电路级直至版图级的设计方法。第八章介绍 ASIC 设计中的模拟验证与设计自动化工具等内容。

本书主要由杜敏执笔完成,初稿已在西安交通大学计算机及应用专业本科学生教学中试用,效果良好。实践证明本书的主要内容可在 40 学时内完成。本书各章之后均附有习题和思考题,以帮助学生加深理解。书末附有大量文献可供读者参考。值得特别说明的是,本书在介绍可编程逻辑器件及编程原理时,仍沿用国外电路的图形符号,这主要是因为 PLD 器件结构紧凑,很难用传统的逻辑图描述其特征,因此我们采用了广为厂家和用户接受的简化表示方式。为统一表示方式,可编程逻辑器件的单元库也沿用国外图形符号。

尽管作者对书稿进行了多次修改和加工,但由于时间仓促,错漏之处在所难免,深望广大读者不吝指正。

编 者

1995 年 6 月于西安

目 录

第一章 概论	1
1.1 集成电路发展趋势	1
1.1.1 发展规模与 VLSI 定义	1
1.1.2 VLSI 设计中的主要问题	2
1.2 VLSI 的层次式设计	4
1.2.1 VLSI 设计一般形式	4
1.2.2 单元电路层次式设计	6
1.3 VLSI 设计描述	8
1.3.1 行为描述	9
1.3.2 结构描述	10
1.3.3 几何描述	12
习题与思考题	15
第二章 集成电路工艺基础及版图	17
2.1 引言	17
2.2 集成电路制造基础	18
2.2.1 氧化工艺	18
2.2.2 光刻工艺	18
2.2.3 掺杂工艺	20
2.2.4 金属化工艺	20
2.3 CMOS 电路加工工艺	21
2.4 设计规则与工艺参数	26
2.4.1 设计规则的内容与作用	26
2.4.2 设计规则的描述	26
2.4.3 参数化表示	30
2.5 电学参数	33
2.5.1 分布电阻	33
2.5.2 分布电容	36
习题与思考题	39
第三章 MOS 晶体管与电路设计基础	40
3.1 MOS 晶体管	40
3.1.1 NMOS 管 I - V 特性	40
3.1.2 PMOS 管 I - V 特性	42
3.2 MOS 晶体管开关	43
3.3 CMOS 反相器直流特性	44

3.4	CMOS 基本门	47
3.4.1	与非门	47
3.4.2	或非门	48
3.4.3	CMOS 传输门	50
3.5	信号传输延迟	51
3.5.1	CMOS 反相器延迟时间	51
3.5.2	连线延迟	55
3.5.3	电路扇出延迟	57
3.5.4	大电容负载驱动电路	58
3.6	功耗	61
3.6.1	金属导线宽度的确定	61
3.6.2	CMOS 功耗	61
	习题与思考题	63
第四章	半定制电路	65
4.1	引言	65
4.2	门阵列设计方法	66
4.2.1	门阵列母片结构	67
4.2.2	单元结构	68
4.2.3	门阵列设计流程	74
4.3	标准单元设计	75
4.3.1	标准单元库	75
4.3.2	标准单元设计流程	78
4.4	可编程逻辑器件设计	78
4.4.1	概述	78
4.4.2	可编程逻辑器件编程原理	78
4.4.3	典型 PLD 器件结构	80
4.4.4	PLD 器件设计过程	87
4.5	可编程门阵列设计	92
4.5.1	概述	92
4.5.2	Xilinx 公司的 PGA 设计	92
4.5.3	Altera 公司的 FPGA	104
	习题与思考题	109
第五章	全定制电路设计	111
5.1	全定制设计与半定制设计的主要区别	111
5.2	全定制电路的结构化设计特征	112
5.3	全定制电路的阵列逻辑设计形式	114
5.3.1	Weinberger 阵列结构与栅列阵版图	114

5.3.2	PLA 结构	117
5.3.3	存储器结构	121
5.4	单元在全定制设计中的作用与单元设计	125
	习题与思考题	126
第六章	可测试性结构设计	128
6.1	VLSI 可测试设计的重要意义	128
6.2	测试基础	128
6.2.1	故障模型	128
6.2.2	可测试性分析	130
6.2.3	故障模拟与测试向量生成	132
6.3	可测试性结构设计	133
6.3.1	分块测试	133
6.3.2	扫描测试设计	134
6.4	内含测试与自测试	137
6.5	标准化测试体系结构设计方法——JTAG 法	141
	习题与思考题	144
第七章	CMOS 电路与子系统设计	145
7.1	引言	145
7.2	MOS 时钟电路	145
7.3	双相时钟 MOS 存储器电路	147
7.4	简单移位寄存器	149
7.5	时钟 CMOS 逻辑	151
7.5.1	C ² MOS	151
7.5.2	预充电逻辑	152
7.5.3	多米诺 CMOS	156
7.6	寄存器存储电路	158
7.7	组合逻辑	159
7.8	微码控制器	160
7.8.1	数据路径	160
7.8.2	桶形移位器	161
7.8.3	算术逻辑单元	163
	习题与思考题	164
第八章	设计验证与自动化	166
8.1	设计验证与自动化的意义	166
8.2	电路模拟	167
8.3	逻辑模拟与时序模拟	171

8.4 开关级模拟	174
8.5 定时分析	178
8.6 寄存器传输级模拟	179
8.6.1 寄存器传输语言描述示例	180
8.6.2 ISPS 描述与模拟	181
8.7 VHDL 语言	183
8.8 逻辑综合与硅编译	187
8.8.1 逻辑综合	188
8.8.2 硅编译	189
第八章 习题与思考题	193
附录	194
参考文献	195

第一章 概 论

1.1 集成电路发展趋势

1.1.1 发展规模与 VLSI 定义

不容置疑,我们当今生活在紧密受电子工程技术制约的时代,集成电路 IC 及微电子技术对人们生活及科学进步的作用是令人瞩目的。微电子技术的影响渗透了从航空、通信、计算机到生产管理、消费品制造等各个领域。微电子技术得以广泛应用的一个重要原因,是过去 20 年中集成电路功能与复杂性几乎成指数规律上升。

1960 年 Gordon Moore 提出集成电路的功能随着时间呈指数增长的规律。Moore 的预言在其后十年中表现出惊人的吻合,且被称之为 Moore 定理,如图 1.1 所示。显然,Moore 定理所描述的指数增长规律需要相关领域技术取得相应的进展。事实上,工艺制作能力的迅速增长在很大程度上是由于人们对于材料的物理、电学、化学性质的深入了解,特别是小尺寸器件性能的深入了解才得以发展起来的。当然,集成电路的发展也与工艺制造设备的改进也和工艺技术的革新紧密相关,对于已有的制造工艺与设备,Moore 定理的指数增长率是不成立的。

Moore 定理的最好示例是存储器容量随时间的增长关系。尽管近几年来,集成电路发展较 Moore 定理呈现略低的增长速率,但无论从工艺技术还是系统的经济性方面都较从前有很大发展。

另一个描述工艺水平增长速率的方法是最低线条宽度,图 1.2(a)给出了典型制造商最小线宽随时间变化的趋势。事实上,存储容量与最小线宽是两个紧密相关的因素,线宽越细,互连水平越高,则电路规模越大,存储容量也越大。硅片面积越大,则每个硅片上包含的管芯数越多,图 1.2(b)示出了芯片面积随时间的增长关系。芯片面积增大反映了电路规模及复杂性也在增大。

描述集成电路复杂程度的另一种常用方法是芯片上总的逻辑电路数。事实上,多数电路都不具备类似存储器的规则结构。表 1.1 给出了以逻辑门作为衡量对象的 IC 逻辑功能复杂程度随时间的发展趋势。

单个芯片晶体管数

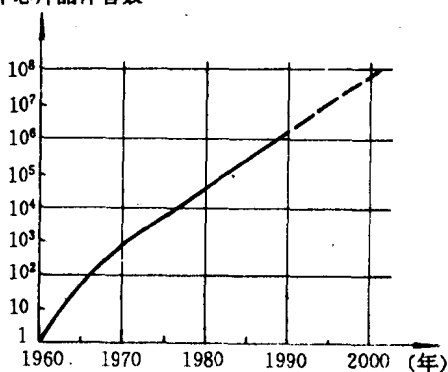
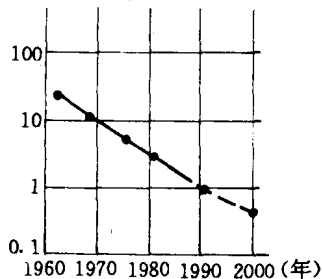


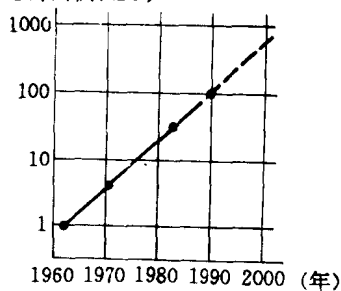
图 1.1 Moore 定理

表 1.1 IC 逻辑功能复杂的发展趋势

年 度	1947	1950	1961	1966	1971	1980	1985	1990
技术水平	发明晶体管	分立器件	SSI	MSI	LSI	VLSI		
单个芯片上 晶体管数	1	1	<20	100~1000	1000~ 20000	20000~ 500000	>500000	>10000000
典型产品	1	结型晶 体管、二 极管	平面器 件逻辑 门、独 立器件 单元逻辑	复杂逻辑、单元 计数器、加 法器	8 位微 处理器、 ROM、 RAM	16 位与 32 位微 处理器、 智能外 设	专用处 理机、实 用图象 处理	并行处理 计算机、高 速图象处 理

最小特征尺寸(μm)

(a) 最小线条宽度

芯片面积(mm^2)

(b) 芯片面积

图 1.2 工业生产中最小线条宽度及芯片面积随时间变化关系

注意:表中每年度分界线对应集成电路制造中出现的新的设计方法、模拟方法、用于掺杂或布线新工艺、新的处理复杂程度的手段等等。

为了发挥 IC 制造的潜力,集成电路设计者必须能够迅速而有效地设计出电子产品。数字系统 IC 设计中主要问题是设计问题过于复杂,首要问题是怎样降低电路的复杂程度。显然设计者不可能在很短时间内完成 20000 个晶体管的电路设计,即使工艺上是可以实现的,也可能由于复杂性导致设计周期过长,设计费用过高而丧失市场竞争能力。VLSI 设计方法学是指导设计者高效设计的一门科学。

1.1.2 VLSI 设计中的主要问题

一、设计成本问题

VLSI 的设计成本包括初次开发设计费用、制造费用以及在此过程中工程师的薪水。开发费用一般以人年计算,即开发过程中的人数与时间的乘积。

它包括:

- 工资、福利、时间
- 计算机资源:如 CPU 时间、存储器等
- 设备折旧费
- 厂房成本
- 管理费

开发 VLSI 芯片时间可在很大范围内变化,短的可小于一个人年,长的可大于 100 年。设计时间主要取决于电路功能复杂程度,设计开发工具的应用水平以及 CAD 工具的能力等等。

由此可见,设计时间在设计成本中占据主要地位。它不仅影响产品最终的成本,而且受市场竞争的制约。一般地说,对于市场需求量大,通用性强的电路,可用全定制设计方式以减小芯片面积,提高电路性能。例如一个 100 万门的电路,设计费用为 100 万美元,要想将单位芯片设计费用控制在一美元以下,则电路需要量至少大于 100 万。而对于批量不大的专用电路,由于设计中可以采用半定制技术,即基本单元已由制造商设计好并提供用户使用,加上有功能较强的 CAD 工具支持,可以使得设计费用大大降低。这样,即使批量不大,单位芯片设计费用仍然可以接受。而半定制技术的更主要的优点是设计时间大大减少。

本书后面将分别介绍专用电路(ASIC)设计中的几种设计风格,即半定制设计、全定制设计和可编程器件设计。

二、设计正确性要求

设计的正确性是 IC 设计中最基本的要求。与传统的 PCB 设计不同,IC 设计一旦完成并送交制造商生产后,再发现电路有错误,就要花费极大的人力、财力进行故障诊断和错误修改。在 PCB 设计中,如果在 PCB 板子生产之后发现错误,还可以用跳线修改。而在 IC 设计中则需要修改掩膜版数据,然后重新制版,再交生产厂商制造。这个过程要花费较长的时间,并付出很大的代价。

由于 VLSI 集成度越来越高,电路实现的功能日趋复杂,这导致设计难度增大,设计中发现和修改错误都变得相当困难。因此,必须借助于 CAD 工具消除任何可能出现的错误。VLSI 设计是包含系统级、功能级、逻辑级的设计,最终以芯片制造掩膜版为目标。如此宽广的设计领域中各个步骤都有可能发生错误,VLSI 方法学就是指导设计者最大限度的发现错误、修改错误,实现有效的设计的一门学科。而各种 CAD 工具主要用于设计的各个阶段做彻底的检查,以保证设计 100% 正确性要求。

三、设计过程集成化

传统的电路设计中,设计者可以通过搭实验板方法从事子系统功能模块的设计与验证,并在子系统互连之前对各自的功能进行测试。同样,各模块互连的系统也可以在更高一级的实验板上调试。在 VLSI 电路设计中,所有的设计工作在制造出电路之前只能通过人的大脑去思考、分析,借助于计算机工具验证、分析和辅助设计。由于 IC 设计这一独特的限制,就需要功能更强、性能更好的 CAD 设计工具。

IC 设计 CAD 软件发展大致经历了三个阶段:

第一阶段:以计算机绘图替代人的手工绘图,完成一般几何设计工作,并能检查设计规则错误,较为流行的软件是 CV。

第二阶段:门级与基本单元级电路的模拟、仿真、半定制电路的自动布局、布线。较为流行的软件如 Valid、Mentor、Daisy 等。

第三阶段:综合与设计自动化软件。它包括行为综合技术,即从功能或行为级的描述自动生成正确的高性能指标的逻辑结构描述。更高级的自动化软件可以由行为级描述直接生成 IC 制造掩膜版。另一类是几何设计综合技术,它从电路的结构描述自动生成 IC 制造对应的掩膜版电路单元微结构。目前已有商用化的综合与设计自动化软件,如 Synopsys、COMPASS 等。

本书将在后面章节介绍 IC 设计验证方法及 CAD 工具特性,并讨论当今设计自动化的发展动向。

四、VLSI 设计的可测试性问题

对于 VLSI 电路设计而言,测试是一个十分重要的课题。测试的意义在于检查电路是否象设计要求那样正确工作,如果不是,则称对应电路为故障机。随着 VLSI 电路的功能日趋复杂,测试费用所占比例明显增大,有文献报道 ASIC 测试费用可占总设计费用的 50% 以上。为了减小测试验证所需资源,往往在电路设计阶段就要考虑其可测试性的问题。可测试性结构设计主要目的是增强测试的简易性,往往是在已有的逻辑设计基础上添加一点专用于测试的辅助电路,以使电路易于测试。

为了说明可测试性的问题,我们讨论以下电路的测试问题。

[例 1.1-1] 图 1.3 中 IC 内部包含一个存储器阵列,为了检查存储器工作的正确性,要求能够将该阵列隔离开来并直接由外部 I/O 端口对其进行测试。换言之,阵列存储单元的输入要能够直接接受芯片输入端控制,阵列单元的输出响应要能在芯片输出端口观测到。如果电路具有这种功能,就可以用较有效的方法完成对存储阵列的测验。

图中 A、B 块代表用于测试的辅助传输逻辑网络,它们用于实现内部阵列存储单元的可控制性和可观察性。合理的可测试性结构设计,可以在不明显增大芯片面积的同时大大减小制造后单个芯片测试时间,从而也降低了电路成本,同时也使得测试生成和阵列电路的验证大为简化。事实上,

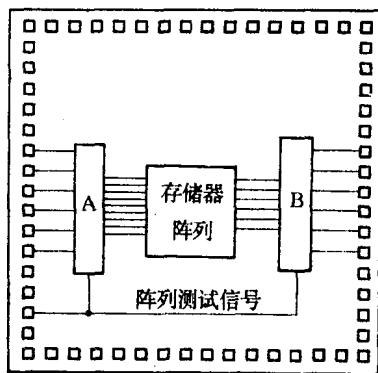


图 1.3 一种有效内部存储阵列测试方法

可测试性结构设计已成为 VLSI 设计的一个重要组成部分,本书将在第六章做进一步讨论。

1.2 VLSI 的层次式设计

数字 VLSI 系统设计是包含系统级、功能级、逻辑级的设计,且最终以产生芯片制造掩膜版为目标。因此,VLSI 设计中覆盖了电路与系统、微电子技术等多方面知识领域,是一个十分复杂的设计过程。

VLSI 设计方法学可以简化设计工作的复杂性。前面我们讨论设计正确性问题中已经提到,VLSI 设计的复杂性和设计正确性要求,决定了设计工作必须借助于 CAD 工具进行,而设计方法学旨在人工干预设计与设计辅助工具之间的交互过程中取得尽可能高的设计效率。

1.2.1 VLSI 设计一般形式

层次式设计是 VLSI 设计中最广泛使用的方法,层次式设计将设计目标划分为不同层次的级别,而针对设计对象的不同,又可以划分为几个不同的设计区域。图 1.4 给出层次式设计分布图。设计域的划分是针对不同的设计描述方式而确定的,它是具有相当抽象性的设计表示方法。

从图 1.4 可看出,通常的设计采用自顶向下的设计过程,即从一个行为概念开始,逐级建立越来越具体的层次结构,直至得到一个能够直接变换到电路实体的充分低的设计级,最高级

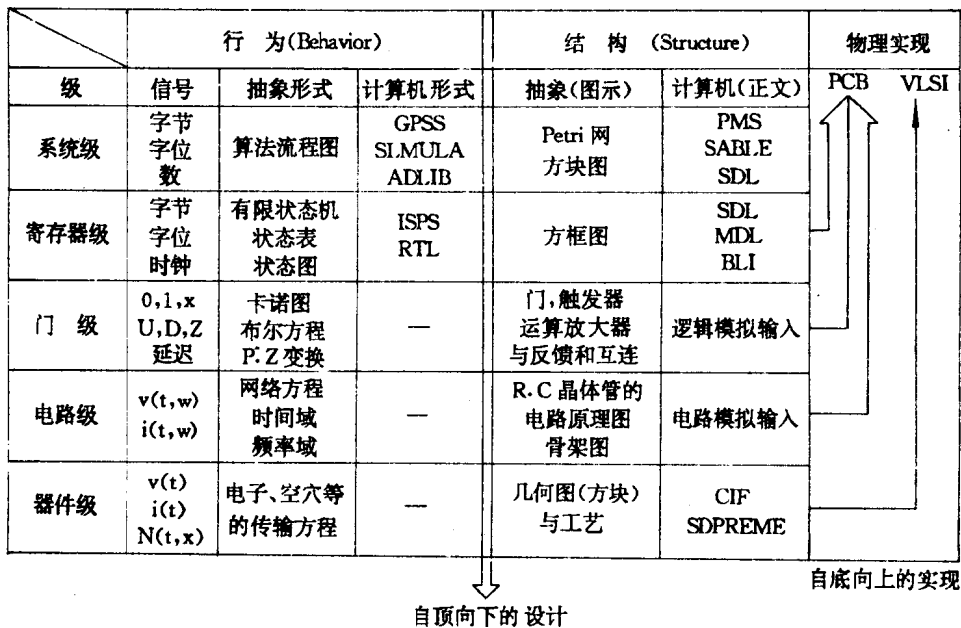


图 1.4 VLSI 的设计层次

的设计实现过程是以自底向上方式完成的。

行为域设计主要考虑集成系统完成什么样的功能,设计中不考虑具体用什么方式来实现这一功能。因此,它是限制因素最小、灵活性最大的一种设计。行为域设计中电路的具体要求(如功能、速度、成本等)可以表示为设计的约束条件或专家系统的设计规则。

结构域设计意在完成电路的具体构成,它是连接行为域设计与物理实现之间的桥梁。

几何域设计是设计的最后阶段,当设计进行到适当层次时,就要将结构变换成物理的版图。层次设计对印制板 PCB 设计是最合适的,如图 1.5(a)所示。在 PCB 设计中,大多数功能块可直接变换成相应的物理实体,即组件。它们的功能以及封装形式都是有明确定义的,设计中只要将这些组件在 PCB 上适当的划分、布局与布线即可。

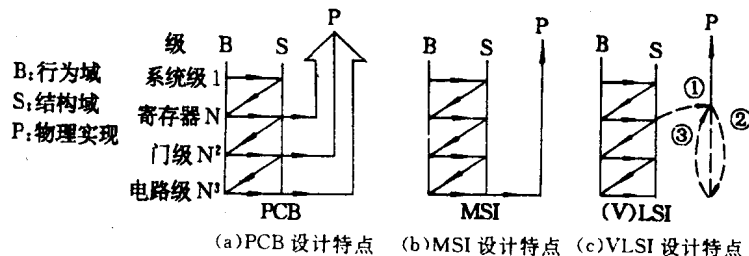


图 1.5 PCB、MSI 与 VLSI 设计特点

层次式设计对大规模 IC 也是合适的,也可采用自顶向下设计直至生成晶体管原理图的结构描述,最终由版图设计人员将电路原理图变换成拓扑几何图。设计过程如图 1.5(b)所示。

对于 LSI 或 VLSI 电路,由于集成度高,不宜直接细分到电路级。除此之外,在寄存器级设

计中,如图 1.5(c)所示,只知道部件之间的互连关系,而部件本身的几何尺寸只能估算。这一点与 PCB 设计是不同的,VLSI 设计是直至晶体管级的设计,只有在图 1.5(c)中虚线②实现之后,才确切知道它的几何与行为特征,这样才完成了虚线③的功能。

可以看出,VLSI 系统设计与 PCB 系统设计是不同的,芯片的整体结果与局部信息之间的依赖关系是非常紧密的,VLSI 整体性与局部设计密切相关。因此,VLSI 设计本质上是迭代的,要求频繁地调整。为此,人们正在开发面向对象的方法来解决这种设计复杂性问题。

层次式设计的具体实现与设计者选择的方法有关。在系统级设计中,设计者要考虑系统对外部的输入输出,并定义系统要完成的功能以及一般限制条件,如速度、功耗、面积、价格、驱动能力等等,并针对目标工艺研究设计的可行性。

系统级设计完成之后,设计者将设计划分为单独设计的更小部件,即设计划分。划分的基本原则是部件之间的连线要尽可能少。划分的方法有多种,可以按照部件的功能来划分,将相同类型的功能部件划分在一起;也可以按照通信的总线来划分;还可以按并行或串行部件来分组。

划分成单独设计的更小部件之后,将根据困难或限制的程度,把部件由难到易排序。一般设计是从最难的部件开始设计,理由是最难的问题解决之后,设计其余部分将是容易的。也可以按输入输出关系,从左到右或从上到下顺序选择设计部件。

1.2.2 单元电路层次式设计

以下我们以简单单元电路为对象,讨论集成电路自顶而下的层次式设计和实现芯片级电路设计的过程。对于一个复杂的数字 IC 设计来说,可将设计过程概括为以下六个主要步骤:

(1) 功能定义级:这一级要解决的是数字系统“做什么”的问题。一般来说要求设计人员与用户花一段时间集中精力研究分析要设计的系统“做什么”,然后以书面形式将这种共同理解表述出来,同时给出数字系统功能的具体要求,如速度、功耗、可靠性要求、开发费用和周期等等。

(2) 功能级(又称系统结构级):在精确定义用户要求后,设计人员通过系统设计将系统功能说明所定义的系统性能,转换为实现这些要求的子系统或模块的集合。子系统之间通过数据和控制流建立相互联系,从而给出要求设计的数字系统的粗略轮廓。系统设计还可以表示为构成所需功能的具体算法,如采用硬件描述语言描述系统行为。

(3) 寄存器传输级设计:将子系统或模块的描述转换成实现其功能的实际硬件,它主要以寄存器与组合逻辑功能单元为基本单元,设计中也可用硬件描述语言的逻辑式、状态机等手段描述,然后将这些硬件描述转换成以寄存器为基本单元的相应电路结构。

(4) 逻辑门级设计:将第(3)步生成的功能单元转换成只包含基本门与触发器的电路形式。

(5) 晶体管电路级设计:本级电路设计中,所有单元都以晶体管及其互连线表示。设计中除要保证功能单元的逻辑功能要求外,还要考虑实现该功能的具体电路形式和晶体管电学参数设计。

(6) 版图级设计:由基本单元的晶体管级电路生成 IC 制造中不同掩膜版的几何图形。

下面试用几个简单单元电路的设计过程说明层次式设计各层之间的转换。

[例 1.2-1] 设计一个减法器,它要完成的功能如下:

当 $x < y$ 时, $y' = y - x$

当 $x > y$ 时, $x' = x - y$

设计过程如下:

第一步:功能定义级设计,写出详细功能说明,本电路非常简单,可略。

第二步:功能级设计,以算法流程图方式描述电路要实现的功能。

IF $x < y$ THEN $y := y - x$

ELSE $x := x - y$

FI

第三步:由设计者手工设计实现上述功能的硬件框图。选择减法器逻辑框图如图 1.6 所示。

第四步:设计上面各功能单元的逻辑图。如图 1.7(a)所示。

第五步:设计晶体管电路,如图 1.7(b)所示。

第六步:根据单元的晶体管级电路图,设计单元版图。

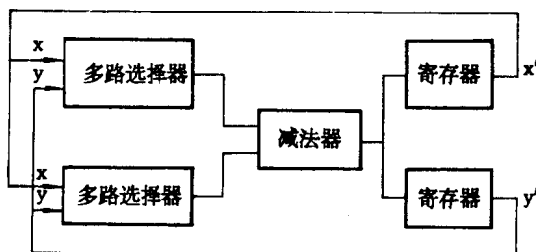


图 1.6 选择减法器逻辑框图

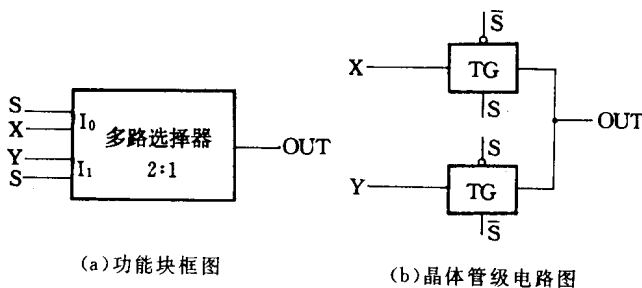


图 1.7 2 选 1 多路选择器的层次式设计图

[例 1.2-2] 一个专用比较器的层次式设计过程。

图 1.8 给出专用比较器层次式设计示意图,系统的功能定义包括要实现系统的基本要求和输入输出控制信号的数目。一旦系统行为描述清楚,就可根据行为描述规定设计系统的逻辑结构。图 1.8(b)为用算法流程图描述的系统行为,图 1.8(c)为根据算法流程图设计的硬件逻辑框图。然后可分别对各个模块进行逻辑级、晶体管级直到版图级的设计。

数字系统设计是一个自上而下的设计过程,但数字系统的实现则按相反顺序,即自底向上的集成过程。应该指出的是,自底向上集成并不是简单意义上的器件、子模块、模块之间的互连,随着集成层次的增加,要通过模拟和验证,判断设计是否达到预期目的和要求。一般的设计并非自顶向下线性进行,在下一级(晶体管、版图级)设计完成后才可以确切反映上一级(逻辑级)定义或描述的电路确切行为。只有对各层次级的设计不断地反复地修改和补充,才能制定出切实可行的方案。

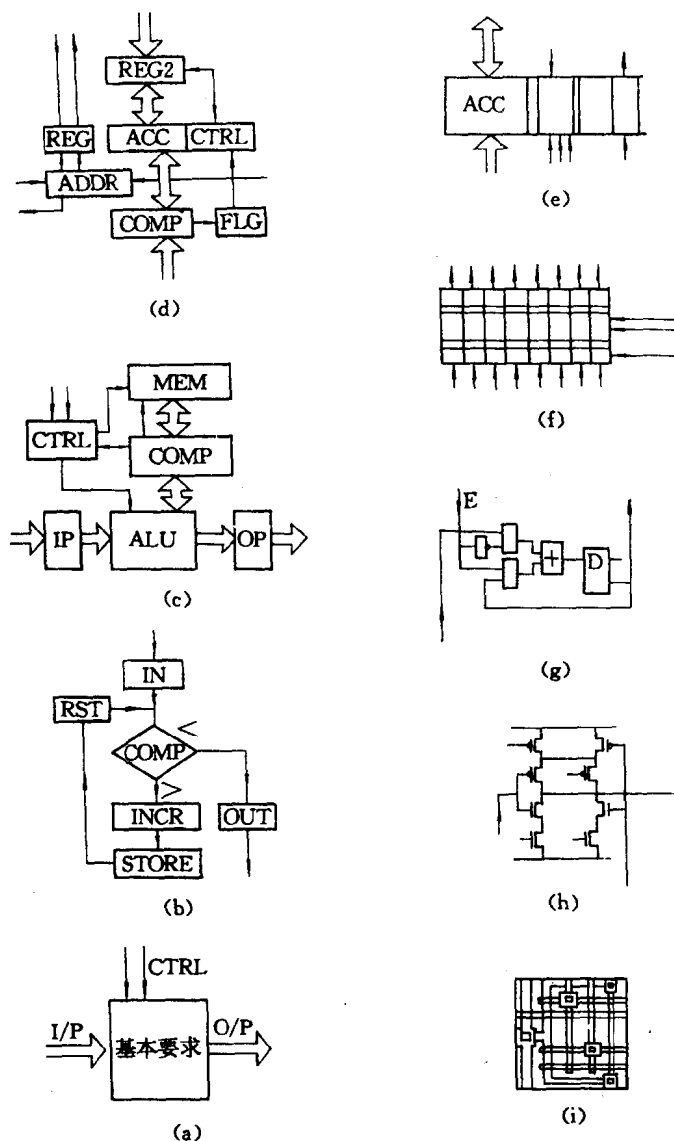
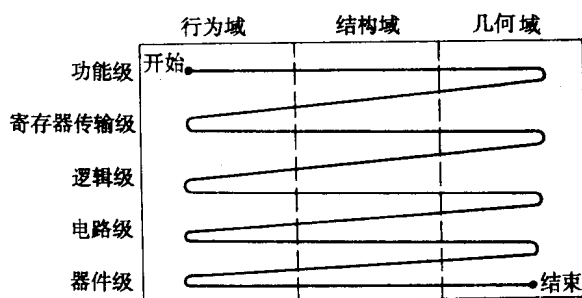


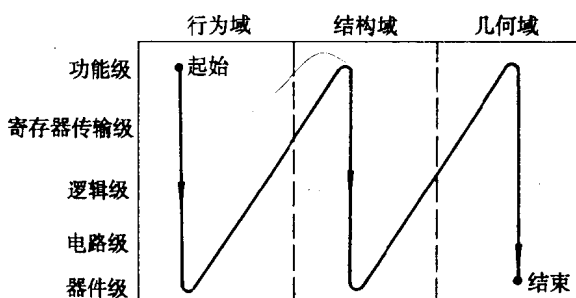
图 1.8 一个专用比较器的层次式设计示意图

1.3 VLSI 设计描述

图 1.9 给出 VLSI 设计分类域与层次级。VLSI 的设计任务就是要完成从图左上角到右下角的设计描述的转换。不同的设计方法可能有不同的设计步骤。图 1.9(a) 表示了一种自上而下的并行设计过程；图 1.9(b) 则分别自上而下地顺序完成功能域、结构域和几何域的设计。实际的 VLSI 设计过程中，不同的设计域之间可以存在交叠，但其设计过程可以概括为从行为描述到物理描述的一个变换。由于 VLSI 设计中行为设计、结构设计和几何设计都要用到，对应不同的设计便引进了三种不同的描述：行为(功能)描述、结构(逻辑)描述和物理(几何)描述。



(a) 自上而下的并行式设计过程



(b) 自上而下顺序完成行为域、结构域、几何域设计

图 1.9 VLSI 设计过程

1.3.1 行为描述

这里把功能描述看作是行为描述的同义词。在早期电路设计中,多以结构描述作为设计的开始,而在 VLSI 设计中,则多以行为描述作为设计的起点,这样可使设计者能以更加合乎习惯的顺序进程的方式进行思考,可以更容易地了解和表示设计问题。现代的设计系统的目的,是将行为描述的规范以极小的时间和极大的相似性,转换成一个系统的设计。在行为描述中,设计者着眼点放在芯片做什么,而不管用什么方法做出芯片。行为描述最广为接受的是系统级、寄存器传输级(算法级)和门级(布尔表达式级)。本书后面介绍的 VHDL 语言就是当今最流行的行为设计语言。

一个门的行为可由布尔表达式来定义,例如 $x = \bar{a}b + a\bar{b}$,它只指明了设计的功能,其输入是 a 和 b ,输出是 x 。该表达式没有说明有关芯片单元的实现或结构的任何信息,它仅仅是逻辑级上的一种与技术无关的行为规范,着重描述一个给定设计是如何响应一组输入的。还可以给出更高级的行为描述,如加法操作可用行为描述语言如下表示:

$$\text{Sum} = a + b$$

这里既没有指出相加的方法,也没有假定机器要具备的字长。更高级的行为规范可以指明设计中包含的寄存器以及它们之间的传送,但并不包含有关实现的信息。

概括起来,行为描述的基本特征是将芯片的外部表象和内部的具体实施分隔开来,即以黑盒表示其功能,而不管具体黑盒内部是怎样实现的。正因为行为描述具有系统功能与系统实施