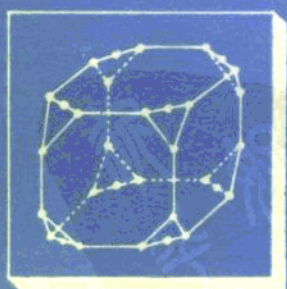
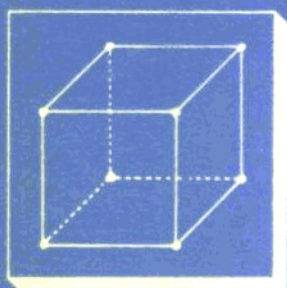
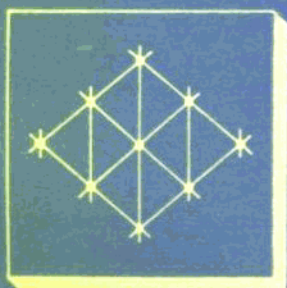
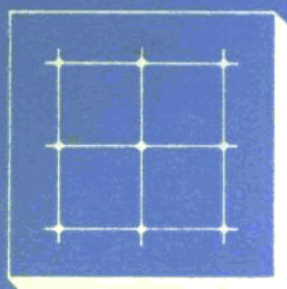
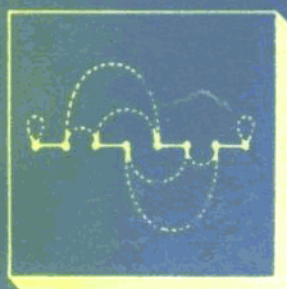


国家八六三计划资助项目

陈国良 陈 峻 编著

VLSI 计算理论 与并行算法



中国科学技术大学出版社

355389

VLSI 计算理论与 并行算法

陈国良 陈 峻 编著

国家八六三计划资助项目



中国科学技术大学出版社

1991·合肥

内 容 简 介

本书较系统、深入和全面地介绍了VLSI的计算理论及其并行算法,研究了VLSI的理论计算模型、面积和时间下界以及布局理论和布局方法;讨论了心动及波前阵列、树机、网孔和树网阵列、洗牌-交换网、超立方和立方环网以及蝶形网络等典型的VLSI计算结构上的各种数值计算、非数值计算和图论方面的一些算法;探讨了VLSI的算法映射理论和自动生成方法。书中取材内容具有一定的深度和广度,是国内出版的第一本关于VLSI计算理论与并行算法方面的专著和教材。

本书既可作为计算机科学与技术、电子和电气工程、无线电和自动控制专业的研究生和大学本科高年级学生的教材,亦可作为从事计算机科学理论和算法研究的科技人员的参考书。



VLSI计算理论与并行算法
陈国良 陈峻 编著

中国科学技术大学出版社出版

(安徽省合肥市金寨路96号, 邮政编码: 230026)

中国科学技术大学印刷厂印刷

安徽省新华书店发行

开本: 787×1092/16 印张: 19 字数: 490千

1991年6月第1版 1991年6月第1次印刷

印数: 1—3000册

ISBN 7-312-00310-9/TP·36 定价: 10.00元

前 言

随着 VLSI 集成度的大幅度提高、微处理器芯片功能的不断增强和价格的急剧下降,使得有可能采用大量的超大规模集成单元和微处理器芯片构成多处理器和多计算机系统来大大提高计算能力,于是酝酿和讨论了许久的并行处理技术终究找到了合适的硬件实现途径。但是由于 VLSI 阵列的专用性,过去人们对其实用价值往往持怀疑态度;然而现今人们已经清楚地认识到,以心动 (systolic) 方式和波前 (wavefront) 方式为代表的采用固定芯片所构成的高度并行 VLSI 处理器阵列系统,打破了传统的冯·诺依曼计算模式,可以高效地求解一大类问题,从而才充分地肯定了 VLSI 在并行计算系统中的作用与功效。时至今日,国际上对 VLSI 并行计算的研究方兴未艾,无论在理论上还是实践上都取得了一些重大进展。我国在这方面的研究也已受到学术界的重视,愈来愈多的人正在这一园地上辛勤耕耘,并取得了一些可喜的成果。

对 VLSI 并行计算的研究,一般涉及到计算理论、系统结构和并行算法等方面。计算理论的研究主要包括 VLSI 理论计算模型,面积和时间下界, VLSI 布局理论和典型计算图的结构布局法以及 VLSI 的算法映射理论和自动生成方法等;对 VLSI 系统结构的研究主要包括:处理器间的通讯方式、存储模块的分布、互连网络的灵活性及高速度,支持并行处理的系统软件及软硬件间的配合关系等;VLSI 并行算法的研究范围很广,主要包括各种典型的 VLSI 计算结构上的数值计算 (如矩阵运算等) 和非数值计算 (如排序、搜索等) 以及图论方面 (如连通分量、最小生成树等) 的一些 VLSI 并行算法。

随着 VLSI 并行计算研究的发展和深入,年年都涌现出数以百计的学术论文和研究报告。《VLSI 计算理论及并行算法》一书的写作目的与宗旨就是力图从这些纷繁的文献中,筛选出其中最基本的、最常用的且具有代表性的,同时又能反映本领域最新成就和学科前沿水平的材料,将其整理归纳成一个适合教学的完整的体系。

本书以作者为中国科学技术大学计算机专业研究生和本科高年级学生的讲授内容以及应邀在国内一些高等院校所作的专题报告和讲座的讲稿为基础,结合作者从事这方面研究的心得、体会,通过阅读有关专业文献,按照自己的理解,对其进行提炼、归纳,最后编著而成。书中取材内容具有一定的深度和广度,能不同程度地满足计算机科学与技术、电子与电气工程、无线电与自动控制等专业领域的读者的需要。

全书基本上可分为两大部分。第一部分包括前三章和第九章,除第一章外均属 VLSI 计算理论范畴。其中,第一章简单介绍 VLSI 电路设计基础及栅格计算模型,是属于基础篇;第二章讨论 VLSI 面积和时间下界及其在典型计算问题中的应用,是全书中理论性较强的部分,具有一定的难度;第三章主要介绍典型的 VLSI 计算图的结构布局法和 VLSI 布局理论,涉及到了一些有关图论方面的知识;第九章在较高的层次上讨论串行算法到 VLSI 阵列结构的映射理论及其自动生成问题。第二部分包括第四章到第八章,详细讨论了心动及波前阵列、树机、网孔和树网阵列、洗牌-交换网络、超立方和立方环网络以及蝶形网络等 VLSI 典型计算结构图上的各种并行算法。其中,第四章是其后几章的基础,涉及到 VLSI 并行计算机结构与并行算法的一些基本概念和设计基础;第五章主要讨论基本算术运算和数值计算方面的 VLSI 并行算法,包括数学表达式的计算与求值、多项式求值、矩阵运算和线性代数方程组的求解等;考虑到数字信号与图象处理是 VLSI 并行计算的一个重要应用领

域,第六章专门介绍了这方面所涉及到的各种数值问题的并行算法,包括卷积、滤波、一些常用的变换以及矩阵特征值、奇异值等问题;第七章讨论基于比较关系运算的一类称之为非数值计算的并行算法,包括上述典型计算结构图上的数据排序、传输和检索、插入、删除等词典操作方面的并行算法;第八章主要讨论 VLSI 计算模型上的一些简单图的 VLSI 算法,包括求传递闭包、连通分量、最短路径、最小生成树和求桥算法.附录 A 给出了算法复杂度表示法——“大-O”、“大- Ω ”和“大- Θ ”;附录 B 和 C 给出了具有重复输入和概率芯片的面-时下界;附录 D 给出了 Lipton-Tarjan 平面图分离集定理的详细证明.书末是算法索引.本书的第一、二、三、七、八章和附录部分由陈国良执笔,第四、五、六、九章由陈峻执笔.

本书的内容可作为计算机专业研究生和本科高年级大学生一学期的教材使用.对于专门从事计算机科学和算法理论研究的科技工作者,他(她)们可以选取各自感兴趣的章节深入的学习和研究.

在书稿撰写过程中,曾直接或间接地引用了许多专家、学者的文献,恕作者不能一一向他(她)们致谢.姚新、沈鸿、张永民、顾乃杰、梁维发、熊焰、唐锡南、刘小毛、王太权、蒋凡等同志,在资料收集方面作了大量的工作,他们在听取讲授中曾提出过可贵的意见,从而更加丰富和充实了本书的内容.对于他们的辛勤的劳动和良好的愿望,作者尤为感谢.扬州师范学院数学系对本书的出版给予了大力支持.本书得到了国家八六三计划资助,还部分地得到了江苏省教委自然科学基金的资助.

当国内深入、系统、全面阐述这方面内容的专著或教材尚为鲜见的时候,作者为能向国内广大读者奉献此书而感到高兴,但也深深感到,限于水平和时间仓促,书中定有不妥和错误之处,恳请读者批评指正.

作 者

1990年12月1日

目 录

前言	i
第一章 VLSI 电路设计基础及计算模型	1
1.1 集成电路和 Mead-Conway 设计规则	1
1.1.1 涂层及晶体三极管的形成	1
1.1.2 Mead-Conway 设计规则	2
1.2 逻辑电路及其电气特性	3
1.2.1 上拉晶体管	3
1.2.2 传送晶体管	4
1.2.3 恢复器	5
1.2.4 上拉和下拉逻辑	5
1.2.5 定时计算	6
1.3 VLSI 电路的抽象	7
1.3.1 模型在算法设计中的作用	8
1.3.2 电路的栅格模型	8
1.3.3 凸面假定	9
1.3.4 定时	9
1.3.5 层的数目	10
1.4 芯片制造过程及 VLSI 设计系统	11
1.4.1 电路图到掩模图的映射	11
1.4.2 芯片版图制作的主要阶段	12
1.4.3 用符号布局设计语言进行版图的人工布局	13
1.4.4 人机交互式布局设计系统	15
1.4.5 VLSI 布局设计语言	16
1.4.6 VLSI 设计系统中的算法问题	17
1.5 VLSI 计算模型	17
1.5.1 面积和时间假定	18
1.5.2 信号传播的数学模型及时延分析	18
1.5.3 结语	20
参考文献	21
第二章 VLSI 面-时下界理论及其应用	22
2.1 引言	22
2.1.1 VLSI 算法复杂性度量	22
2.1.2 问题和问题实例	22
2.1.3 时-空确定性	23
2.2 三种基本的下界论点	24
2.2.1 基于信息存储的面积下界(A -理论)	24
2.2.2 基于输入/输出流的面-时下界(AT -理论)	25

2.2.3 基于内部信息流的面-时下界(AT^2 -理论)	26
2.3 信息流和穿越序列	26
2.3.1 信息的概念	27
2.3.2 穿越序列	29
2.3.3 电路外形和焊点位置对下界的影响	31
2.3.4 AT^2 下界的几何证明法	32
2.4 基于计算摩擦的面-时下界	33
2.5 左移位下的下界	34
2.5.1 左移位芯片的 AT^2 下界	34
2.5.2 归约和传递函数	36
2.6 两个矩阵相乘的下界	38
2.7 整数加法的下界	40
2.8 排序问题的下界	42
2.8.1 VLSI 排序的面积下界	42
2.8.2 VLSI 排序的 AT^2 下界	43
2.8.3 VLSI 排序的 $AT/\log A$ 下界	44
参考文献	45
第三章 VLSI 布局	46
3.1 引言	46
3.2 典型计算图的结构布局法	46
3.2.1 树的布局	46
3.2.2 网孔和树网的布局	48
3.2.3 洗牌-交换网的布局	49
3.2.4 立方环的布局	52
3.2.5 蝶形网络的布局	54
3.3 典型计算图的布局下界	55
3.3.1 树的布局下界	55
3.3.2 树网的布局下界	57
3.3.3 洗牌-交换网的布局下界	60
3.3.4 蝶形网络的布局下界	60
3.4 分治布局法	61
3.4.1 分离集	61
3.4.2 强分离集	63
3.4.3 通道生成	65
3.4.4 分治布局法	66
3.5 VLSI 布局理论	68
3.5.1 平面图的分隔定理	68
3.5.2 图的交叉点数	69
3.5.3 布局下界定理	71
参考文献	71

第四章 VLSI 并行结构与并行算法	72
4.1 VLSI 并行结构及其特点	72
4.1.1 VLSI 并行计算机系统结构	72
4.1.2 VLSI 并行结构的特点	74
4.2 心动阵列及波前阵列	75
4.2.1 心动阵列	75
4.2.2 波前阵列	78
4.3 VLSI 并行结构设计的层次与阶段	80
4.4 VLSI 并行算法设计基础	81
4.4.1 VLSI 并行算法的评估参数	81
4.4.2 数据相关及其对并行性的影响	83
4.4.3 对串行程序发掘并行性的基本方法	84
4.4.4 VLSI 并行算法的表达	87
参考文献	88
第五章 基本数值计算的并行算法	90
5.1 数学表达式的并行计算	90
5.1.1 求两个多项式的最高公因式	90
5.1.2 多项式求值	96
5.1.3 k 阶递推问题的并行计算	99
5.2 矩阵相乘	101
5.2.1 矩阵与向量相乘	101
5.2.2 二维正方形阵列上的矩阵乘法	105
5.2.3 二维六角形阵列上的矩阵乘法	108
5.2.4 立方体连接的阵列上的矩阵乘法	111
5.3 方阵的分解与求逆	114
5.3.1 方阵的 LU 分解	114
5.3.2 对称方阵的 Cholesky 分解	118
5.3.3 方阵求逆	121
5.3.4 六角形阵列的设计	123
5.4 线性方程组求解与矩阵的三角化	125
5.4.1 三角方程组的求解	125
5.4.2 用 Gauss 消去法进行三角化	129
5.4.3 正交三角化方法	133
5.4.4 超定线性方程组的最小二乘解	135
5.5 进行矩阵运算的多功能阵列	135
5.5.1 Faddeev 算法	136
5.5.2 实现 Faddeev 算法的阵列	138
5.5.3 Faddeev 算法在向量运算中的应用	138
5.5.4 改进的 Faddeev 算法	140
5.6 在固定大小的阵列上解决大型计算问题	141

5.6.1 模拟方法	141
5.6.2 分解方法	145
参考文献	152
第六章 数字信号处理中数值计算的并行算法	154
6.1 卷积	154
6.1.1 一维卷积	154
6.1.2 二维卷积	157
6.2 数字滤波	160
6.2.1 无限冲激响应(IIR)滤波器	160
6.2.2 中值滤波器	162
6.3 傅里叶变换	164
6.3.1 离散傅里叶变换(DFT)	164
6.3.2 快速傅里叶变换(FFT)	165
6.4 用 Hough 变换检测曲线	171
6.5 Toeplitz 方阵的分解	173
6.6 方阵的特征值与特征向量	177
6.6.1 并行 QR 算法	178
6.6.2 并行 Jacobi 方法	179
6.7 矩阵的奇异值分解	186
6.7.1 并行 Jacobi 方法	186
6.7.2 并行 Hestenes 方法	189
参考文献	197
第七章 VLSI 计算模型上的非数值计算的并行算法	198
7.1 基本的 VLSI 电路模块	198
7.1.1 Batcher 比较器	198
7.1.2 程控单元	199
7.1.3 心动单元	199
7.1.4 处理器	199
7.2 VLSI 计算模型上的排序算法	200
7.2.1 Batcher 双调排序网络的 VLSI 实现	200
7.2.2 二维方阵上奇偶排序算法	202
7.2.3 树网上的枚举排序算法	204
7.2.4 立方环结构上的双调排序算法	206
7.2.5 蝶形网络上的奇偶排序算法	210
7.2.6 洗牌-交换和超立方网络上的算法	213
7.3 VLSI 并行计算中的数据传输算法	214
7.3.1 置换选路算法	214
7.3.2 超立方网络上的选路算法	215
7.3.3 数据分布算法	216
7.3.4 多到一选路算法	219

7.4 VLSI 模型上的词典操作	220
7.4.1 词典机和词典操作	220
7.4.2 心动搜索树上的词典操作	221
7.4.3 网孔结构上的词典操作	223
7.4.4 洗牌-交换网上的词典操作	224
7.4.5 立方环上的词典操作	226
7.5 心动阵列上的字符串模式匹配	229
7.5.1 字符比较器阵列实现的模式匹配	229
7.5.2 位比较器阵列实现的模式匹配	231
参考文献	231
第八章 VLSI 计算模型上的图论算法	233
8.1 图的传递闭包算法	233
8.1.1 传递闭包问题	233
8.1.2 Guibas-Kung-Thompson 传递闭包算法	234
8.1.3 算法的正确性和复杂度	235
8.2 图的连通分量算法	236
8.2.1 Hirschberg 用顶点合并法找连通分量	236
8.2.2 一维心动阵列上的 Savage 连通算法	237
8.2.3 树机上的 Lipton-Valdes 连通算法	239
8.2.4 树网结构上的连通算法	242
8.2.5 Mayr-Siegel 连通算法	244
8.2.6 二维心动阵列上的连通与强连通算法	247
8.3 图的最短路径算法	249
8.3.1 利用 GKT 算法求顶点间最短路径	249
8.3.2 利用矩阵乘法求点对间最短路径	249
8.4 图的生成树算法	250
8.4.1 广度优先生成树算法	250
8.4.2 Bentley 最小生成树算法	251
8.5 图的求桥算法	253
参考文献	254
第九章 VLSI 阵列算法的自动生成	256
9.1 引言	256
9.2 算法映射问题的理论基础	256
9.2.1 计算集	257
9.2.2 时空集	257
9.2.3 心动阵列的性质	259
9.3 变换方法	260
9.3.1 VLSI 阵列的数字模型	260
9.3.2 算法的数字模型	261
9.3.3 选择正确的变换	262

9.4 几何方法	265
9.5 代数方法	266
9.5.1 算法的 Z 图表示	268
9.5.2 Z 图的代数表示	269
9.5.3 Z 图间的等价变换	270
9.5.4 k -延迟 Z 图	271
9.5.5 代数方法的一般过程	272
9.6 参数方法	275
9.6.1 心动阵列中的参数	275
9.6.2 心动阵列设计的优化	276
9.6.3 参数方法的一般过程	277
参考文献	280
附录 A 复杂度表示符号——“大- O ”、“大- Ω ”和“大- Θ ”	282
A.1 大- O 及其运算	282
A.2 大- Ω 和大- Θ	282
附录 B 具有重复输入的面-时下界	283
B.1 关于重叠划分的信息流	283
B.2 基于信息流的面积和时间	284
附录 C 概率芯片的面-时下界	286
附录 D Lipton-Tarjan 平面图分离集定理	289
D.1 平面图的同心圆表示	289
D.2 平面图的分离集定理	291
算法索引	293

第一章 VLSI 电路设计基础及计算模型

本章主要讨论NMOS电路的基本知识和Mead-Conway设计规则；电路的栅格模型和栅格模型中的层数定理；芯片的制作过程和版图设计语言 CIF 以及 VLSI 的理论计算模型。本章的侧重点不在于 VLSI 制作工艺，而试图从 VLSI 计算的角度介绍一下 VLSI 电路设计的某些基本知识。对于那些不太熟悉参考文献 [1]或参考文献[2]的第一章的读者，阅读本章是有益处的。

1.1 集成电路和 Mead-Conway 设计规则

1.1.1 涂层及晶体三极管的形成

集成电路是由涂敷在一个薄圆片（通常是硅晶片）上的一些导电材料构成的。有许许多多的材料可以形成这样的涂层（Layer）。不同的材料及其不同的沉积（depositing）方法可以形成不同的工艺技术，其中最为常见者就是 NMOS(negative-channel metal oxide semiconductor)，它有三个涂层：依次是扩散层(diffusion)、多晶(硅)层 (polysilicon)和金属层(metal),分别用兰色、红色和绿色，或者用密集圆点、斜阴影线和水平阴影线表示之。相应地三个涂层上的导线（wire）亦分别用点划线、虚线和实线加以区分（如图 1.1 所示）。



图 1.1 三层不同的标示方式

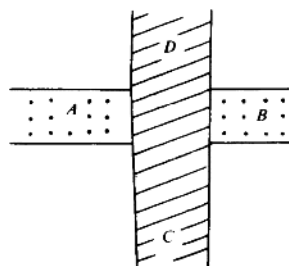


图 1.2 晶体三极管

三个涂层之间存在着一些差别：实际制造时，首先涂在薄圆片上的是扩散层，其次是多晶层，最后是金属层。当多晶层在扩散层上穿过时就形成了一只三极管（如图 1.2 所示），其中多晶覆盖部分称为门(gate)，被多晶覆盖的扩散部分称为沟道(channel)。如果在多晶中，导线 C、D 两端施加足够高的电压，则电流可沿扩散层中导线从 A 到 B 或从 B 到 A 流动。但多晶层中导线或扩散层中导线之电流不受金属层导线端电压的影响。这就意味着，三个涂层之间的相互作用仅仅发生在多晶层和扩散层之间，而金属层中导线可以跨越多晶层或扩散层中的导线而不会相互影响。此外，三个涂层间的差别还表现在它们对信号的传输上。扩散层导线具有的电容比多晶层和金属层的大，而多晶层和扩散层导线所具有的电阻值比金属层的要高得多。信号从导线的一端传输到另一端所花费的时间与其单位长度的电阻、单位长度的电容和导线长度的平方成正比。所以对于一个给定的电压和电流源而言，信号在金

属层中传输速度比在多晶层中的传输速度要快,而信号在多晶层中传输的速度比在扩散层中的传输的速度要快。

1.1.2 Mead-Conway 设计规则

由于薄片上的涂层的最小距离会逐渐地收缩,所以所有集成电路的设计都不用绝对尺寸来表示距离,而代之以引入一个参数 λ ,它是一个基本的长度单位,表示涂层的可能的最大收缩量。所有的设计参数均表示为 λ 的倍数。 λ 的有限值限制了导线的宽度,其值和集成电路制造工艺有关。80年代初的工艺水平, λ 为 $2\mu\text{m}$ 左右($1\mu\text{m}=10^{-6}\text{m}$)。

1980年,Mead和Conway提出了一些对于简化集成电路设计有着重要意义的普遍规则,其中主要的可概括如下:

① **最小线宽**:多晶(层)导线和扩散(层)导线的宽度至少为 2λ ;金属导线宽度至少为 3λ 。

② **最小线距**:多晶导线之间必须间隔 2λ ;扩散导线之间必须间隔 3λ ;金属导线之间必须间隔 3λ ;多晶和扩散导线之间,如果不希望形成晶体管,也必须至少间隔 λ (因为如果扩散和多晶导线离得很近,那么 λ 的偏移会导致多晶完全覆盖了扩散层从而形成一只晶体管);金属导线与多晶导线或扩散导线之间的间隔没有限制。图1.3示出了各种导线宽度和间距的规则。

③ **晶体管的形成**:如果我们要用多晶导线和扩散导线形成一个晶体管,则多晶导线必须至少超出扩散导线 2λ (如图1.4所示)。因为如果多晶超出得少了一些,在扩散的一端伸展一个 λ ,而多晶一端收缩一个 λ ,则有可能扩散就有一小部分没有被多晶覆盖,从而电流就永远不会被切断。

④ **接点规则**:三个涂层的导线是通过接点(contact)来连接的,金属层和其它两层之间的接点基本上是相同的。如图1.5(a)所示,在一个 $4\lambda \times 4\lambda$ 的方块中开有一个 $2\lambda \times 2\lambda$ 的接触切面(contact cut)将金属层和多晶层相连。金属层和扩散层之间的接点也是如此。多晶层和扩散层的连接较为复杂。Mead和Conway曾在1980年提出了一种称之为“邻接连接”(butting contact)的方法,如图1.5(b)所示,上方是 $4\lambda \times 4\lambda$ 的扩散区,下方是 $3\lambda \times 4\lambda$ 的多晶区,在 $4\lambda \times 6\lambda$ 的金属矩形中开有一个 $2\lambda \times 4\lambda$ 的接触切面,这样就形成了一个邻接连接。连接扩散层和多晶层的另一种方法是“埋植连接”(buried contact)法,如图1.5(c)所示,中间是 $2\lambda \times 2\lambda$ 的多晶和扩散的重叠区,周围是一个 $6\lambda \times 6\lambda$ 的称之为埋植连接的涂层区域。

Mead和Conway对接点的规定除了包含在图1.5中的外,还规定:接触切面或埋植连

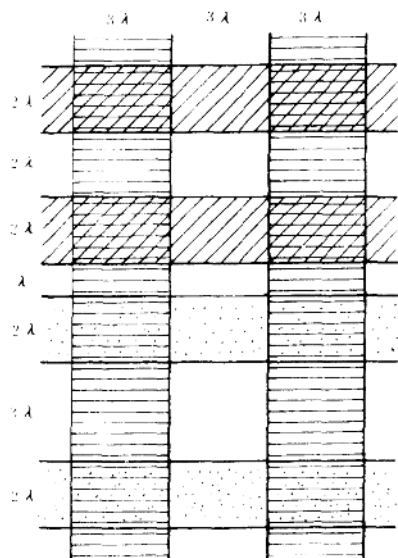


图1.3 线宽和间距规则

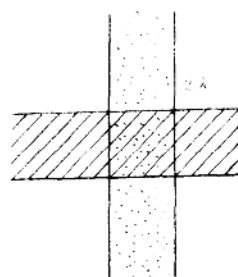


图1.4 晶体管形成规则

接区域不能靠得太近，应超过 2λ ；接触切面的宽度应尽量的小，通常不超过 2λ 。此外，三层中的导线宽度无上限。设计电路时，应该记住，有关各涂层中的导线规则对接点也适用。例如，两个金属-多晶的接点电气连接也必须至少间隔 3λ 。

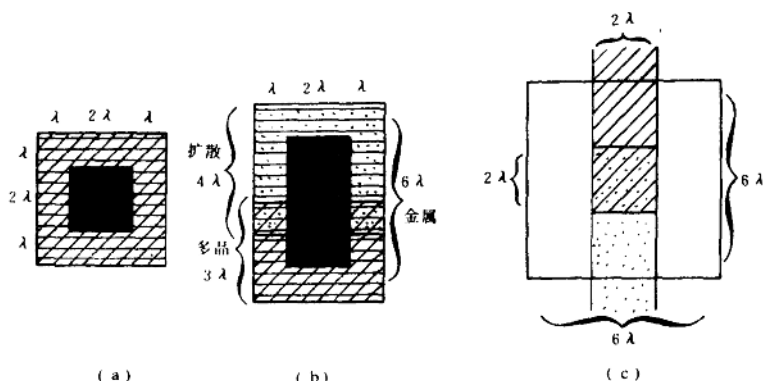


图 1.5 (a)金属和多晶层的连接；(b)多晶和扩散层的“邻接连接”；(c)多晶和扩散层的“埋植连接”

⑤ I/O 通路：向芯片送入或取出数据时要经由一个称之为焊盘(点) (pad) 的相当大的金属区域，它通常环绕电路的四周。将焊盘作得足够大，以便于它与细导线的连接。80 年代初，焊盘的宽度为 100λ 。

⑥ 电源和地线：电源和地线都必须是金属，且不能相交。由于必须运载大电流，所以电源和地线的宽度至少应大于 3λ 。经验的数据是 1 个 λ 宽的导线可为 10 个普通尺寸的上拉管供电。

1.2 逻辑电路及其电气特性

1.2.1 上拉晶体管

在制造 NMOS 电路中有一种重要的结构，即上拉晶体管 (pullup transistor)。它的作用可通过图 1.6 所示的与非门电路来说明。假定图中 C 点和 V_{DD} 之间的电阻远远大于三极管的电阻。当 A 端或 B 端的电压为低时，由 A 或 B 形成的三极管将截止，C 点电压接近于电源电压 V_{DD} ，即输出为高电平；当 A 端和 B 端的电压全为高时，两个三极管均通导，由于三极管的通导电阻远远小于 C 点和 V_{DD} 之间的电阻，所以 C 点的电压接近于地电压，即输出为低电平。这样图 1.6 就实现了与非门的功能。但在 NMOS 中，制做一个电阻并非容易，解决的办法是做一只晶体管来代替电阻，该晶体管必须：①其阻值应比 A 和 B 所形成的晶体管之阻值要大得多；②它总是处于通导状态且独立于 C 的

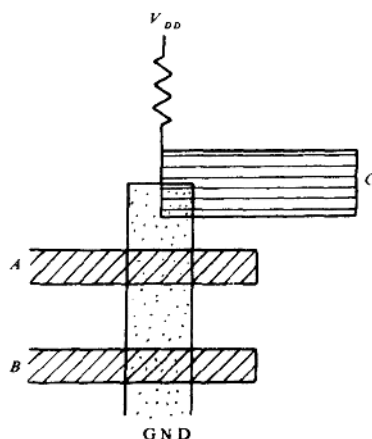


图 1.6 与非门

电压. 为了满足条件①, 我们将这种晶体管做成象图 1.7 (a) 那样具有高阻值的三极管; 而将三极管 *A* 和 *B* 做成象图 1.7 (b) 那样具有低阻值的三极管. 为了满足条件②, 我们在该晶体管上覆盖一个称之为注入层 (implant) 的新层. 具有注入层的晶体管, 就称之为耗尽型 (depletion mode) 晶体管; 没有注入层的普通晶体管则称之为增强型 (enhancement mode) 晶体管. 除了在该晶体管上覆盖注入层外, 我们还在 *C* 点涂上多晶层, 并把多晶层和扩散层彼此连接起来. 这样形成的三极管我们就称其为上拉管; 而作为逻辑门输入的二极管 (*A* 和 *B*) 则称其为下拉管 (pulldown). 在直观上, 上拉管使 *C* 点电压抬高; 而下拉管通过接通将输出电压拉低. 为了使电路能正常工作, 上拉管电阻必须至少是下拉管最大电阻的 8 倍. 图 1.8 是使用上拉管的细化了的图 1.6, 其中“云状”部分为注入层.

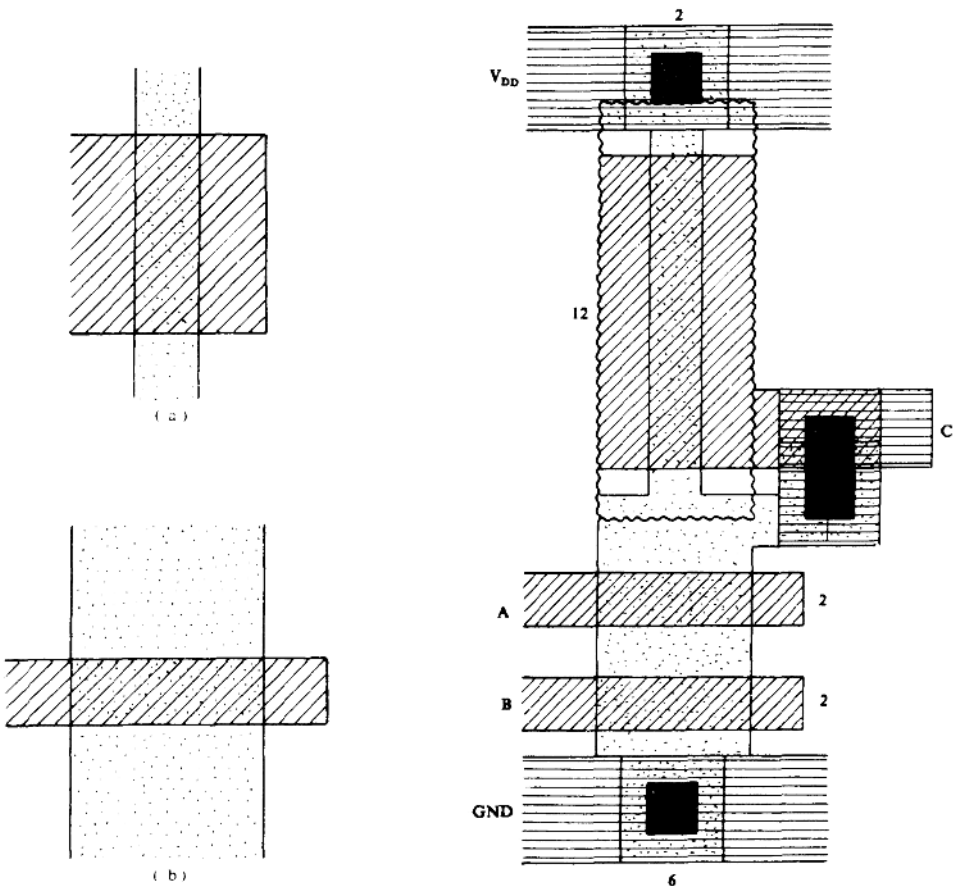


图 1.7 (a)高阻值的晶体管
(b)低阻值的晶体管

图 1.8 细化了的图 1.6

1.2.2 传送晶体管

许多逻辑功能都可以用 NMOS 的一个网络来实现, 该网络是由一些称为传送晶体管

(pass transistor)所组成. 它们就是些由多晶和扩散导线交叉形成的简单三极管, 和上节所说的下拉管在物理上是相同的, 其区别仅在于它们在电路中所起的作用.

传送晶体管, 顾名思义, 它断开或接通组合网络中的逻辑门, 以决定电流是否可从一点传送到另一点. 当逻辑门相串时, 传送晶体管可实现“与”逻辑; 相并时则可实现“或”逻辑. 图 1.9 是实现异或逻辑的传送晶体管网络. 电流从 X 流向 Y , 当且仅当 A 或者 B 有一个为高电压时. Mead 和 Conway 对传送晶体管网络所作的规定是, 网络的输出不能直接馈给另一个网络的输入, 以避免逻辑电平的不匹配.

1.2.3 恢复器

为了保证传送过程中逻辑电平的正常值, 我们可以使用恢复器 (restorer)来满足 Mead 和 Conway 对传送晶体管网络的要求. 当信号通过一个传送晶体管之后, 它就变成了一个上拉/下拉管网络的输入, 如其为高, 则必须把它恢复到 V_{DD} . 如果我们要想恢复一个低于 V_{DD} 的电平信号, 则必须使用一特殊电路来进行恢复. 最简单的恢复器就是一对相串联的反相器. 如图 1.10 所示, 如果第一个反相器的输入为高, 那么第二个反相器的输出不仅为高且正好是 V_{DD} , 因为第二个反相器的下拉管之电阻为无穷大.

1.2.4 上拉和下拉逻辑

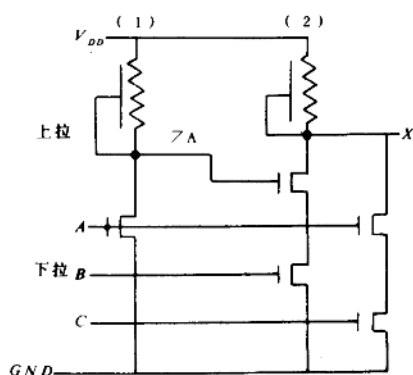


图 1.11 实现 $X = (\neg A + \neg C)(A + \neg B)$ 的上拉和下拉逻辑网络

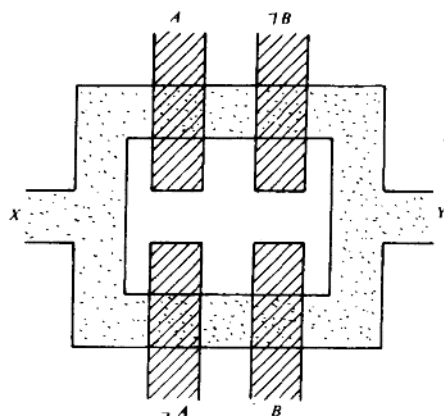


图 1.9 实现异或逻辑的传送晶体管网络

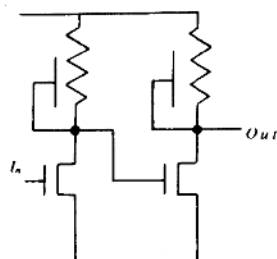


图 1.10 反相器对用作恢复器

一种构成逻辑网络的方法是使图 1.6 一般化, 具体作法是: 一根导线连到通有电源电压 V_{DD} 的焊点上; 下面是一个或多个上拉管; 每个上拉管的下面是一个由下拉管所组成的网络; 所有下拉网络的底部都连到一根通向地线 GND 的焊点上. 如此一来, 一个上拉管及其所连接的若干个下拉管就形成了一个逻辑门, 其输入端就是各下拉管的输入线, 输出是上拉管和下拉管网络之间的点. 如果从上拉管的底部到地有一条通路的话, 则输出为低, 反之为高. 因此上拉管电阻与下拉网络的电阻之比一般至少为 8:1, 特殊情况可为 4:1. 图 1.11 示出了一个三输入的上拉和下拉逻辑网络.

1.2.5 定时计算

定时计算主要讨论如何确定信号在 VLSI 电路中的传播速度。此传播速度主要取决于电容和电阻。层电容是估量该层的一个 λ^2 面积上其电压由低变高或由高变低必须提供或泄放掉的电荷；而层电阻乃是增减电流时所遇到的阻碍，电阻越大，在给定的时间内通过的电荷就越少。注意，电容是用绝对面积来度量，而电阻是用每方块欧姆来度量的。

层电阻和电容不仅取决于 λ 的值，而且还与制作芯片所使用的特殊过程有关。表 1.1 是 1980 年 Mead 和 Conway 所给出的有关电阻、电容的典型数值 ($\lambda = 2\mu\text{m}$)。从表 1.1 我们可以看到，沟道的电阻远远大于任何一层的电阻（即使三极管处于通导状态也是如此），而且沟道的电容也是大于任何一层的电容。

表 1.1 典型电阻电容值($\lambda = 2\mu\text{m}$)

物质	每方块电阻(Ω)	每 λ^2 电容(F)
沟道	10^4	2×10^{-15}
金属	0.05	4×10^{-17}
多晶	50	5×10^{-17}
扩散	10	10^{-16}

由于精确的定时分析涉及到大量的工作，所以我们可以把传播信号所花费的时间定义为电流通过时的电阻和电流流进流出整个结电容的乘积。严格地讲，这种估算是不精确的。

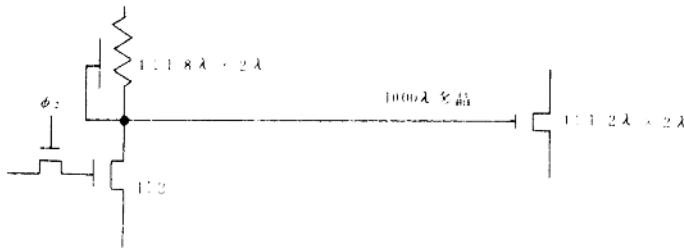


图 1.12 信号的长线传输

现在让我们来计算一下图 1.12 的信号传播时间。其中反相器的输出通过 1000 λ 长的多晶导线进入一个小的三极管门。假定多晶导线的最小宽度为 2λ ；小三极管门是 $2\lambda \times 2\lambda$ ；反相器的下拉管有一个长：宽 = 1：2 的沟道；而其上拉管有一个长：宽 = 4：1 的沟道。

1) 上拉管开关时间的计算：

假定反相器的下拉管由于时钟 Φ_2 的作用使其由通导变为截止，于是其输出为高，此高电平信号沿着 1000 λ 的长线传向右边的小三极管门。因为下拉管的电阻较小，所以可以忽略其开关过渡时间。下拉管电压变高时，我们要计算阻碍电流流通的上拉管的沟道电阻和电流进入上拉管的沟道电容：由于沟道是 4 个方块，所以沟道总电阻 = $4 \times 10^4 \Omega$ ；而上拉管的沟道面积为 $8\lambda \times 2\lambda = 16\lambda^2$ ，所以上拉管的沟道电容 = $16 \times 2 \times 10^{-15} \text{F}$ 。因此，上拉管的开关时间估算值为 $4 \times 10^4 \times 3.2 \times 10^{-14} \text{s} = 1.2 \times 10^{-9} \text{s} = 1.2 \text{ns}$ 。

2) 信号传播时间的计算：

上面已计算过，上拉管的沟道电阻 = $4 \times 10^4 \Omega$ ；长线电阻的方块数 = 500，所以阻值 = $500 \times 50 = 2.5 \times 10^4 \Omega$ ；多晶长线的电容 = $1000 \times 2 \times 5 \times 10^{-17} = 10^{-13} \text{F}$ ；小三极管的沟道面