

CMOS

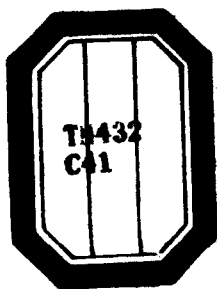
集成电路设计

陈贵灿 邵志标 程 军 林长贵

西安交通大学出版社

CMOS 集成电路设计

陈贵灿 邵志标 程 军 林长贵



西安交通大学出版社
·西安·

内容简介

本书从系统级芯片(SOC)设计的需要出发,介绍 CMOS 模拟集成电路和 CMOS 数字集成电路的设计,内容包括:集成电路设计概论;CMOS 工艺及版图;MOS 晶体管与 CMOS 模拟电路基础;COMS 数字电路中的基本门电路;模拟系统设计;数字系统设计;硬件描述语言 VHDL 基础。

本书可作为高等理工科院校电子、通信、计算机等专业高年级本科生及硕士研究生教材,也可供从事 CMOS 集成电路设计工作的科研人员参考。

图书在版编目(CIP)数据

CMOS 集成电路设计/陈贵灿等编著. — 西安:西安交通大学出版社,1999.9
ISBN 7-5605-1148-1

I. C… II. 陈… III. CMOS 集成电路-设计 IV. TN432

中国版本图书馆 CIP 数据核字(1999)第 40661 号

*

西安交通大学出版社出版发行
(西安市咸宁西路 28 号 邮政编码:710049 电话:(029)2668316)
蓝田县立新印刷厂印装
各地新华书店经销

*

开本:787mm×1 092mm 1/16 印张:20.625 字数:497 千字
2000 年 2 月第 1 版 2000 年 2 月第 1 次印刷
印数:0 001~3 000 定价:25.00 元

若发现本社图书有倒页、白页、少页及影响阅读的质量问题,请去当地销售部门调换或与我社发行科联系调换。发行科电话:(029)2668357,2667874

前言

科学技术飞速发展的今天,各学科相互促进、相互渗透、相辅相成。集成电路(integrated circuit, IC)设计的知识和技术已涉及了电路与系统、计算机和微电子技术等多学科的知识,尤其是在系统级芯片(system on a chip, SOC)中,单个芯片包含了复杂的数字电路和模拟电路,能实现整个系统的功能。IC 设计的知识已成为电子信息领域科技人员所必备的知识。

本书从系统级芯片(SOC)设计的需要出发,介绍模拟 IC 和数字 IC 的设计。由于 CMOS 电路具有低功耗等优点,CMOS 工艺早已成为数字 IC 的主流工艺;由于开关电容电路的出现,CMOS 电路也能实现模拟电路和系统。而且 CMOS 生产工艺因其技术的进步也已成为模拟 IC 的主流工艺。也正因为如此,才出现了 SOC。因此,本书只讨论 CMOS 电路的集成电路设计的内容。在模拟 IC 中,CMOS 电路设计与双极晶体管(BJT)电路的设计有许多相同之处,只是前者多了一个可供选择的自由度,即器件的几何尺寸。因为 CMOS 电路的小信号性能,不仅像 BJT 电路一样,依赖于直流变量,而且依赖于 MOS 管的宽长比。

本书的内容包括 CMOS 模拟 IC 和数字 IC 的基本单元、子电路和有关系统,这在第 3 章至第 6 章中讨论。考虑到非微电子技术专业人员的需要,在第 2 章中介绍 CMOS 工艺及版图知识。由于硬件描述语言在数字系统设计中的重要性,第 7 章专题介绍 VHDL 语言的基础知识。

本书第 3 章和第 5 章由陈贵灿编写,第 2 章和第 4 章由邵志标编写,第 7 章由程军编写,第 6 章由林长贵编写,第 1 章由程军、陈贵灿编写,全书由陈贵灿、邵志标主编。西安交通大学朱秉升教授审阅了全文,并提出了宝贵意见,李国正教授也对本书编写提出了许多宝贵意见。本书在编写过程中,得到西安交通大学教务处的的大力支持,得到了西安交通大学微电子研究所和西安交通大学出版社有关同志的帮助,在此一并表示由衷的感谢。

为便于读者阅读,特对本书所使用的物理量符号及电路符号做如下说明:

1. 本书中所使用的电压、电流和电阻等电气参量遵循以下规定:大写字母为下标的大写字母符号表示其总变量的瞬态值(如 I_D , V_{OUT});小写字母为下标的小写字母符号表示其小信号值(如 i_d);小写字母为下标的大写字母符号表示其静态值(如 I_d)。例如, $I_D = I_d + i_d$ 。但对电压的小信号值作特殊规定,以小写字母为下标的大写字母表示小信号值(如 V_{out})。

2. 由于目前在集成电路研究、设计、制造中广为接受的仍然是国外标准,为便于读者阅读和进行学术交流,本书的电子线路图基本上采用国外通行标准。书末附有国内外常用数字逻辑电路符号对照表,供读者对照查阅。限于水平和经验,书中难免存在缺点和错误,殷切希望读者指正。

编者

1999 年 4 月

前言

第 1 章 集成电路设计概论

1.1 集成电路(IC)的发展	1
1.2 IC 的设计要求	2
1.3 IC 的分类及其制造工艺	3
1.3.1 IC 的分类	3
1.3.2 IC 的制造工艺	4
1.4 电子设计自动化(EDA)技术的发展	4
1.5 VLSI 的层次化、结构化设计	6
1.5.1 VLSI 设计的描述域和层次	6
1.5.2 行为描述	8
1.5.3 结构描述	9
1.5.4 物理描述	12
1.5.5 IC 设计流程	12

第 2 章 CMOS 工艺及版图

2.1 工艺概述和类型	15
2.1.1 工艺概述	15
2.1.2 工艺类型	16
2.2 集成电路制造主要工艺	17
2.2.1 氧化工艺	17
2.2.2 光刻工艺	18
2.2.3 掺杂工艺	19
2.2.4 金属化工艺	21
2.2.5 掩膜版制造	21
2.3 CMOS 工艺	22
2.3.1 CMOS 工艺类别	23
2.3.2 硅栅 MOS 工艺(简化)	23
2.3.3 N 阱 CMOS 工艺(简化)	25

2.3.4 双阱 CMOS 工艺	27
2.4 版图设计规则	27
2.4.1 设计规则的作用	27
2.4.2 几何设计规则	28
2.5 电学设计规则	31
2.5.1 分布电阻模型及其计算	32
2.5.2 分布电容模型及其计算	34
习题与思考题	42
本章附录 典型 N 阱 CMOS 主要工艺步骤	44

第 3 章 MOS 晶体管与 CMOS 模拟电路基础

3.1 MOS 晶体管模型	47
3.1.1 NMOS 管的 I - V 特性	48
3.1.2 PMOS 管的 I - V 特性	51
3.1.3 阈值电压	52
3.1.4 MOS 管的小信号模型	52
3.1.5 MOS 管的亚阈值模型	54
3.2 CMOS 模拟电路的基本模块	55
3.2.1 MOS 开关	55
3.2.2 有源电阻	58
3.2.3 电流阱和电流源	61
3.2.4 镜像电流源	65
3.2.5 电压基准和电流基准	67
3.3 CMOS 放大器	70
3.3.1 反相放大器	70
3.3.2 共源-共栅放大器	77
3.3.3 CMOS 差动放大器	80
3.4 运算放大器	87
3.4.1 运算放大器的特点	87
3.4.2 两级运算放大器	90
3.4.3 共源-共栅运算放大器	92
3.4.4 带输出级的运算放大器	95
3.5 比较器	96
3.5.1 比较器特性	96
3.5.2 差动比较器	97
3.5.3 两级比较器	98
3.5.4 箝位比较器与迟滞比较器	102
3.5.5 采用正反馈的比较器	105
3.5.6 自动调零	106

习题与思考题	108
第 4 章 CMOS 数字电路中的基本门电路	
4.1 MOS 开关及 CMOS 传输门	109
4.1.1 MOS 开关	109
4.1.2 CMOS 开关(传输门)	110
4.2 CMOS 反相器	113
4.2.1 CMOS 反相器直流传输特性	113
4.2.2 CMOS 反相器的负载特性	116
4.3 CMOS 逻辑门——或非门和与非门	116
4.3.1 CMOS 或非门	117
4.3.2 CMOS 与非门	117
4.4 信号传输延迟	118
4.4.1 CMOS 反相器的延迟	119
4.4.2 连线延迟	122
4.4.3 逻辑扇出延迟	124
4.4.4 大电容负载驱动电路	125
4.5 CMOS 电路的功率损耗	126
4.5.1 静态功耗 P_D	127
4.5.2 动态功耗	127
4.6 CMOS 逻辑门的噪声容限	129
4.6.1 CMOS 反相器的噪声容限	129
4.6.2 CMOS 与非门的噪声容限	129
4.6.3 CMOS 或非门的噪声容限	130
4.6.4 “对称”噪声容限	131
习题与思考题	132
本章附录 典型 P 阱 CMOS 工艺参数($3\mu\text{m}$ 工艺)	134

第 5 章 模拟系统设计

5.1 模拟信号处理	138
5.2 数-模(D/A)转换器	139
5.2.1 D/A 转换器原理和技术性能	139
5.2.2 权电阻 D/A 转换器	141
5.2.3 倒置 $R-2R$ 梯形 D/A 转换器	142
5.2.4 2^N 个电阻及开关树 D/A 转换器	143
5.2.5 权电容 D/A 转换器	144
5.2.6 组合式 D/A 转换器	147
5.2.7 串行 D/A 转换器	149

5.3 模-数(A/D)转换器	151
5.3.1 A/D 转换器的原理及技术性能	151
5.3.2 采样-保持(S/H)电路	153
5.3.3 串行 A/D 转换器	155
5.3.4 逐次逼近 A/D 转换器	157
5.3.5 算法 A/D 转换器	159
5.3.6 并行 A/D 转换器	160
5.3.7 流水线(pipeline) A/D 转换器	163
5.3.8 过采样 Σ - Δ A/D 转换器	166
5.4 连续时间滤波器	168
5.4.1 低通滤波器	169
5.4.2 高通滤波器	175
5.4.3 带通滤波器	176
5.5 开关电容滤波器	177
5.5.1 开关电容电路	177
5.5.2 无源 RLC 开关电容滤波器	182
5.5.3 Z 域综合技术	190
习题与思考题	195

第 6 章 数字系统设计

6.1 MOS 时钟电路	196
6.1.1 单相 MOS 时钟电路	197
6.1.2 两相 MOS 时钟电路	198
6.1.3 三相重叠 MOS 时钟电路	199
6.2 CMOS 逻辑结构	199
6.2.1 CMOS 互补逻辑	200
6.2.2 传输管逻辑	201
6.2.3 钟控 CMOS 逻辑	204
6.2.4 动态 CMOS 逻辑	206
6.2.5 CMOS 多米诺(domino)逻辑	209
6.2.6 NP 多米诺(domino)逻辑(拉链 CMOS)	211
6.2.7 逻辑设计	212
6.3 微处理器系统	215
6.3.1 控制器	216
6.3.2 数据通道	222
习题与思考题	234

第 7 章 硬件描述语言 VHDL 基础

7.1 VHDL 简介	236
-------------------	-----

7.1.1	VHDL 的特征	236
7.1.2	VHDL 的历史背景	237
7.1.3	VHDL 的使用范围	237
7.1.4	使用 VHDL 设计 VLSI 的流程	237
7.2	VHDL 语言的基本结构	238
7.2.1	实体说明	239
7.2.2	结构体	241
7.2.3	配置(CONFIGURATION)	244
7.2.4	程序包和库	245
7.2.5	VHDL 的标识符	247
7.2.6	VHDL 词法	248
7.3	VHDL 语言的数据类型和运算符	250
7.3.1	对象	250
7.3.2	VHDL 语言的数据类型	252
7.3.3	VHDL 语言的运算符	260
7.4	VHDL 语言结构体的描述方式	264
7.4.1	结构描述	264
7.4.2	数据流描述	265
7.4.3	行为描述	270
7.5	VHDL 语言的顺序语句	273
7.5.1	变量赋值语句	273
7.5.2	信号赋值语句	273
7.5.3	IF 语句	274
7.5.4	CASE 语句	274
7.5.5	循环(LOOP)语句	275
7.5.6	NEXT 语句	276
7.5.7	EXIT 语句	276
7.5.8	断言语句	277
7.5.9	WAIT 语句	278
7.5.10	过程调用语句	280
7.5.11	RETURN 语句	280
7.5.12	NULL 语句	280
7.6	VHDL 并行语句	281
7.6.1	进程语句	281
7.6.2	信号赋值语句	281
7.6.3	并行过程调用	283
7.6.4	元件例化语句	284
7.6.5	生成语句	286
7.6.6	块语句	287

7.6.7 保护块	289
7.7 子程序和属性	290
7.7.1 子程序	290
7.7.2 预定义属性	297
7.8 VHDL 激励和测试基准(testbench)	301
7.8.1 VHDL 激励信号	301
7.8.2 测试基准描述	302
7.8.3 交通灯控制器 VHDL 例子	306
习题与思考题	310
本章附录 IEEE STANDARD 程序包	313
附录 国内外常用数字逻辑电路符号对照表	317
主要参考文献	318

第1章 集成电路设计概论

1.1 集成电路(IC)的发展

微电子技术、电子技术和计算机技术在相互渗透、相互支撑和相互促进的紧密关系中,均得到了飞速发展。现代信息社会的支柱——计算机和通信,其主要硬件设备是集成电路。以集成电路的发展为标志的微电子技术无所不在,已经成为现代信息社会的基础。

自从1959年世界上第一块集成电路在美国的得州仪器公司和西屋电气公司诞生以来,集成电路技术以惊人的速度发展。第一块集成电路上只有四个晶体管,而目前的集成电路已经可以在一片硅片上集成几千万只晶体管,甚至上亿只晶体管。集成电路的发展经历了小规模IC(SSI)、中规模IC(MSI)、大规模IC(LSI)、超大规模IC(VLSI)和特大规模IC(ULSI)的不同阶段,集成电路的性能(高集成度、高速度和低功耗等)迅速提高。IC发展各阶段的主要特征如表1-1所示,DRAM容量随时间的增长关系如图1-1所示。目前,Compaq公司的Alpha CPU芯片(EV-68),有1500万个晶体管,工作频率高达600MHz~1.2GHz。集成电路工艺已发展到深亚微米,特征线宽可达到0.25 μm ,甚至更小。

早在1960年,Intel公司的创始人之一Gordon E. Moore曾预言,集成电路的功能随时间呈指数增长规律。IC近40年的发展历史完全证实了Moore的预言,被人们称为摩尔定理。其中,表1-1中的集成度和图1-1中的DRAM容量均以每三年翻两番的速度增长。IC在性能迅速提高的同时,价格却迅速降低。对此,有人通过计算得到这样的结论:假如用真空电子管而不是集成电路,现在的便携式计算机的内存容量所占体积相当于纽约世界贸易中心;假如按集成电路降价的速度降价,现在的一辆汽车仅需27美元。

表 1-1 集成电路各发展阶段的特征

发 展 阶 段 主 要 特 征	1966 年 MSI	1971 年 LSI	1980 年 VLSI	1990 年以后 ULSI
元件数/芯片	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$
特征线宽(μm)	10~5	5~3	3~1	<1
速度功耗积(μJ)	$10^2 \sim 10$	$10 \sim 1$	$1 \sim 10^{-2}$	$< 10^{-2}$
栅氧化层厚度(nm)	120~100	100~40	40~15	15~10
结深(μm)	2~1.2	1.2~0.5	0.5~0.2	0.2~0.1
芯片面积(mm^2)	<10	10~25	25~50	50~100
硅片直径(英寸)	2~3	4~5	6	>6

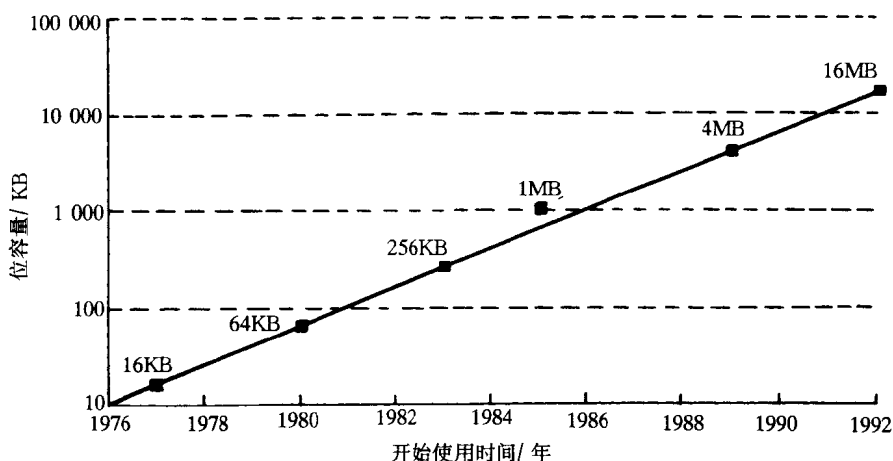


图 1-1 存储器的容量随时间增长

随着微电子技术的不断进步,集成电路仍在高速发展。目前,系统级芯片(system on a chip, SOC)已能将包括数字 IC 和模拟 IC 的整个系统集成在单个芯片上,完成系统的功能。SOC 的出现,使集成电路逐步向集成系统(integrated system)的方向发展。

1.2 IC 的设计要求

设计一个芯片时往往有以下几方面的要求。

第一,设计时间。设计时间不仅仅影响设计费用和产品成本,而且还会影响到新产品上市参与市场竞争。设计时间过长,会使新产品失去投入市场的机会。

第二,设计的正确性。由于集成电路的投片费用高,投片之后的电路是无法修改的,所以集成电路的设计必须保证一次成功。设计失误所带来的不仅仅是投片费用的损失,还有设计时间延误,产品上市的推迟,竞争失败等一系列的损失。随着集成度的增加,在设计中引入错误的几率也随着加大。目前在一个芯片上所集成的往往是很复杂的电路甚至是一个系统,要对这样的芯片进行一次修改,所要花费的代价是昂贵的。因此,必须保证设计的正确性。

第三,设计成本。每个芯片的成本可以由下式计算而得:

$$C_T = \frac{C_D}{V} + \frac{C_P}{YN}$$

式中, C_T 为每个芯片的成本, C_D 为开发费用, C_P 为每片硅片的工艺成本, V 为芯片的生产数量, Y 为平均成品率, N 为每片硅片上的芯片数目。

公式表明,对于小批量生产应减小开发费用;对于大批量生产,应增加成品率和每一硅片上的芯片数目。

第四,产品的性能。集成电路的性能主要取决于所选择的器件结构和电路形式,但是对于高速和低功耗的电路,尤其是深亚微米 IC 设计,互连线的延时比逻辑门延时大得多,版图设计中的布局与布线对电路性能的影响很大。因此要获得高性能的产品,在版图设计中,布局要紧

凑,并尽量减小互连线的长度。

第五,设计的可测试性。集成电路设计的可测试性,是指牺牲一部分芯片面积,引入测试结构或电路,用以检查和发现设计中可能存在的错误和制造工艺中可能出现的问题。因为 IC 测试费用很高,有的专用集成电路的测试费用高达设计费用的 50% 以上,通过可测试性设计,变不可测故障为可测故障,缩短测试时间,减少测试数据量,减少甚至摆脱对昂贵测试设备的依赖,能从根本上降低测试成本。

1.3 IC 的分类及其制造工艺

1.3.1 IC 的分类

从不同的角度可以对 IC 进行不同的分类,这里只叙述大的分类。

1. 按处理的信号类型分类

按处理的信号类型,IC 可分为模拟 IC、数字 IC 和数-模混合 IC。

信号是能表达物理系统状态或行为的信息,或简单地说,是随时间变化的物理量,如电压、电流(或电荷值)、压力、温度和电磁波等。模拟信号是在一定连续时间范围内和一定连续幅度范围内具有确定值的信号;数字信号是在时间和幅度的某些离散点上有确定值的信号。对模拟信号进行处理的 IC 称为模拟 IC,如运算放大器、A/D 和 D/A 转换器、连续时间滤波器、开关电容滤波器、乘法器、调制器和振荡器等。对数字信号进行处理的 IC 称为数字 IC,如控制器、微处理器、ROM 和 RAM 等。

由于模拟采样技术和 MOS 工艺的发展,一个芯片能同时处理数字和模拟两种信号,这种 IC 称为数-模混合 IC。数-模混合集成电路的发展,出现了系统级芯片(SOC),它结合了数字技术和模拟技术,把 D/A 转换器、微处理器和存储器等集成在单个芯片上。

2. 按生产的目的分类

按生产的目的分类,IC 可分为通用 IC 和专用 IC。

(1)通用集成电路,如微处理器(CPU)芯片、存储器芯片、计算机外围电路芯片等等。这些芯片生产批量大,对电路的性能和芯片的利用率要求高,而对设计的成本、设计周期的要求可以放宽。

(2)专用集成电路(application specific integrated circuit, ASIC),为某些用户的专门用途而生产的芯片,或者说是除了通用芯片以外的均属于 ASIC。其特点与通用 IC 正相反,并且对 EDA(电子设计自动化)工具的要求较高。

3. 按设计风格分类

按设计风格(实现方式)分类,IC 可分为全定制 IC、半定制 IC 和现场可编程逻辑器件。下面简单介绍这三种设计的实现方式。

(1)全定制(full-custom)方式。它主要是基于晶体管级的芯片设计,芯片中的全部器件及互连线的版图都是按照系统要求进行人工设计的,尽量达到密度高、速度快、面积小和功耗低的要求,因此批量生产时经济性好,但是设计开发时间长,设计费用高。只有对于大量生产的通用 IC 或对性能有特殊要求的电路才适合采用全定制方式。但是最近随着硅编译技术的发展和设计自动化程度的不断提高,EDA 工具提供了大量的经过精心设计好的标准化单元,使得全定制设计方法得到越来越广泛的应用。CMOS 模拟集成电路的设计,目前基本上也属于

全定制方式。

(2)半定制(semi-custom)方式。通常是指门阵列(gate-array)和标准单元(standard-cell)的设计方法。半定制芯片设计比较容易,用户一般不需要进行最低层的版图设计,初期投资少,从设计到成品所需的时间短。另外,由于半定制设计有规则的结构,故有利于 CAD 软件设计。其缺点是芯片的面积比较大,芯片利用率低,适合于要求设计成本低、周期短而生产批量小的芯片设计。

(3)可编程逻辑器件(programmable logic device,PLD)方式。其特点是“可编程”,由 IC 生产厂家提供已经封装好的芯片,芯片的功能由用户使用 EDA 工具“写入”其中,编程后的芯片便成为专用集成电路。PLD 包括可编程逻辑阵列(PLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、可编程门阵列(PGA)和现场可编程门阵列(FPGA),其中 FPGA 的发展最活跃;其产品的等效门可达几十万门。PLD 进一步缩短了设计周期,降低了设计成本,有的 PLD 器件允许用户多次“重写”,大大方便了用户,适合于新产品的试制和小批量的生产。其缺点是:由于芯片内部连线较长,速度慢;芯片的利用率较低,集成度相对较低。

1.3.2 IC 的制造工艺

集成电路的制造工艺,主要是双极工艺和 MOS 工艺,目前的主流工艺是 CMOS 工艺。还有混合的双极-CMOS 工艺(称为 Bi-CMOS 工艺)、厚膜和薄膜工艺等。这里仅介绍两种主要工艺。

(1)双极工艺:这种工艺中基本的有源器件是双极结型晶体管(BJT),故称双极工艺。这种工艺生产的电路主要是 TTL(transistor-transistor-logic),即晶体管-晶体管逻辑以及 ECL(emitter-couple-logic),即发射极耦合逻辑。双极型集成电路的特点是功耗较大,速度比 CMOS 高(相同工艺水平条件下),具有较大的负载能力。

(2)MOS 工艺。这种工艺制造的 IC 中基本有源器件是 MOS 管(metal oxide semiconductor)。MOS 工艺又可分为 PMOS、NMOS 和 CMOS 三种。PMOS 器件的电流由空穴传导;NMOS 器件的电流由电子传导。由于硅材料中电子的迁移率是空穴的 2~3 倍,所以在相同条件下 NMOS 工艺比 PMOS 工艺可使电路实现更高的工作速度。而 CMOS(complementary metal oxide semiconductor)工艺则包含两种工艺,所以比较复杂。一般情况下,CMOS 电路中,NMOS 管和 PMOS 管是成对出现的,其主要特点是功耗低,抗干扰能力强,输出电压范围宽。与其他半导体工艺相比,CMOS 工艺的发展已经十分成熟,占据了集成电路市场的绝大部分的份额,并且随着其工艺不断向亚微米和深亚微米发展,其产品在速度上也已经赶上并超过了 TTL 工艺。因此,本书的内容,只介绍硅材料的 CMOS 工艺及 CMOS 的模拟 IC 和数字 IC 的设计。在 IC 分类上,有时也以制造工艺分类为双极 IC 和 CMOS IC。

1.4 电子设计自动化(EDA)技术的发展

集成电路的设计与传统的电路设计不同,传统的电路设计可以通过搭实验板的方法进行设计的验证和测试,而集成电路设计只能通过人的大脑去思考、分析,借助计算机软件工具进行验证和辅助设计。而且,随着集成电路技术的发展和集成度的迅速提高,集成电路不断向高速度、高性能、低功耗发展,集成电路芯片的设计越来越复杂,没有功能强大的计算机辅助手

段,完成设计是不可能的。各种计算机辅助设计 CAD 软件的涌现正是为了适应这种需要。70 年代出现的集成电路 CAD 技术,经过 20 多年的不断发展和完善已成为电子设计自动化 (EDA) 技术。EDA 软件系统具有统一的环境,保证数据的可靠性、一致性,并且各设计工具之间有良好的接口,以进行快速数据传递。EDA 技术是以计算机科学和微电子技术发展为先导,汇集了计算机应用科学、微电子结构与工艺学以及电子系统学科最新成果的先进的 IC 设计技术,是在先进的计算机平台上开发出的一整套电子设计的软件工具。

CAD 技术始于 70 年代初,当时电子设计主要以 SSI/MSI 的标准元件的 PCB 设计构造电子系统。由于受人对图形符号控制能力极限的限制(大约是 1 000 个符号元件或是 10 000 个周边/片),传统的手工布 PCB 和 IC 版图的方法已经无法满足产品复杂性和设计精度与效率的要求,人们开始在产品设计过程的末端把高度重复性的繁杂劳动(如布图)用二维图形的编辑与分析的 CAD 工具代替。这些工作当初受计算机平台的制约,CAD 工具能支持的设计工作有限,性能也较差,只有一些拥有大型机的公司开发了一些能做逻辑仿真工作的 CAD 软件工具。

到了 80 年代初期,CAD 技术进入到了支持设计过程的分析阶段,称为 CAE(计算机辅助工程),出现了以仿真(逻辑模拟、定时分析和故障仿真)和自动布局布线为核心的 EDA 产品。它与计算机辅助制造(CAM)、计算机辅助测试(CAT)等最新技术相结合,使设计师能通过 EDA 工具在产品制造前预知产品的功能与性能并控制制造过程和生产制造文件,因而能保证设计质量和提高设计效率。在这中间出现了推动 EDA 发展的两件大事:(1)1983 年诞生了第一台工作站计算机平台(Apollo);(2)出现了以半定制为特征的专用集成电路(ASIC)。工作站平台不仅是计算机计算能力的增强,更主要的是人-机图形界面标准的发展,窗口技术、UNIX 操作系统、网络数据交换和数据库等一系列计算机学科的最新成果的引入,使得以科学计算为主的计算机进入到辅助设计的工作站阶段。到了 80 年代后期,EDA 技术在单元库支持的基础上,能提供设计描述、综合与优化以及设计结果验证,已能为成功地开发电子产品提供相当成熟的软件工具。

随着各个领域的电子产品复杂程度的增加和市场竞争对缩短电子产品开发周期的要求,对电子产品开发一次成功的要求也越来越迫切。但是从原理图出发的 EDA 系统有着以下缺点:(1)设计受单纯从图形提取设计“信息”的约束;(2)具体化的元件图形是对优化设计的一种约束,所以原理图设计成了电子系统设计自动化的“瓶颈”。另外我们不可能要求电子系统设计工程师都熟悉各种半导体厂家和各种半导体工艺,这就要求 EDA 技术能提供独立于工艺和厂家的系统级设计工具——一种高级抽象的设计手段(如框图、状态图和流程图的编辑能力)和适于多层次和混合信号描述的抽象的硬件描述语言(如 VHDL)。随着电子产品种类的增多,各种工艺的标准元件库已远远不能适应系统设计的要求,出现了微处理器、DSP、各种存储器、I/O 接口、可编程器件和 ASIC 的各种宏单元组成的宏库,而只有在抽象级别上建立这种通用的设计库,才能在电路级和物理级实现真正的仿真和综合,才能极大地缩短仿真与综合的时间。从概念到产品的整个设计过程中,验证设计(功能、逻辑、时序和故障)始终把仿真—综合—测试三者交织在一起,只有对设计的系统采用行为功能描述,才能在设计的早期考虑可靠性、可测性和可制造性,在生成电路的同时生成测试系统和功能测试信号。到 90 年代初,EDA 工具已能描述系统的行为特性,实现高故障覆盖率的可测试性设计,已能使用标准化的硬件描述语言,完成自顶向下的多层次的整体设计。

总之,EDA 技术的发展,使设计工具支持的设计级别越来越抽象。有人预言:“未来的 VLSI 设计者是科学家而不是设计工程师。”因为未来的 EDA 工具是高度自动化的。设计者的主要任务是概念设计,而大部分的工程实现技术都可以依靠 EDA 工具来解决。

1.5 VLSI 的层次化、结构化设计

数字 IC 的发展比模拟 IC 的发展更快,更成熟。这里叙述的 VLSI 的设计,是指数字 IC 设计,其基本原则和方法也适用于模拟 IC 的设计。系统级芯片 SOC 的出现,极大地推动了 CMOS 模拟 IC 设计技术的发展。正在开发,不久即将问世的适用于模拟 IC 设计的硬件描述语言,将缩小数字 IC 和模拟 IC 在设计技术方面的差距。

数字 VLSI 系统设计包含系统级、功能级、逻辑级设计,且最终以产生芯片制造掩膜板为目标。因此,VLSI 设计覆盖了电路与系统、微电子技术等多方面知识领域,设计过程十分复杂。电子产品设计一般分成三个阶段:(1)制定产品要求、规格和产品结构。这个阶段的设计需要专门的设计工具和设计师的专业知识和经验。(2)对系统级划分的硬件、软件和算法,按其数据流、控制流和 I/O 口方式在逻辑和寄存器传输级(RTL)完成电路级与物理级设计。这个阶段将大量地使用通用计算机辅助工具完成验证设计和控制产品制造的重复劳动。(3)从第一片产品诞生到产品批量生产的设计阶段,设计师将与制造商结合通过统计分析和稳定工艺来提高成品率,并与用户结合满足使用要求和产品的更新换代。所以 VLSI 的设计主要是在第(2)阶段。它是一个把产品从抽象的过程一步步具体化、直至最终物理实现的过程。随着集成电路复杂性的提高和设计正确性的要求,采用有效的设计方法是 VLSI 设计成功的关键,好的设计方法能简化设计,保证设计的正确并提高设计效率。

任何复杂的数字系统都可以最终分解成基本门和存储器元件,这种分解可以手工进行,也可以用计算机自动进行,VLSI 设计过程就是把高级的系统描述最终转换成如何生产芯片的描述的过程。为了完成这样的转换,人们研究出了描述集成电子系统的特殊的抽象方法,这就是层次化、结构化的方法。层次化的设计方法,能使复杂的电子系统简化,并能在不同的设计层次及时发现错误并加以纠正;结构化的设计方法,把复杂抽象的系统划分成一些可操作的模块,允许多个设计者同时设计,而且某些子模块的资源可以共用。

1.5.1 VLSI 设计的描述域和层次

层次化、结构化的描述方法由图 1-2 所示。图中三个互不相同的设计域由三条射线表示,这三个设计域是:行为域;结构域;物理域。

行为域描述一个特定的系统做些什么,要完成什么功能;结构域描述实现某一功能的具体结构以及各组成部件是怎样连接在一起的;物理域描述结构的物理实现,即怎样实际制造一个满足一定的连接关系的结构并能实现所要求功能的芯片。

每一个设计域都可以在不同的抽象层次上描述,图中的同心圆表示不同的抽象层次,这些抽象层次从高到低通常包含下面的设计级别:系统结构级;算法级;模块或功能块、寄存器传输级(RTL);逻辑级;电路级和晶体管级。

一般一个设计可以在三个设计域进行描述,而根据设计的形式和电路的复杂性使用不同的抽象级别表示。表 1-2 是对不同设计域和设计层次的总结。依靠 EDA 工具,由 RTL 级的

