

晶体管-晶体管 逻辑电路

Jingtiguan - Jingtiguan

Luoji Dianlu

TTL

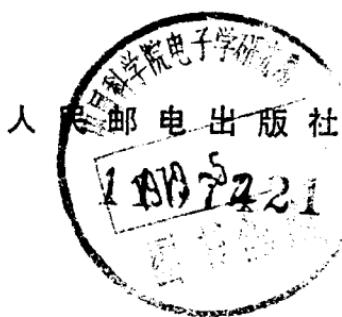
[美] 乔治·弗林著 张鹏译

人民邮电出版社

晶体管-晶体管逻辑电路

[美]乔治·弗林 著

张 鹏 译



内 容 提 要

本书介绍各种 TTL 集成电路的工作原理。首先讲述有关 TTL 电路和触发器的知识。在此基础上，结合着具体产品，分章介绍了译码器、多路转换器、移位寄存器、计数器、运算电路、奇偶校验电路、优先编码器、存贮器和其他 电路。本书可供电信、电子学及其他有关方面的工人、技术人员及有关专业的师生阅读。

George Flynn

TRANSISTOR-TRANSISTOR LOGIC

HOWARD W.SAMS & CO., INC

THE BOBBS-MERRILL CO., INC

1973

晶体管-晶体管逻辑电路

〔美〕乔治·弗林著 张鹏译

人民邮电出版社出版

北京东长安街27号

天津市第一印刷厂印刷

新华书店北京发行所发行

各地新华书店经售

开本：787×1092 1/32

1979年2月第一版

印张：6 页数：96

1979年2月天津第1次印刷

字数：136千字

印数：1—136,000册

统一书号：15045·总2300·无670

定价：0.50 元

序　　言

数字逻辑器件的应用，大概是从工业控制系统和电话网络中使用继电器来执行逻辑或转换功能的时候开始的。当然，远在那时之前，就已经用算盘来进行纯数学运算了。

随着数字电子计算机和半导体技术的并行发展，数字逻辑器件才真正开始突出出来。于是，电路设计人员开始用新观点研究怎样解决问题。不久，数字仪器和复杂系统开始出现，例如数字电压表，频率计数器，军用飞机的复杂控制系统，专用数字计算机以及复杂武器和空间探索器的控制系统等等。最后，我们有了数字手表，而这并不是发展的终点。

这些产品的基础是半导体逻辑器件。这种器件执行信号发生、计数、加法、减法、乘法、移位、编码、译码、记忆（或存贮）、多路转换、比较等数字功能。第一批研制出来的、能执行基本数字功能的半导体电路叫做电阻-晶体管逻辑电路或称 RTL。RTL 刚刚研制成功，二极管-晶体管逻辑电路或称 DTL 就出现了。以后，DTL 经过重大的改进，就发展成为晶体管-晶体管逻辑电路（TTL）。

今天，TTL 是半导体逻辑电路的主要形式。TTL 器件有许多系列；有些与其它 TTL 和 DTL 系列是兼容的，有些是不兼容的。美国、欧洲和亚洲大多数主要的半导体厂家都生产一种或多种主要的 TTL 系列。其基本电路原理都相同，所执行的功能也相同。然而，差别是肯定存在的，特别是在功耗、工作速度、工作电压、管脚编号、管脚排列以及物理形状和大小

等方面。另外，芯片上的电路设计可能也不相同。一般说来，这些差别不影响电路功能，也不改变表示器件如何操作的方块图。

今天，由于集成电路技术向整个电子学领域扩展，越来越多的TTL功能被组合在一个芯片上。新的TTL器件不断出现。现已出版了大量优秀文献，介绍怎样用各种器件去做许许多多的事情，从频率合成器到数据传输，到计算机的设计。但是，在能从事这些系统的工作之前，需要很好地了解基本器件，即：门电路、触发器、移位寄存器等。本书的目的就在于使读者了解这些器件。

乔治·弗林

目 录

第 一 章

基本晶体管-晶体管逻辑电路 1

数字系列 (2), 54/74系列电路 (3), 基本门电路 (4),
“或非”门 (8), 反相器 (10), “与或非”门 (11), 集电
极开路和“线-或”电路 (11), 扩展门 (13), 负载规则 (17),
抗扰度 (20)

第 二 章

触发器 24

R-S 触发器 (24), “或非”门触发器 (27), 时钟触发器
(30), TTL触发器 (34), 其他型式的触发器 (44)

第 三 章

译码器 51

“四中取一”译码器 (51), “十中取一”译码器 (55), 七段
译码器 (60), 显示管测试和灭零 (64)

第 四 章

多路转换器 70

数据选择器 (70), 多路数据输入 (72), 多重转换 (72)

第 五 章

移位寄存器 75

8 位移位寄存器 (75), 串行-并行移位寄存器 (77), 左-右
移位寄存器 (80)

第 六 章

计数器 84

四位二进制计数器 (84), 12分频计数器 (88), 十进制计数器
(91), 可逆二进制计数器 (93), 可逆十进制计数器 (100)

第 七 章

运算电路 101

加法器 (104), 原码/反码电路 (113), 比较器 (114)

第八章

奇偶校验和优先编码 119

奇偶发生器 (120) , 优先编码器 (123)

第九章

半导体存贮器 128

随机存取存贮器 (129) , 寄存器存贮器 (133) , 只读存贮器

(135) , 按内容访问存贮器 (137)

第十章

专用电路 146

接口驱动器 (146) , 冲击多谐振荡器 (148) , 闩锁 (149)

第十一章

提高 TTL 的工作速度和集成度 152

传输时间 (152) , 高速TTL (153) , 低功耗 TTL (156) , 带有

有源旁路网络的TTL (157) , 用肖特基管钳位的TTL (157) ,

低功耗肖特基TTL (160) , 三态逻辑电路 (161) , TTL 的

发展趋向 (161) , TTL系列 (164)

第十二章

TTL 的应用 166

可逆计数系统 (166) , 数据传输系统 (169)

附录 A

数字逻辑符号 175

附录 B

编码制 178

附录 C

TTL 的电源 181

附录 D

系统设计要点 182

第一 章

基本晶体管-晶体管逻辑电路

如果有人告诉你，某一天所有的电子设备将采用数字电路，你可能会认为这是和你开玩笑。不过你可以发现这样想的人是有的。他们确信甚至连电视机和高保真度立体声设备都将使用数字电路。

数字高保真设备是什么意思呢？在一种简单的假定情况下，这意味着磁带或唱片不再用连续的模拟波形录音，而是用一串脉冲组成录音。脉冲和脉冲间的空白分别代表数字字中的“1”和“0”，而一个数字字又代表一个电压电平。磁带上的下一个字（脉冲串）和前一个稍有不同，这表示电压也稍有不同——稍高些或稍低些。很容易用10个或20个字来表示正弦电压波上所选择的样点。这样，就得到了表示电压正弦波的一串数字，那么怎样处理这些数字呢？

让我们把陆续到来的字接入数字—模拟转换器。这种转换器将脉冲串转换成各个字所代表的电平。把电压加在扬声器上。如果只加一个字和一种电平，扬声器会发出哼声或“喀呖”声。现在把代表正弦波的整个字串送入扬声器。如果送入的速度足够快，每秒钟反复送入几百次或几千次，那么扬声器就开始响应。扬声器在从一个字的电平跳到下一个字的电平时不能立即动作。因此，它起到了平滑字间的“跳距”的作用。如果需要进一步滤波，则可在扬声器的接头上跨接一个电容来消除波形的脉动。

假如每个周期要对正弦波抽样十次，并要扬声器产生1 kHz的声音，就必须供给1000周/秒 \times 10字/周，亦即每秒10000个字。这对于今天的电子系统是不成问题的。实际上，每秒钟可供给扬声器的字远远超过了扬声器可以响应的限度。自然，波形并不只限于正弦波，它可以表示任何声音，从蛙鸣到名歌手的歌声。

与模拟或线性电路相比，数字系统比较复杂。但是它具有一定的优点。首先，它是一种差不多能够完全消除背景噪声的系统。第二，在数字系统中，通用的标准部件可用于各种不同的场合。这样就降低了标准部件的成本。第三，数字电路主要同信息流有关，与传输功率无关。因此，数字信息可用极低的功率（毫瓦乃至毫微瓦）进行传输。在数字处理完成后驱动扬声器时，再把功率升至所需要的电平。

如果有人仍然怀疑数字系统将从计算机领域进入到生活的其它方面，那他应该考虑这样两个例子：象波音747一类的喷气式飞机的扩音装置就采用了多路传输的数字系统。贝尔电话公司已把电话系统中的许多部分数字化了，并正将更多的部分进行数字化。

数 字 系 列

数字化信息和非数字化信息技术是很多的。为了解决数字化提出的各种问题，已研究出了一些电子方法。当前，设计人员普遍采用了三种主要电子系列。今天应用最广的数字功能系列是晶体管—晶体管逻辑电路，英文缩写为TTL或T²L。因为TTL速度快、使用方便、成本低，所以它的应用很广。第二种逻辑电路叫发射极耦合逻辑电路，英文缩写为ECL。大家知道ECL的速度最快，因此，它在大型计算机的高速电路

中用量很大。数字电路的第三种系列是用金属-氧化物-半导体场效应晶体管构成的，英文缩写为MOS。MOS可允许做成极为复杂的电路，并可提供低功耗、低成本的系统，但到目前为止，它的速度比TTL和ECL慢得多。

不管用哪种电子线路构成数字系统，各系统的基本数字部件都很相似。任何一种系列都是围绕着一个基本部件构成的。在TTL中，“与非”门是基本的部件。在二极管一晶体管逻辑电路(DTL)中，“或非”门是基本的部件。用这些门电路可构成计数器、触发器、移位寄存器等。而这些器件又可构成数字运算器、频率合成器、数字一模拟转换器和其它电路。

54/74 系列 电 路

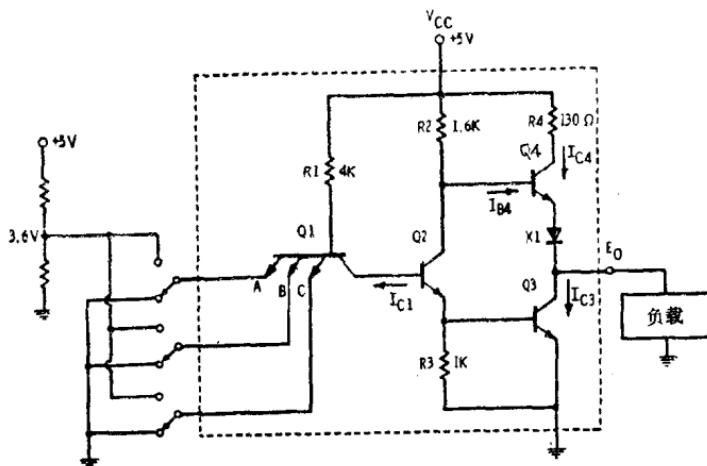
我们将从标准的TTL系列，特别是通常所说的5400/7400系列开始讨论数字电子系统。5400/7400系列（或称54/74型）是在60年代早期由德克萨斯仪器公司研制成的，现已普遍用于数字电路中。今天用54/74型系列制造集成电路(IC)的大约还有另外八家公司，并且每隔数日就有新产品出现。除此而外，在侧重于高速度或低功耗的特性方面，又研制出几种新的TTL54/74型系列。本书讲完54/74标准型以后，就讨论其新的型式，同时还讨论其它一些TTL系列。

54/74代表什么呢？读者也许感到奇怪。现拿一个特殊的ICSN5401型为例进行说明。这种型号的片子包含四个二输入端正逻辑“与非”门电路，其温度范围为-55°至+125°C，电源电压范围为4.5至5.5V。除温度和电源电压范围外，SN7401型与SN5401型完全相同。SN7401型只用于0至+70°C的温度范围和4.75至5.25V的电源电压范围。

基本门电路

TTL是正逻辑系统。这就是说，高电平（即“1”）是大约3.6伏的正电压，低电平（即“0”）接近于0伏，它是晶体管集-射极间的饱和压降，其典型值大约为0.2伏。

TTL的基本电路如图1-1所示。除输入晶体管外，电路都很简单。这里暂不讲输入晶体管。先看看“与非”门的其余部分，即输出电路，如图1-2所示。让晶体管Q₂的基极接地。由于基极接地，Q₂的阻抗很高，几乎没有电流从集电极流入发射极。加在晶体管Q₃基极上的电压接近于“0”；这样一来，



(A) 电路图



(B) 门的符号

A	B	C	E ₀
0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	0

(C) 真值表

图 1-1 基本“与非”门

Q_3 的阻抗也很高，即 Q_3 开路。另一方面， Q_2 的集电极接近于5 V。因此，晶体管 Q_4 充分导通——即为饱和态。于是，电路的输出电压 E_o 为负载电流和串联阻抗的函数。

串联阻抗是晶体管 Q_4 的集电极电阻(130 Ω)、晶体管 Q_4 的集一射极阻抗以及二极管(X_1)的正向阻抗之和。负载通常是其它门的输入。在用其它门作为负载时，输出电压 E_o 大约为3.5 V——逻辑“1”(高)。

将图1-2中的开关拨到A点，这样就将大约+1.6 V加在晶体管 Q_2 的基极上。此电压大于足以使晶体管 Q_2 进入饱和态的电压。由于 Q_2 导通，馈给晶体管 Q_3 基极的电压升高， Q_3 饱和。同时晶体管 Q_2 的集电极电压从原来接近5 V的值下降。 Q_2 的集电极电压就是晶体管 Q_4 的基极驱动电压。 Q_4 的基极电压必须是大约1.8 V，它才导通。阻抗 R_2 和 R_3 是这样选择的：当晶体管 Q_2 导通时，晶体管 Q_3 的基极电压高到足以使 Q_3 饱和，而晶体管 Q_4 的基极电压很低，使 Q_4 不能导通。因此，晶体管 Q_4 截止。

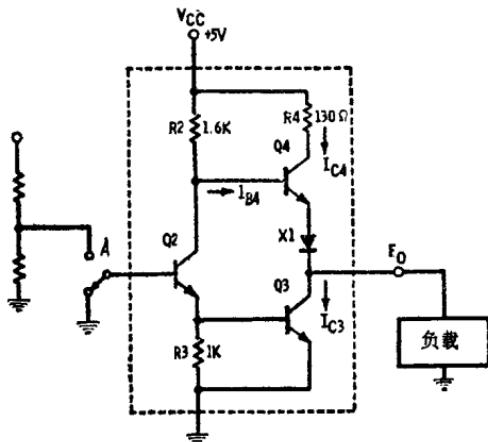


图1-2 图1-1的输出电路

此时，电路的输出电压为晶体管 Q_3 的饱和压降。负载还是后级门的输入电路。但是，由于晶体管 Q_4 截止，没有电流流过晶体管 Q_4 ，输出电压接近于“0”。然而，输出电路能

够从其它源上接收电流。这就是它的应用情况。对于它的后级门的输入电路来讲，它是一个“电流槽”——一个到地呈现低阻抗的通路。

输入电路

在图1-1的输入电路中，我们看到一个奇特的多发射极晶体管Q₁。晶体管Q₁是怎样影响晶体管Q₂的呢？首先，通过拨动式开关，让Q₁的三个发射极都接地。Q₁的基极通过4K电阻接+5V；电流流过基—射结；晶体管Q₁充分导通——即为饱和态。由于晶体管Q₁饱和，集电极端电压与处于地电位的发射极端电压近似相等。因此，晶体管Q₂的基极接近于地电位，晶体管Q₂截止。流过Q₁入地的集电极电流必须通过截止的晶体管Q₂。电流I_{C1}变得很小。由于晶体管Q₂截止，晶体管Q₄导通；输出为高电平，门电路的输出为“1”。

现在改变晶体管Q₁的发射极A的开关，并给它加一个正电压。让发射极B和C保持地电位，即零。晶体管Q₁将发生什么变化呢？因为发射极A的电压高于基极电压；基—射结是反向偏置，所以从基极到发射极A没有电流流过。但发射极B和C仍然接地，因此它们仍然导电。晶体管Q₂保持截止态。

让发射极A保持正电压，并将发射极B接正电压；发射极C仍然接地。将出现什么情况呢？晶体管Q₁通过发射极C仍然导通；晶体管Q₂保持截止状态，所以输出仍然为高电平。

现在让发射极C接正电压，从而使三个输入端皆为高电平。没有电流从Q₁的基极流到任一发射极去。这样一来，由于Q₁的全部发射极为高电平，所以它的基—集结变为正向偏置。电流通过4K电阻R₁流入晶体管Q₂的基极。晶体管Q₂导通，因而使晶体管Q₃导通，使晶体管Q₄截止。

再让晶体管Q₁的三个发射极的任一个接地。Q₁立刻进入饱和态，使晶体管Q₂截止，并使输出为高（1）电平。综上所述，如果一个或多个输入为“0”（或全部输入为“0”），则输出为“1”。现将门的操作归纳为图1-1C所示的真值表。只有当全部输入为“1”时，输出电压E_o才为“0”。

如果象有些输入晶体管那样有4个或8个发射极，那将如何呢？其逻辑关系保持不变。只要有一个输入为“0”，输出就为“1”；只有当全部输入为“1”时，输出才为“0”。

对于图1-1的三输入端门的逻辑操作，我们可以概述如下：“当输入A与输入B与输入C都为“1”时，输出才为“0”（当三者都为“1”时，如果输出为“1”，这就是我们所说的“与”门电路）。这里讲的是一个“与”门加上一个反相器（否定“与”的门），即“与非”门。

“图腾柱”输出

在进行深入分析之前，让我们看一下TTL电路的一个特点。因为门的输出不是高就是低，所以晶体管Q₃和Q₄始终必有一管保持导通。图1-1A的电路简图中将晶体管Q₄画于Q₃之上，所以输出电路看起来象一个“图腾柱”(totem pole)。虽然如此，在工作中，电路的作用却很象一个跷跷板。我们曾假定当晶体管Q₃导通时，晶体管Q₄截止；反之亦然。实际上在翻转期间，两个输出晶体管是同时导通的。结果是输出电路在翻转期间中将电流分流至地。

当电路从“0”输出变为“1”输出时，出现分流的“最坏情况”，晶体管Q₃转向截止比晶体管Q₄转向导通所用的时间长。于是就出现了过剩电流的峰值，如图1-3所示。当输出从“1”变为“0”时，过剩电流又被抽出，但不是同样多，

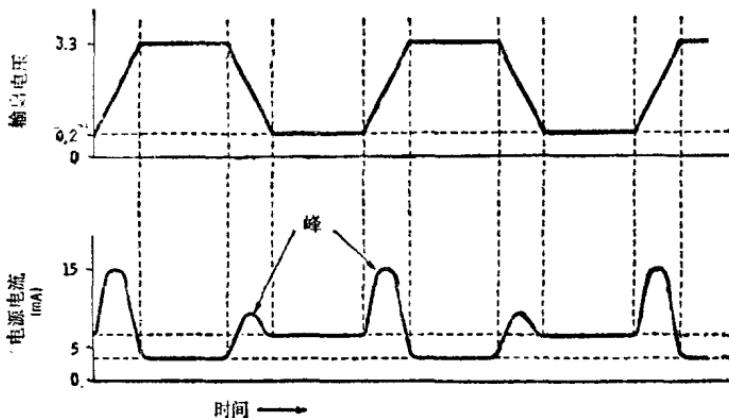


图 1-3 在门输出变化过程中的电流尖峰

因为晶体管 Q_4 很快被驱动到截止态，而不是听任晶体管 Q_4 的过电流自然减少（和晶体管 Q_3 由“0”转到“1”时的情况不同）。

形成电流峰值的一个结果是，系统的功耗随电路的工作速度，即随系统的时钟脉冲频率而增加。就 54/74 型的逻辑电路而言，每个门的静态（时钟停止，无状态改变）功耗大约为 6mW。时钟以 10MHz 的频率工作时，每个门的功耗大约 10mW；以 20MHz 的频率工作时，每个门的功耗大约为 20mW。由此可见，功耗实质上是工作频率的函数。然而，既然一定系统中的时钟频率一般是固定的，那么，在系统工作而时钟停止时，对于供电要求一般是不变的。但如果一个系统中的很多门都必须同时变化时，那就要求供给大量电流，结果引起电压不稳和瞬态（噪声）特性。

“或 非”门

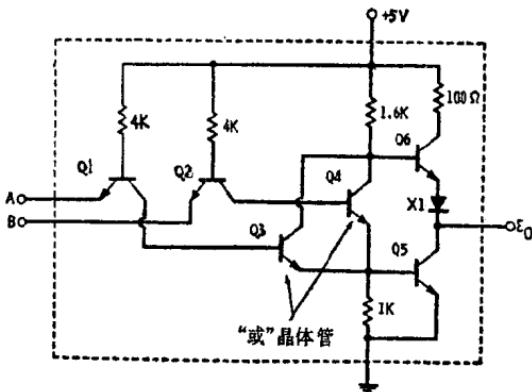
在围绕一种门形成了一个逻辑系列之后，仍然需要执行其



(A) 门的符号

A	B	E_0
0	0	1
0	1	0
1	0	0
1	1	0

(B) 真值表



(C) 简图

图 1-4 基本或非门

它功能的逻辑系列。“与”和“或”是所有数字逻辑中的两个基本功能；相应地，在TTL中有“与非”门和“或非”门。

由基本“与非”门讨论“或非”门是很简单的。其电路示于图1-4。如果输入A和输入B都为高电平，则晶体管Q₃和Q₄导通。晶体管Q₅也导通；因此门的输出为“0”。如果输入A变为低电平，输入B仍为高电平，则晶体管Q₃截止，但Q₄仍然导通，并使Q₅保持导通；输出为“0”。同样，如果输入B变为低电平，输入A保持为高电平，则输出仍然为“0”。因此输入A和输入B有一个为“1”时，输出就为“0”。这样的功能就是“或”的否定，即“或非”。如果A和B都为“0”，则晶体管Q₃和Q₄都截止，晶体管Q₅截止，晶体管Q₆导通。输出为“1”。图1-4 B的真值表列出了该电路的各种状态。

反 相 器

数字系统中一个常见的问题是把高电平信号变为低电平，或把低电平信号变为高电平。用反相器能变“0”为“1”或变“1”为“0”，使这个问题容易地得到解决。图 1-5 所示为反相器的符号和真值表。

用一个单管可做成一个简单的反相器，如图 1-6 所示。当输入 A 为高电平时，晶体管饱和，输出电压 E_o 为低电平。当输入 A 为“0”即为低电平时，晶体管开路， E_o 为高(1)电平。单管反相器有时用在复杂的集成电路的输出电路中作为缓冲或转换。5404/7404 型电路（又叫“六反相器”）比较复杂。它包括 6 个相同的 TTL 反相门，具有共用的 V_{cc} 和接地线。图 1-7 所示电路（一个 1 输入端的“与非”门电路）是这个集成电路中的一个反相器的简图。

当需要反相器而又没有现成的可用时，可将“与非”门的



图 1-5 反相器的功能

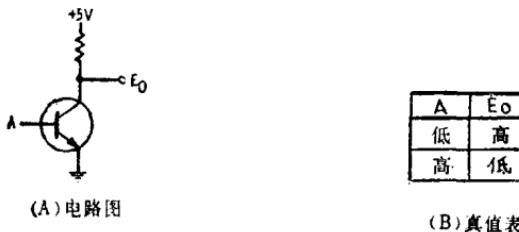


图 1-6 简单晶体管反相器