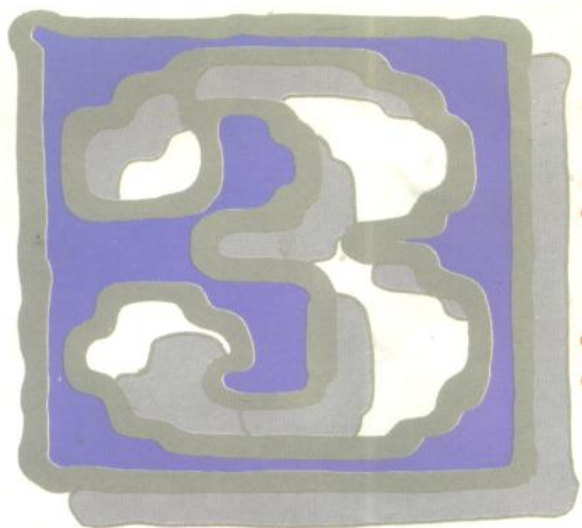
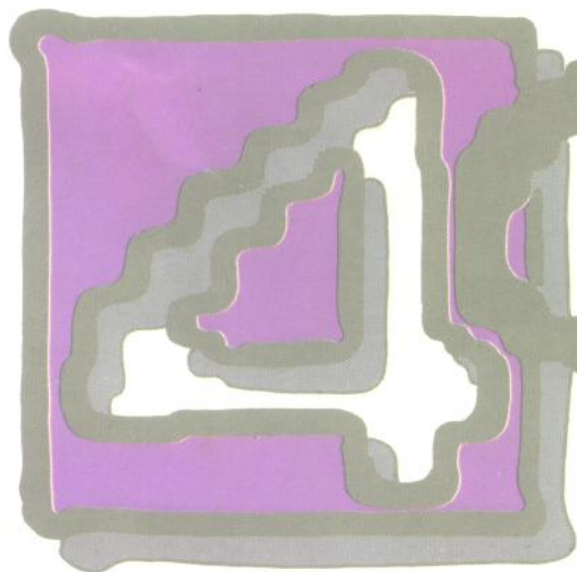




386/486 微型计算机 系统原理与维修

朱传乃 主编



人民邮电出版社

386/486 微型计算机系统 原理与维修

朱传乃 主编

人民邮电出版社

登记证号(京)143号

内 容 提 要

本书对 386、486 微型计算机系统原理作了全面而详细的分析,介绍了 386、486 微型计算机系统故障诊断及维修技术。全书共分十六章,前十五章着重分析介绍微型计算机系统的 CPU 及有关芯片、协处理器、指令系统、存储器管理、系统总线 and 外围设备接口,第十六章着重介绍故障诊断和维修技术。全书系统性强,阐述清晰,图文并茂。书中附有丰富的技术资料,其中有大量的电路图和数据是作者反复实测得来的,因而本书实用性很强。它既可以供计算机系统设计、开发、使用、维修人员学习参考,也可以作为大专院校计算机课的课本及各类计算机培训班的教材或参考用书。

386/486 微型计算机系统原理与维修

朱传乃 主编

责任编辑 刘君胜

*

人民邮电出版社出版发行

北京朝阳门内南竹杆胡同 111 号

煤炭工业出版社印刷厂印刷

新华书店总店科技发行所经销

*

开本: 787×1092 1/16 1995 年 1 月 第一版

印张: 35.5 1995 年 1 月 北京第 1 次印刷

字数: 896 千字 印数: 1—10100 册

ISBN 7-115-05423-1/TP·140

定价: 38.00 元

前 言

自 1984 年 8 月 IBM 公司推出 PC/AT 微型计算机以来,国内外涌现出许多同 PC/AT 机兼容的采用 80286 CPU, 80386 CPU 或 80486 CPU 的各类微型计算机系统(分别简称为 AT 兼容的 286 微型计算机系统, 386 微型计算机系统或 486 微型计算机系统)。所谓 AT 兼容, 在这里主要是指以下几点:

(1) 总线兼容。这一类微型计算机系统采用的是 ISA (Industry Standard Architecture) 总线, 又称 PC/AT 总线, 或者采用 EISA (Extended ISA) 总线, 即扩展的 ISA 总线。ISA 总线是 16 位的总线, EISA 总线是 32 位的总线, 以前在 ISA 总线上运行的适配器卡, 可以照样在 EISA 总线上运行。

(2) BIOS 兼容。这里主要是指在驱动程序一级, 如软中断和硬中断的功能是兼容的, DMA 通道的功能分配, 以及定时/计数器的功能等是兼容的。

(3) 口地址兼容。即在硬件一级口地址的分配是兼容的。

(4) 键盘接口兼容。即 AT 兼容的 386 和 486 微型计算机系统, 其键盘接口处理器都是使用的 8042 或 8742, 键盘接口驱动程序完全兼容。

80386 和 80486 CPU 是 Intel 公司于 1985 年和 1989 年分别推出的, 这两种 CPU 同 8086 系列(简称 86 系列)的 CPU 在目标代码一级保持了向上的兼容性, 都是高性能的第四代 32 位的 CPU。它们的共同特点是: ①软件向上兼容; ②面向多任务处理; ③通用寄存器从 16 位扩充到 32 位; ④运算速度大大提高; ⑤具有自动数据总线大小功能; ⑥地址和数据总线扩充到 32 位。

对 80386 CPU 来说, 根据工作模式, 可以认为该 CPU 包含有如下的功能: ①同 8086 CPU 兼容的实模式(物理存储器空间为 1M 字节); ②同 80286 CPU 兼容的 16 位保护模式(物理存储器空间为 16M 字节); ③80386 CPU 固有的 32 位保护模式(物理存储器空间为 4G 字节); ④虚拟的 8086 模式(物理存储器空间为 1M 字节)。

除此之外, 80486 CPU 同 80386 CPU 相比又有几点不同: ①80486 CPU 采用单倍的时钟频率, 即在 80486 CPU 的 CLK 端输入的外部时钟频率就是其内部工作的处理器时钟频率(这是指标准型的 80486DX 和 80486SX CPU。另外还有两种情况: 80486DX2 CPU 内部工作的处理器时钟频率是外加在 CLK 端的时钟频率的 2 倍, 而低功耗的 80486 CPU, 其时钟端标作 CLK2, 同 80386 CPU 一样, 表示外加在 CLK2 端的时钟频率是内部工作的处理器时钟的 2 倍)。②80486 CPU 内部包含有 8K 字节的数据和指令混合使用的高速缓冲存储器(CACHE), 用于为频繁访问的指令和数据提供快速的局部存储。③在 80486 CPU 的内

部包含有浮点运算部件 (FPU), 它实际上是增强型的数值处理器 80387, 但其处理速度同 80387 相比提高了 3~5 倍。④同 80386 CPU 相比, 80486 CPU 的内部数据总线的宽度由 32 位扩充为 64 位, 使指令周期加速, 达到 1.2 条指令/时钟。⑤过去 80386 CPU 执行指令的情况是, 在取得一个地址后再进行一个数据的输入/输出, 而在 80486 CPU 中采用一种称作猝发式总线 (Burst Bus) 的技术, 在取得一个地址后, 与该地址相关的一组数据都可以进行输入/输出, 有效地解决了 CPU 和存储器之间交换数据的问题。同时, 由于在 CPU 和 FPU, 以及 CPU 和 CACHE 之间都采用高速总线, 使得 80486 CPU 的处理速度获得极大的提高, 达到在相同频率下比 80386 CPU 快 2~3 倍。

目前, 386 和 486 微型计算机系统日益普及, 新的 386 和 486 机种正在不断地推出。相比之下, 对 386 和 486 微型计算机系统从总体上进行系统而全面介绍的资料和书籍却很少, 这是广大从事系统开发和系统维修的用户普遍感到的问题。编写本书的目的就是希望能为他们提供一点有益的帮助。本书主要面向占主导地位的 PC/AT 兼容的 386 和 486 微型计算机系统。第一至九章, 对 80386 和 80486 CPU 的体系结构, 工作原理, 性能特点和用法进行了详细的分析。为了进一步掌握保护模式的工作原理, 在这些章节里提供有编程实例。第十章介绍了数学协处理器 80387 和 80287 的体系结构和编程方法。第十一章着重分析了有代表性的 T&W 386DX 微型计算机系统的系统板, 并详细介绍了高速缓冲存储器 (CACHE) 的工作原理。第十二章阐述标准总线的体系结构, 深入介绍了 EISA 总线上的各种信号, 这是开发 32 位接口卡的用户所最为关心的。第十三章论述了在 MS-DOS 下突破 640k 字节壁垒, 扩展存储器空间的几种方法。

Intel 公司生产的 80486 系列的 CPU, 其种类繁多, 第十四章对此详细地进行了介绍, 并提供有该系列 CPU 的引脚配置图。在这一章的最后对 486SLC/DLC 进行了说明, 这是软件上为 486 而硬件上为 386 的 CPU。第十五章为外围接口控制电路, 对 386 和 486 微型计算机系统中常用的多功能卡和 TVGA 卡进行了分析, 并提供有相应的电路图。在掌握系统工作原理的基础上, 第十六章详细介绍了对微机系统各部件进行故障检测和维修的方法。

本书由朱传乃主编并统稿, 是编写组 35 位成员集体劳动的成果, 由于涉及面广, 编者水平有限, 书中定会存在疏漏、纰缪或不当之处, 敬请读者批评指正。

《386/486 微型计算机系统原理与维修》编写组

1994 年 7 月 11 日

目 录

第一章 概述	1
1.1 80386 CPU	2
1.1.1 80386 CPU 的内部结构	2
1.1.2 80386 CPU 的内部寄存器	4
1.2 协处理器 80387	6
1.2.1 80387 的内部寄存器	6
1.2.2 80386 和 80387	8
1.3 80486 CPU	8
1.3.1 80486 CPU 的特点	8
1.3.2 80486 CPU 的内部结构和内部寄存器	12
1.4 标志寄存器.....	12
1.5 控制寄存器.....	14
1.6 工作模式.....	17
第二章 存储器管理功能	19
2.1 虚拟存储器和物理存储器.....	19
2.2 描述符表.....	22
2.2.1 描述符表的种类.....	22
2.2.2 描述符.....	24
2.3 段选择器和描述符表.....	32
2.3.1 段寄存器的选择器.....	32
2.3.2 描述符表的定义.....	40
2.4 进入保护模式的编程举例.....	42
2.4.1 在保护模式下访问 VRAM 的程序	43
2.4.2 保护模式的存储器作为数据区使用的程序.....	49
2.5 别名 (ALIAS)	58
第三章 保护功能	61
3.1 存储器的保护功能.....	61
3.1.1 修改段寄存器时的保护.....	61
3.1.2 对虚拟地址进行变换时的保护.....	63
3.2 特权级的保护功能.....	67
3.2.1 操作系统 (OS) 和应用程序	67

3.2.2	修改 DS、ES、FS 和 GS 时的保护功能	70
3.2.3	修改 SS 时的保护功能	71
3.2.4	修改 CS 时的保护功能	72
3.2.5	特权级保护例外的代码段	77
第四章	中断和异常中断的处理	79
4.1	中断和异常中断	79
4.1.1	中断的种类	79
4.1.2	中断描述符表 IDT	81
4.2	保护模式下的中断处理	82
4.2.1	通过中断门和陷阱门的中断处理	82
4.2.2	错误代码	85
4.2.3	特权级保护	86
4.2.4	通过任务门的中断处理	87
4.3	中断向量的分配	89
4.4	中断控制器 8259A	95
4.4.1	8259A 的逻辑功能	95
4.4.2	8259A 的编程	96
4.4.3	中断的响应过程	102
第五章	多任务/多用户系统	104
5.1	多任务系统	105
5.1.1	多道程序	105
5.1.2	LDT 和 GDT	107
5.2	任务及任务的描述符	109
5.2.1	任务及其 LDT	109
5.2.2	任务及其 TSS	109
5.2.3	系统地址寄存器	112
5.3	任务转换	112
5.3.1	任务的设置	112
5.3.2	任务转换的过程	114
5.3.3	任务转换的方法	115
5.3.4	任务门	117
5.3.5	任务转换时的 B 位、NT 位和反向链的变化	118
5.3.6	IRET/IRETD 指令	119
5.3.7	任务转换时的特权级保护	120
5.3.8	描述符表的项目分类	121
第六章	80386/80486 的指令	123
6.1	具有保护功能的指令	123
6.1.1	ARPL 指令	123
6.1.2	对系统表进行操作的指令	125

6.1.3	VERR 和 VERW 指令	126
6.1.4	LAR 和 LSL 指令	127
6.1.5	只有在特权级 0 才可以执行的指令	127
6.1.6	和 IOPL 有关的指令	128
6.2	新增加的指令	130
6.2.1	ENTER 和 LEAVE 指令	131
6.2.2	ENTER 指令的算法	133
6.3	其它指令	134
6.3.1	CALL, JMP 和中断指令	134
6.3.2	由保护模式向实模式转移的步骤	137
6.3.3	ASM386 和 ASM86 的不同点	138
6.3.4	指令与标志的关系	139
第七章	页	142
7.1	P 位和 A 位	142
7.2	线性地址	143
7.2.1	线性地址与物理地址的关系	143
7.2.2	从线性地址变换为物理地址的例子	145
7.3	目录项和页表项	147
7.3.1	目录项	147
7.3.2	页表项	147
7.4	页的保护功能	148
7.5	TLB	150
7.5.1	TLB 的功能	150
7.5.2	TLB 的测试	152
第八章	80286 的软件和虚拟 8086 模式	154
8.1	80286 的软件和 80386	154
8.1.1	兼容性	154
8.1.2	16 位模块和 32 位模块	155
8.1.3	16 位代码和 32 位代码的共存	157
8.1.4	通过门的控制转移	159
8.2	8086 的软件和 80386	161
8.2.1	80386 的实模式	161
8.2.2	虚拟 86 模式	162
8.2.3	保护模式和虚拟 86 模式之间的转换	163
8.2.4	虚拟 86 模式下的中断和页功能	165
8.2.5	8086 和 80386 的 OS	167
第九章	调试寄存器和描述符中的 D 位	169
9.1	调试寄存器	169
9.1.1	线性地址调试寄存器 (DR0~DR3)	169

9.1.2	指定断点条件的调试寄存器 DR7	170
9.1.3	断点状态调试寄存器 DR6	171
9.2	指令的断点和 RF 标志	172
9.3	描述符中的 D 位	173
9.3.1	堆栈段描述符中的 D 位	173
9.3.2	代码段描述符中的 D 位	173
9.3.3	确定操作数大小的前缀指令 66H	174
9.4	系统的初始化	175
9.4.1	CPU 复位后的初始状态	175
9.4.2	向保护模式的转移	178
第十章	80387 和 80287 数学协处理器	180
10.1	80387 和 80287 的特性	180
10.2	协处理器的体系结构和初始化	182
10.3	协处理器的实模式和保护模式	187
10.3.1	80287 的硬件特性	187
10.3.2	80387 的硬件特性	188
10.4	80387/80287 协处理器的指令系统	192
10.5	对协处理器的编程举例	195
10.5.1	整数的编程	195
10.5.2	实数的编程	197
10.6	数据格式的转换	199
10.6.1	短实数的转换	199
10.6.2	长实数的转换	201
10.6.3	临时实数的转换	202
10.6.4	转换科学格式的数为 IEEE 编码实数格式	203
第十一章	80386DX CPU 微机系统的硬件结构	205
11.1	80386 CPU 的外部特性	205
11.1.1	80386 CPU 的引脚及其功能	205
11.1.2	80386 的总线周期	208
11.2	DRAM 芯片和 SIMM (单列直插存储器模块)	212
11.2.1	DRAM 芯片的存取方式	213
11.2.2	DRAM 芯片的刷新操作和 DRAM 控制器	218
11.2.3	SIMM (单列直插存储器模块)	227
11.3	SRAM 和 CACHE (高速缓冲存储器)	233
11.3.1	SRAM (静态随机访问的存储器)	233
11.3.2	高速缓冲存储器 (CACHE)	234
11.4	高集成度的外围芯片	249
11.4.1	82380 的特点	249
11.4.2	82380 的体系结构	250

11.5	T&W 386DX 微机系统	261
11.5.1	数据总线和地址总线的形成	262
11.5.2	系统存储器的构成	278
11.5.3	外围集成芯片 82C206	278
11.5.4	键盘接口处理器 8042	293
第十二章	标准总线的体系结构	297
12.1	标准总线	298
12.2	ISA (PC AT) 总线	302
12.2.1	总线周期	304
12.2.2	ISA 总线信号的特性和功能	306
12.2.3	PC/AT 兼容机系统 (ISA 系统) 中的口地址分配	311
12.3	EISA 总线	312
12.3.1	EISA 总线使用的芯片系列	313
12.3.2	EISA 系统板上的 I/O 外围电路	316
12.3.3	总线判优	320
12.3.4	自动系统配置 (Automatic System Configuration)	323
12.3.5	插槽专用 (Slot Specific) I/O 地址和系统 I/O 地址的分配	325
12.3.6	EISA 的周期	326
12.3.7	EISA 总线信号	329
12.4	MCA	351
12.4.1	MCA 的连接	351
12.4.2	MCA 信号的功能	353
第十三章	系统存储器空间的分配及使用	360
13.1	概述	360
13.1.1	IBM PC 和 PC/XT 机存储器空间的分配和扩充	360
13.1.2	IBM PC/AT 机存储器空间的分配和扩充	363
13.2	EMS 存储器	365
13.2.1	EMS 存储器的构成	365
13.2.2	EMM 的编程方法	367
13.3	通过 BIOS 的 INT 15H 对扩展存储器的访问	402
13.4	XMS 存储器	406
13.5	VCPI	418
13.6	DPMI	426
第十四章	486 系列 CPU	434
14.1	486 系列 CPU 的种类	434
14.1.1	486DX CPU	434
14.1.2	486SX CPU	438
14.1.3	487SX MCP	438
14.1.4	486DX2 CPU	440

14.1.5	486SX CPU 使用的 ODP	441
14.1.6	486DX CPU 使用的 ODP	441
14.1.7	486DX2 CPU 使用的 ODP	442
14.1.8	486SL CPU	442
14.2	引脚的兼容性	443
14.2.1	低功耗产品和标准产品中的 486SX/DX CPU 和 487SX MCP	454
14.2.2	升级插座电路	456
14.3	关于软件方面的几个问题	458
14.3.1	I/O 口的恢复时间	458
14.3.2	处理器的 ID	458
14.3.3	处理器类型的检查	460
14.4	486SLC/DLC	460
14.4.1	软件上为 486 而硬件上为 386 的 CPU	460
14.4.2	486SLC/DLC 中新增加的信号	461
14.4.3	新增加的寄存器及其兼容性	465
14.4.4	CACHE 的冲刷	469
第十五章	外围接口控制电路	472
15.1	显示器适配器卡	472
15.1.1	与显示器性能有关的几个问题	472
15.1.2	显示器适配器卡的种类	477
15.1.3	监视器	487
15.2	TVGA	489
15.2.1	TVGA 的电路组成	489
15.2.2	TVGA 的寄存器	492
15.3	多功能适配器卡	506
15.3.1	硬盘驱动器接口电路	506
15.3.2	多功能适配器卡电路	520
第十六章	微机系统的故障检测及维修	534
16.1	概述	534
16.1.1	微机系统的发展	534
16.1.2	系统维修的思路	537
16.2	系统板的维修	539
16.2.1	基本检测	539
16.2.2	音响和文本出错提示信息	543
16.3	外围控制电路的维修	547
16.3.1	磁盘的维修	547
16.3.2	TVGA 卡的维修	558

第一章 概述

自 Intel 公司于 1985 年 10 月和 1989 年 4 月分别推出 80386 和 80486 CPU 系列以来,短短几年,国内外涌现出许多采用 80386 CPU 和 80486 CPU 的各类微型计算机系统,其中同 IBM PC/AT 机兼容的 80386 和 80486 微机系统占有重要的地位。这一类系统具有如下的特点:

(1) 总线兼容。采用 PC/AT 总线 (ISA) 或扩展的 PC/AT 总线 (EISA)。

(2) 系统 ROM BIOS 兼容。这里包括 BIOS 的软中断和硬中断功能,以及 DMA 通道和定时/计数器的功能。

目前,提供兼容的系统 ROM BIOS 的厂家主要有 American Megatrends, Inc. (AMI), Award Software, Inc. (ASI), Phoenix Technologies Ltd., 以及 Quadrel Corporation 等。这些厂家提供的 ROM 芯片上标有 AMI BIOS, Award BIOS, Phoenix BIOS, Mr. BIOS 等字样。这些兼容的 BIOS 也存在某些差别,如对 CMOS 的设置方法就有所不同。采用 Phoenix BIOS 时,一般系统带有 SETUP 软盘,在系统下使用软盘对 CMOS 进行设置。AMI BIOS 和 Award BIOS 的共同之点是加电之后先进行自诊断 (POST),自诊断结束后按某一特定的键 (如 “DEL” 键),就可自动进入显示及修改 CMOS 中的配置参数。

(3) 口地址兼容。

(4) 键盘接口兼容。这一类系统的键盘接口处理器均采用 8042 或 8742,其 P1 口和 P2 口的功能也是兼容的。

80386 和 80486 CPU 和 8086 系列的 CPU 在目标代码一级完全保持了向上的兼容性,都是高性能的 32 位的第四代 CPU (第一代,第二代和第三代分别为 4 位,8 位和 16 位 CPU)。概括说来这两种 CPU 具有的特点如下:

(1) 已有的 8086/88, 80186/188 和 80286 的软件可以照样在 80386 和 80486 系列的微机上运行。

(2) 多任务处理容易。这两种 CPU 系列都是面向需要超高速计算性能的领域而设计的,极适合多任务处理的操作系统。另外,80386 和 80486 系列的微机可以照样运行 UNIX, XENIX, OS/2, PC-DOS 和 MS-DOS 等不同的操作系统。

(3) 各种寄存器的容量从 16 位扩充到 32 位,可以执行 64 位的数据运算,32 位乘 32 位的乘法运算,以及 64 位除以 32 位的除法运算等。并且,进一步增强了位处理指令的功能。

(4) 运算的速度大大地提高。80386 CPU 的时钟有 16, 20, 25 和 33MHz 等多种,在 16MHz 时钟下,执行速度达 3~4MIPS (1MIPS=100 万条指令/秒),和 CPU 之间的数据传送速度为 32M 字节/秒。80486 CPU 的执行速度更快,在相同的时钟频率下,是 80386 的 2~4 倍。80486 CPU 在 25MHz 时钟频率时,执行速度高达 20MIPS,在 33MHz 时钟频率

时达 27MIPS。

(5) 具有自动数据总线大小 (automatic data bus sizing) 功能, CPU 读/写数据的宽度不止有 32 位, 可以在 32 位和 16 位之间自由地进行转换。

(6) 地址信号线扩充到 32 位, 可以处理 2^{32} 字节 (4G 字节) 的物理存储器空间。如果利用虚拟存储器, 其存储空间高达 2^{46} 字节 (64T 字节)*。

(7) 作为 80386 CPU 的协处理器, 可以使用 80287, 也可以使用高性能的具有 32 位数据总线的 80387。80387 的运算速度是 80287 的 6~8 倍。80486 和 80386 不同, 在片子内部包含有和 80387 功能相同的 FPU (浮点运算部件), 具有更高的运算速度。

另外, 这里值得一提的是, 除 Intel 公司外, AMD 公司于 1991 年 3 月推出了 Am386DX 系列, 1991 年 7 月又推出了 Am386SX 系列。DX 系列包括 Am386DX 和低功耗的 Am386DXL, 同 Intel 公司的 i386DX (简称 386DX) 完全兼容, 产品种类有 20, 25, 33 和 40MHz 几种。另外, SX 系列包括 Am386SX 和低功耗的 Am386SXL, 同 Intel 公司的 i386SX (简称 386SX) 完全兼容, 产品种类有 20 和 25MHz 两种。

AMD 公司开发 Am386 系列有两个主要的目标。第一个目标是同 Intel 公司的 386 系列在软件和硬件上完全兼容。第二个目标是又要与 Intel 公司的 386 系列有所不同, 并具有自己的特点。概括起来, Am386 系列具有如下特点:

(1) 低功耗。同一工作频率的芯片相比, Am386 系列的功耗仅为 i386 系列的一半。另外, 由于采用静态设计, 不需要 CPU 工作时, 只需要向 CPU 停止供给时钟即可, 这时其内容完全保持, 并且当再供给时钟时, CPU 又开始工作, 没有特别的启动条件。在停止时钟供给期间, CPU 的功耗接近于零 (最大 $150\mu\text{A}$, 通常为 $20\mu\text{A}$), 特别适用于笔记本型计算机。

(2) 性能提高。采用 40MHz 的 Am386DX CPU 构成的微机系统同采用 33MHz 的 i386DX CPU 构成的系统相比, 性能提高了 20%~30%。

(3) 采用 PQFP 封装, 信号相同 (如 Am386DX 芯片为 132 个引脚, 与 i386DX 芯片 132 个引脚上的信号一一对应), 减少了体积, 降低了价格。

(4) 采用 3.3V 的低电压。

本章将从总体上对 80386 CPU, 80387 协处理器和 80486 CPU 进行概括地介绍。

1.1 80386 CPU

1.1.1 80386 CPU 的内部结构

大家知道, 8086/88 CPU 的内部由执行部件 (EU) 和总线接口部件 (BIU) 两个部分组成, 80286 CPU 的内部由总线部件 (BU), 指令部件 (IU), 执行部件 (EU) 和地址部

* 1K 字节=1024 字节
1M 字节=1024K 字节
1G 字节=1024M 字节
1T 字节=1024G 字节

- (1) 总线接口部件 (BIU: Bus Interface Unit)。
- (2) 指令译码部件 (IDU: Instruction Decode Unit)。
- (3) 指令预取部件 (CPU: Code Prefetch Unit)。
- (4) 执行部件 (EU: Execution Unit)。
- (5) 段管理部件 (SU: Segment Unit)。
- (6) 页管理部件 (PU: Paging Unit)。

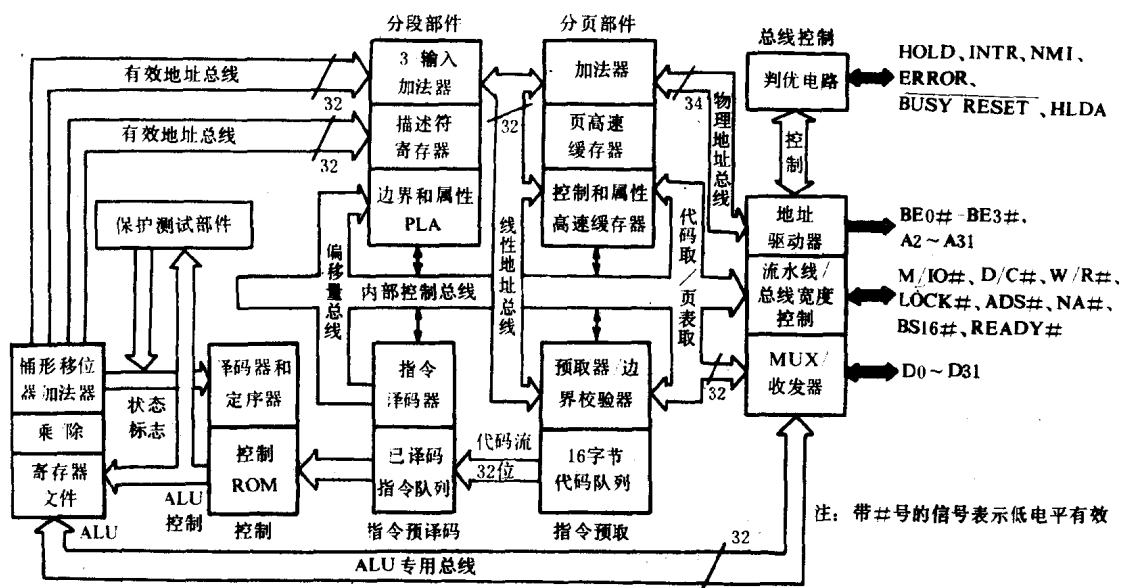


图 1.1 80386 CPU 的内部结构

可以看到, 80386 CPU 的内部结构和 80286 CPU 基本相同, 主要增加了页管理部件, 并且内部的分工更细。80386 CPU 的这些部件在内部分别进行同步, 独立并行地进行操作, 实现了高效的流水线化作业, 避免了顺序处理, 最大限度地发挥处理器的性能, 使总线的利用效率达到最佳状态。

80386 的总线接口部件主要用来产生访问外部存储器和 I/O 口所需要的地址、数据和命令信号。另外，总线接口部件还要控制同 80387（或 80287）协处理器的接口。大家知道，在 8086/88 和 8087 的系统中，8086/88 和 8087 是同步工作，8086/88 的时钟工作频率受到 8087 的制约，8087 本身可以对存储器直接进行访问。而在 80286 和 80287 的系统中，为了改变这种制约状态，80286 和 80287 可以异步工作，80287 对存储器的访问，全部是通过 80286 总线部件内的协处理器接口进行的。即 80287 和存储器之间交换数据时，80287 相当于外围部件，分配有 I/O 口地址，80286 的作用相当于 DMA 控制器，是在 80286 的控制下进行的。在 80386 和 80387（或 80287）的系统中，80386 总线接口部件和 80286 总线部件的功能相同。

80386 的指令预取部件中包含有 16 字节的指令预取队列寄存器, 当总线空闲时, 从存储器读取指令存放到指令预取队列寄存器。80386 的指令平均长度为 3.5 字节 (24 位~28

位)，所以，指令预取队列寄存器大约可以存放 5 条指令。

段管理部件用来把由指令指定的逻辑地址变换成线性地址。如以后所述，逻辑地址是在程序中指定的虚拟地址。页管理部件的功能是把线性地址换算成物理地址。页管理部件是在 80386 CPU 中新增加的部件，它是 80386 的一大特长。页管理部件同时又是可选择的部件，如果不使用这个部件，80386 的线性地址就是物理地址。

对 80386 来说，段管理部件和页管理部件一起都是存储器管理部件，理解和掌握这两个部件的工作原理，对分析 80386 微机系统是最为重要的。

1.1.2 80386 CPU 的内部寄存器

如图 1.2 (a) 和 (b) 所示，80386 CPU 内部包含有如下的寄存器：

- (1) 通用寄存器
- (2) 标志寄存器
- (3) 指令指示器
- (4) 段寄存器
- (5) 系统地址寄存器
- (6) 调试寄存器
- (7) 控制寄存器
- (8) 测试寄存器

如果对图 1.2 的寄存器作进一步说明，则分为扩充的 8086 寄存器和新增加的寄存器。通用寄存器，段寄存器，标志寄存器和指令指示器，除段寄存器 FS 和 GS 为新增加的寄存器外，其它的都是在 8086 的基础上进行扩充的寄存器。通用寄存器是 32 位的寄存器，在寄存器名字的前面附加字母 E。这些寄存器可以象 8086 (包括 8088) 的 8 位或 16 位寄存器一样进行使用，以保持寄存器一级向上的兼容性。例如，AX 是 EAX 的低 16 位，AH 是 AX 的高 8 位等。

标志寄存器 (EFLAGS) 和指令寄存器 (EIP) 都是 32 位的寄存器，按照使用方法，CPU 也可以只使用这些寄存器的低 16 位 (FLAGS 和 IP)。

和 8086 相比，除 CS, SS, DS, ES 之外，80386 又增加了 FS 和 GS 这两个新的段寄存器，以便减轻对 ES 和 DS 段寄存器的压力。80386 中的段寄存器和 8086 中的段寄存器有所不同，这些段寄存器是由 16 位的选择器字段和 64 位的描述符高速缓存器构成。80386 中的段选择器字段即相当于 8086 中的 16 位段寄存器，是程序可以访问的字段。80386 中段寄存器的描述符高速缓存器是程序不能访问的。关于这些段寄存器的作用，在说明段管理部件的工作原理时，再作进一步介绍。

图 1.2 中新增加的寄存器是 8086 中没有的寄存器。新增加的寄存器中有系统地址寄存器，也称作系统表寄存器，主要用来在保护模式下管理 4 个系统表，这 4 个系统表是：

- (1) GDT (Global Descriptor Table: 全局描述符表)
- (2) IDT (Interrupt Descriptor Table: 中断描述符表)
- (3) LDT (Local Descriptor Table: 局部描述符表)
- (4) TSS (Task State Segment: 任务状态段)

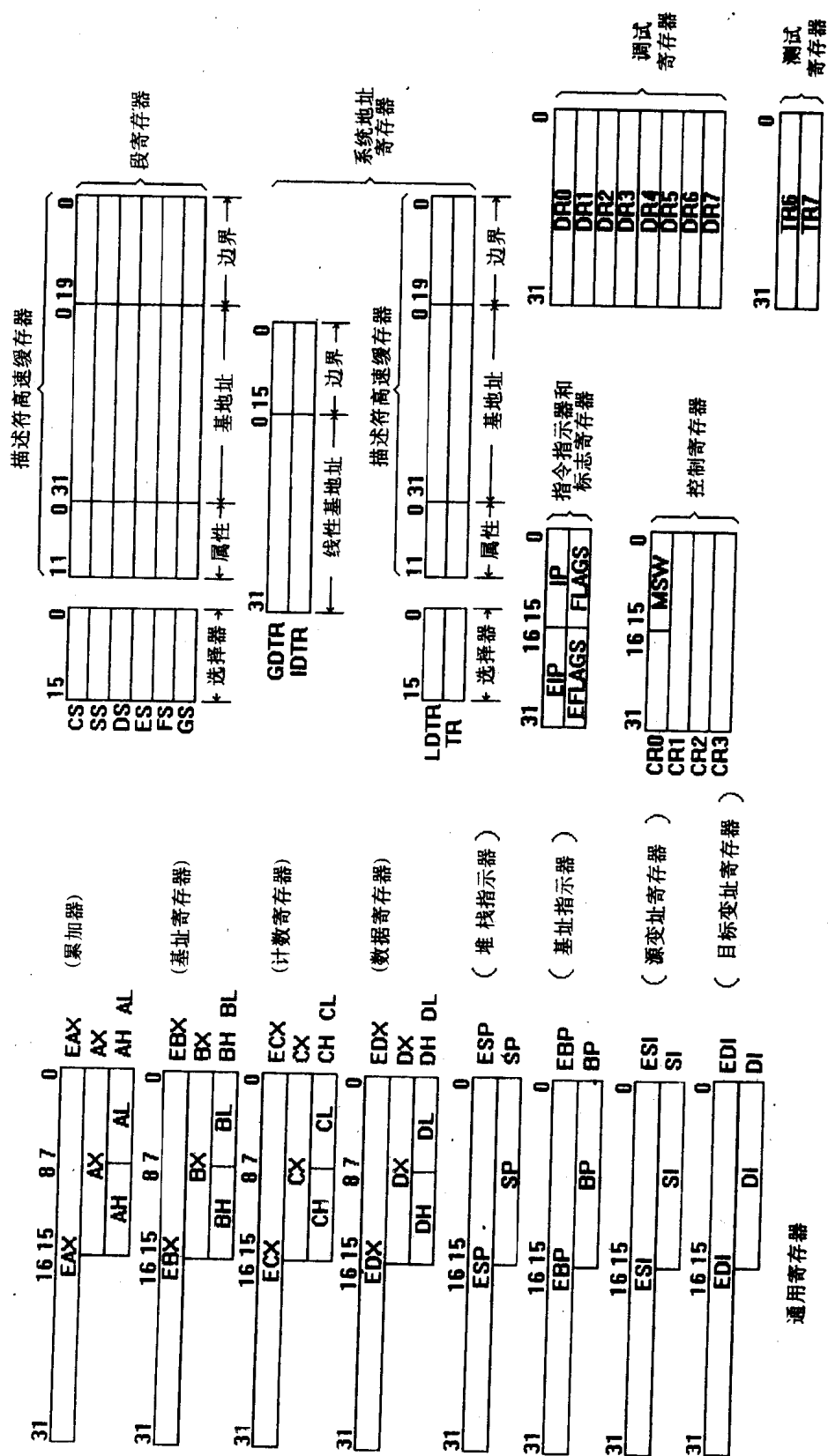


图 1.2 80386 CPU 内部的寄存器

GDT, IDT 和 LDT 这三个描述符表在物理存储器中的位置和大小等分别由 GDTR (GDT 寄存器), IDTR (IDT 寄存器) 和 LDTR (LDT 寄存器) 进行指定。另外, 存放任务环境的称作 TSS 的表, 其在物理存储器中的位置和大小等由 TR (任务寄存器) 进行指定。GDTR 和 IDTR 是由 32 位的基地址字段和 16 位的边界字段构成的 48 位寄存器, 即使在实模式下, 为了对保护模式进行初始化设置, 也可以对 GDTR 和 IDTR 进行访问。另外, 应该记住, LDTR 和 TR 与段寄存器的构成相同, 由 16 位的选择器字段和 64 位的描述符高速缓存器组成。这两个寄存器只能在保护模式下使用, 在保护模式下由程序可访问的部分只限于选择器字段。以后可以看到, 通过指令 (LLDT, LTR) 或任务转换, 可以把由各自的选择器字段所指定的 LDT 描述符或 TSS 描述符自动地加载到 LDTR 或 TR 的描述符高速缓存器。

对 8086 来说, 80386 CPU 增加了 4 个控制寄存器 CR0~CR3, CR1 为备用, CR3 用于提供页目录的基地址, CR2 用于提供页故障线性地址。CR0 寄存器的低 16 位是机器状态寄存器 (MSW), 与 80286 中增加的 MSW 寄存器相同, 即 80286 中的 MSW 就是 80386 中 CR0 寄存器的低 16 位。CR0 寄存器各控制位的定义在本章介绍了 80486 CPU 之后还要再作进一步说明。CR0~CR3 都是与 80386 的页功能有关的寄存器, 在介绍 80386 的页功能时, 将说明它们的功用。

对 8086 和 80286 来说, 调试寄存器 DR0~DR7 与测试寄存器 TR6 和 TR7 都是新增加的寄存器。DR0~DR7 主要用来设置程序的断点, TR6 和 TR7 也是与页功能有关的寄存器, 在后面的章节里要专门介绍调试寄存器和测试寄存器的功用。

1.2 协处理器 80387

协处理器 80387 又称数值运算处理器, 它和 80287 一样, 在内部包含有 8 个 80 位的运算寄存器。增加数值运算处理器是为了从体系结构上扩充 80386 的功能。

1.2.1 80387 的内部寄存器

80387 的内部寄存器如图 1.3 所示。运算寄存器用于存放进行运算的数据, 由 8 个 80 位的堆栈寄存器组成。进出堆栈寄存器的数据和进出一般存储器堆栈的数据按同样的方式进行。图 1.3 的状态寄存器中的 TOP 字段 (位 11~位 13) 指示现在的堆栈寄存器的栈顶是哪个寄存器。用 FLD 指令等向堆栈寄存器加载数据时, TOP 被减 1, 把数据送到由 TOP 字段指示的新的堆栈寄存器。反之, 用 FST 指令把堆栈寄存器中的数据保存到存储器时, 是把现在由 TOP 字段指示的堆栈寄存器中的内容保存到存储器, 然后再把 TOP 字段加 1。另外, 在进行运算时, 把 TOP 字段指示的堆栈寄存器用作累加器, 运算结果是存入到由 TOP 字段指示的堆栈寄存器中。控制寄存器是控制 80387 运算的寄存器, 由控制寄存器的位决定运算错误的处理, 运算的精度, 数值的舍入, 以及无限大的处理方法等。

状态寄存器除了 TOP 字段以外, 还有表示运算结果的状态位 (运算结果是否为 0, 是否产生溢出/下溢等)。