

MC68306 EC000

集成处理器用户手册

贾红斌 译

010011001001010010011010100100101



MOTOROLA

人民邮电出版社

ommunication
omputer
ontroller

P332-
J27

MC68306 EC000 集成处理器

用 户 手 册

✓ 贾红斌 译

人民邮电出版社

内 容 提 要

本手册介绍了 MC68306 EC000 集成处理器的详细信息。全手册共分 9 章,分别介绍了 MC68306 的概述、信号描述、68000 总线操作、EC000 中央处理器、系统操作、串行模块、IEEE 1149.1 测试存取端口、电气特性以及要求说明和器件说明。

本手册深入浅出,通俗易懂,适合电子、通信领域的科研、开发、生产、维护人员,以及大中专院校师生学习参考。

JS229/34

MC68306 EC000 集成处理器用户手册

◆ 译 贾红斌

责任编辑 刘华鲁

◆ 人民邮电出版社出版发行 北京崇文区夕照寺街 14 号

北京朝阳展望印刷厂印刷

新华书店总店北京发行所经销

◆ 开本:787×1092 1/16

印张:9.5

字数:226 千字

1998 年 2 月第 1 版

印数:1—2 500 册

1998 年 2 月北京第 1 次印刷

ISBN7-115-06677-9/TP·513

定价:15.00 元

前 言

MC68306 的整套文件包括 MC68306 UM/AD,《MC68306 EC000 集成处理器用户手册》,MC68000 PM/AD,《MC68000 系列程序员参考手册》和 MC68306 P/D,《MC68306 EC000 集成处理器产品说明》。

《MC68306 EC000 集成处理器用户手册》描述了 MC68306 的编程、功能、寄存器和 MC68306 的操作;《MC68000 系列程序员参考手册》提供了 MC68306 的详细指令;《MC68306 EC000 集成处理器产品说明》提供了 MC68306 功能的简明描述。

本用户手册由以下几部分组成:

第一章 概述

第二章 信号描述

第三章 68000 总线操作说明

第四章 EC000 中央处理器

第五章 系统操作

第六章 串行模块

第七章 IEEE 1149.1 测试访问端口

第八章 电气特性

第九章 订货信息和机械数据

目 录

第一章 概 述

1.1 MC68EC000 中央处理器	2
1.2 片内外设	2
1.2.1 串行模式	2
1.2.2 DRAM 控制器	3
1.2.3 片选	3
1.2.4 并行端口	3
1.2.5 中断控制器	3
1.2.6 时钟	3
1.2.7 总线超时监控器	4
1.2.8 模式控制器	4
1.2.9 IEEE 4149.1 测试	4

第二章 信号描述

2.1 总线信号	8
2.1.1 地址总线 (A23~A1)	9
2.1.2 地址选通 ($\overline{AS}$)	9
2.1.3 总线错误 ($\overline{BERR}$)	9
2.1.4 总线请求 ($\overline{BR}$)	9
2.1.5 总线允许 ($\overline{BG}$)	9
2.1.6 总线允许响应 ($\overline{BGACK}$)	9
2.1.7 数据总线 (D15~D0)	9
2.1.8 数据传送响应 ($\overline{DTACK}$)	10
2.1.9 DRAM 复用地址总线 ($\overline{DRAMA14} \sim \overline{DRAMA0}$)	10
2.1.10 处理器功能码 (FC2~FC0)	10
2.1.11 停机 ($\overline{HALT}$)	10
2.1.12 读/写 ($R/\overline{W}$)	11
2.1.13 高位和低位数据选通 ($\overline{UDS}, \overline{LDS}$)	11
2.1.14 高字节写入 ($\overline{UW}$)	11
2.1.15 低字节写入 ($\overline{LW}$)	11
2.1.16 输出允许 ($\overline{OE}$)	11
2.1.17 复位 ($\overline{RESET}$)	12
2.2 片选信号	12

2.3	DRAM 控制器信号	12
2.3.1	列地址选通 ($\overline{\text{CAS1}} \sim \overline{\text{CAS0}}$)	12
2.3.2	行地址选通 ($\overline{\text{RAS1}} \sim \overline{\text{RAS0}}$)	12
2.3.3	DRAM 写信号 ($\overline{\text{DRAMW}}$)	12
2.4	中断控制和并行端口信号	12
2.4.1	中断请求 ($\text{IRQ7} \sim \text{IRQ1}$)	12
2.4.2	中断响应 ($\overline{\text{IACK7}} \sim \overline{\text{IACK1}}$)	12
2.4.3	端口 A ($\text{PA7} \sim \text{PA0}$)	13
2.4.4	端口 B ($\text{PB7} \sim \text{PB0}$)	13
2.5	时钟和模式控制信号	13
2.5.1	晶体振荡器 ($\text{EXTAL}, \text{XTAL}$)	13
2.5.2	时钟输出 (CLKOUT)	13
2.5.3	地址模式 (AMODE)	13
2.6	串行模块信号	13
2.6.1	通道 A 接收器串行数据输入 ($\text{R}_\text{x}\text{DA}$)	13
2.6.2	通道 A 发送器串行数据输出 ($\text{T}_\text{x}\text{DA}$)	13
2.6.3	通道 B 接收器串行数据输入 ($\text{R}_\text{x}\text{DB}$)	14
2.6.4	通道 B 发送器串行数据输出 ($\text{T}_\text{x}\text{DB}$)	14
2.6.5	$\overline{\text{CTSA}}$	14
2.6.6	$\overline{\text{RTSA}}$	14
2.6.7	$\overline{\text{CTSB}}$	14
2.6.8	$\overline{\text{RTSB}}$	14
2.6.9	晶体振荡器 ($\text{X1/CLK}, \text{X2}$)	14
2.6.10	$\overline{\text{IP2}}$	14
2.6.11	$\overline{\text{OP3}}$	14
2.7	JTAG 端口测试信号	15
2.7.1	测试时钟 (TCK)	15
2.7.2	测试模式选择 (TMS)	15
2.7.3	测试数据输入 (TDI)	15
2.7.4	测试数据输出 (TDO)	15
2.7.5	测试复位 ($\overline{\text{TRST}}$)	15

第三章 68000 总线操作说明

3.1	数据传送操作	16
3.1.1	读周期	16
3.1.2	写周期	19
3.1.3	读一改一写周期	20
3.1.4	CPU 间隔周期	23
3.2	总线仲裁	24
3.2.1	总线请求	26

3.2.2 接收总线允许	26
3.2.3 主控权确认(仅用于3线总线仲裁)	26
3.3 总线仲裁控制	27
3.4 总线错误和停机操作	31
3.4.1 总线错误操作	31
3.4.2 重试总线周期	32
3.4.3 停机操作	32
3.4.4 双总线故障	34
3.5 复位操作	34
3.6 $\overline{DTACK}$ 、 $\overline{BERR}$ 和 $\overline{HALT}$ 之间的关系	35
3.7 异步操作	36
3.8 同步操作	38

第四章 EC000 中央处理器

4.1 特点	41
4.2 处理状态	41
4.3 编程模型	41
4.3.1 数据格式摘要	42
4.3.2 寻址能力摘要	43
4.3.3 符号约定	44
4.4 EC000 中央处理器指令集概述	47
4.5 异常处理	52
4.5.1 异常向量	54
4.6 特殊异常处理	55
4.6.1 复位异常	56
4.6.2 中断异常	56
4.6.3 未初始化的中断异常	56
4.6.4 假中断异常	56
4.6.5 指令陷阱	57
4.6.6 非法和无效指令	57
4.6.7 特权违章	57
4.6.8 跟踪	58
4.6.9 总线错误	58
4.6.10 地址错误	59
4.6.11 多重异常	59

第五章 系统操作

5.1 MC68306 地址空间	60
5.2 寄存器说明	62
5.2.1 系统寄存器	62

5.2.2	计时器向量寄存器	63
5.2.3	总线超过周期寄存器	63
5.2.4	中断寄存器	63
5.2.4.1	中断控制寄存器	63
5.2.4.2	中断状态寄存器	64
5.2.5	I/O 端口寄存器	64
5.2.5.1	端口引脚寄存器	65
5.2.5.2	端口方向寄存器	65
5.2.5.3	端口数据寄存器	66
5.2.6	片选	66
5.2.6.1	片选配置寄存器(高半位)	67
5.2.6.2	片选配置寄存器(低半位)	67
5.2.7	DRAM 控制寄存器	69
5.2.7.1	DRAM 刷新寄存器	70
5.2.7.2	DRAM 块配置寄存器(高半位)	71
5.2.7.3	DRAM 块配置寄存器(低半位)	71
5.2.8	自动 $\overline{DTACK}$ 的生成	73
5.3	晶体振荡器	73

第六章 串行模块

6.1	模块概述	74
6.1.1	串行通信通道 A 和通道 B	75
6.1.2	波特率发生器逻辑	75
6.1.3	定时器/计数器	75
6.1.4	中断控制逻辑	75
6.1.5	串行模块与 MC68681 的比较	76
6.2	串行模块的信号定义	76
6.2.1	晶振输入或外部时钟(X1/CLK)	76
6.2.2	晶振的输出(X2)	76
6.2.3	通道 A 发送器串行数据输出 (T_xDA)	76
6.2.4	通道 A 接收器串行数据输入 (R_xDA)	76
6.2.5	通道 B 发送器串行数据输出 (T_xDB)	76
6.2.6	通道 B 接收器串行数据输入 (R_xDB)	77
6.2.7	通道 A 的发送请求 ($\overline{RTSA}/\overline{OP0}$)	77
6.2.7.1	$\overline{RTSA}$	77
6.2.7.2	$\overline{OP0}$	77
6.2.8	通道 B 的发送请求 ($\overline{RTSB}/\overline{OP1}$)	78
6.2.8.1	$\overline{RTSB}$	78
6.2.8.2	$\overline{OP1}$	78
6.2.9	通道 A 发送清除($\overline{CTSA}/\overline{IP0}$)	78

6.2.9.1	CTSA	78
6.2.9.2	IP0	78
6.2.10	通道 B 发送清除 ($\overline{\text{CTSB}}/\text{IP1}$)	78
6.2.10.1	$\overline{\text{CTSB}}$	78
6.2.10.2	IP1	78
6.3	操作	78
6.3.1	波特率发生器	78
6.3.2	发送器和接收器操作模式	79
6.3.2.1	发送器	79
6.3.2.2	接收器	79
6.3.2.3	FIFO 堆栈	81
6.3.3	回环模式	83
6.3.3.1	自动回声模式	83
6.3.3.2	本地回环模式	83
6.3.3.3	远程回环模式	83
6.3.4	多点方式	84
6.3.5	计数器/定时器	85
6.3.5.1	计数器模式	85
6.3.5.2	定时器模式	85
6.3.6	总线操作	86
6.3.6.1	读周期	86
6.3.6.2	写周期	86
6.3.6.3	中断响应周期	86
6.4	寄存器描述及编程	86
6.4.1	寄存器描述	86
6.4.1.1	模式寄存器 1 (DUMR1)	87
6.4.1.2	模式寄存器 2 (DUMR2)	89
6.4.1.3	状态寄存器 (DUSR)	90
6.4.1.4	时钟选择寄存器 (DUCSR)	92
6.4.1.5	命令寄存器 (DUCR)	93
6.4.1.6	接收器缓冲 (DURB)	95
6.4.1.7	发送器缓冲 (DUTB)	96
6.4.1.8	输入端口改变寄存器 (DUIPCR)	96
6.4.1.9	辅助控制寄存器 (DUACR)	96
6.4.1.10	中断状态寄存器 (DUISR)	97
6.4.1.11	中断屏蔽寄存器 (DUIMR)	98
6.4.1.12	计数寄存器: 计数器当前高位 (DUCUR)	99
6.4.1.13	计数寄存器: 计数器当前低位 (DUCLR)	99
6.4.1.14	计数器/定时器高位预置寄存器 (DUCTUR)	99
6.4.1.15	计数器/定时器低位预置寄存器 (DUCTLR)	99

6.4.1.16	中断矢量寄存器 (DUIVR)	100
6.4.1.17	输入端口寄存器 (DUIP)	100
6.4.1.18	输出端口控制寄存器 (DUOPCR)	100
6.4.1.19	输出端口数据寄存器 (DUOP)	101
6.4.1.20	启动计数器命令寄存器	102
6.4.1.21	停止计数命令寄存器	102
6.4.2	编程	102
6.4.2.1	串行模块初始化	102
6.4.2.2	I/O 驱动例子	103
6.4.2.3	中断处理	103
6.5	串行模块初始化步骤	106

第七章 IEEE 1149.1 测试访问端口

7.1	概述	108
7.2	TAP 控制器	109
7.3	边界扫描寄存器	109
7.4	指令寄存器	115
7.4.1	EXTEST (000)	115
7.4.2	SAMPLE/PRECLAD (110)	115
7.4.3	BYPASS (010,101,111)	116
7.4.4	CLAMP (011)	116
7.5	MC68306 限制	116
7.6	非 IEEE1149.1 操作	116

第八章 电气特性

8.1	最大额定值	117
8.2	热特性	117
8.3	电源要求	118
8.4	AC 电气特性定义	118
8.5	DC 电气特性	120
8.6	AC 电气特性——时钟时序	120
8.7	AC 电气特性——读和写周期	121
8.8	AC 电气特性——片选和中断响应	125
8.9	AC 电气特性——总线仲裁	126
8.10	总线操作——DRAM 访问 AC 时序特性	128
8.11	串行模块电气特性	130
8.12	串行模块 AC 电气特性——时钟时序	131
8.13	AC 电气特性——端口时序	131
8.14	AC 电气特性——中断复位时序	132
8.15	AC 电气特性——发送器时序	132

8.16	AC 电气特性——接收器时序	133
8.17	IEEE1149.1 电气特性	134

第九章 订货信息和机械数据

9.1	标准订货信息	136
9.2	管脚分配	136
9.3	封装尺寸	138

第一章 概 述

MC68306 是一种集成处理器,其中包括一个 MC68EC000 处理器以及对于多数 MC68000 和 MC68EC000 系统都通用的一些单元。应用中需求 MC68000 类型性能的设计者发现,将有用的系统单元集成在一块芯片上可减少设计时间。MC68306 提供的外围器件的组合都位于基于微处理机系统的各个边沿,包括嵌入控制和通用运算。对于需求串行通信和动态随机存储器 (DRAM) 的系统,使用 MC68306 特别有利。

MC68306 功能的高度集成使元件个数、能耗、主板的空间和成本明显减少,提高了系统可靠性,缩短了设计时间。使用与 MC68000 兼容的完整编码,给设计者接入实时核心的底板、操作系统、语言、应用、开发工具提供了广泛的基础,其中大部分都是嵌入控制的。MC68306 的简化框图如图 1-1 所示。

MC68306 的主要特点如下:

- 功能集成在单片硅上
- EC000 核心——与 MC68EC000 微处理器相同

—具有与 MC68000 和 MC68EC000 兼容的完整编码

- 高性能 (2.4MIPS)
- 扩展的内部地址阵列 (高达 4G 字节)

- 双信道的通用同步/异步接收器/发送器 (DUART)

- 波特率发生器
- MODEM 控制
- 与 MC68681/MC2681 兼容
- 集成的 16 位定时器/计数器

- DRAM 控制器

—使用 4M×1 DRAM 最多可支持 16M 字节,使用 16M×1 DRAM 最多可支持 64M 字节

- 为 80ns DRAM 提供零等待状态接口
- 可编程刷新计时器支持 $\overline{\text{CAS}}$ -before- $\overline{\text{RAS}}$ 刷新

- 片选
- 8 个可编程序片选信号
- 提供 8 个分离的 1M 字节空间,或者 4 个分离的 16M 字节空间
- 可编程等待状态
- 可编程中断控制器

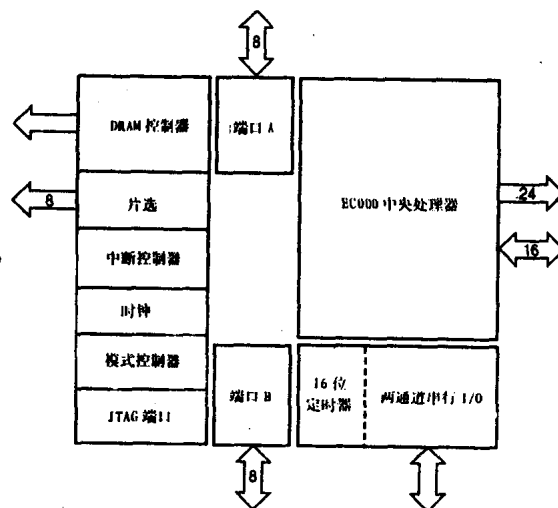


图 1-1 MC68306 简化框图

- 总线超时
- 24 位地址线,16 位数据线
- 工作频率 16.67MHz,电压 5V
- 144 脚的 TQFP 或 132 脚的 PQFP

1.1 MC68EC000 中央处理器

MC68EC000 是 MC68000 32 位微处理器体系结构的核心部分,程序员能够利用八个 32 位数据寄存器进行快速数据变换,利用八个 32 位地址寄存器进行存储器数据索引。灵活的指令支持数据转移、算术运算、逻辑操作、移位和循环、位设置和清零、条件和非条件程序分支,以及系统控制。

MC68EC000 中央处理器能够进行 1 位、二进制码的十进制(BCD)数、8 位、16 位、32 位的数据类型操作。集成的片选允许外围和内存数据存放在 4G 字节线性地址空间的任何地方。监控程序操作模式从更多限制的用户方式上保护了系统级的资源,为再开发提供了一个真正有效的环境。许多寻址方式补充了包括预置减量和后置增量这些指令,允许简单的堆栈和队列维护,以及为了有效的表查询而进行的定位索引。数据类型和寻址方式是被所有的数据操作和专用的寻址方式支持的。位置无关代码是容易编写的。

像所有 M68000 系列的微处理器一样,MC68EC000 中央处理器可鉴别七种不同优先级的中断,而且允许一个自动的矢量或者一个外部器件矢量指挥控制处理器去执行指定的服务程序。内部陷阱异常时,用正确的地址和数据确保正常指令执行,在特殊情况下允许操作系统介入,并且允许指令追踪。在指令错误地处理错数据之前硬件信号也能够终止或返回运行错误的存储器存取。EC000 中央处理器在 16.67MHz 的时钟频率下可提供 2.4MIPS。

1.2 片内外设

为了改进整个系统的总处理能力和减少器件个数、插板尺寸及系统器件的成本,MC68300 系列把芯片、智能外设模块和典型的贴粘逻辑集成在单片的芯片上。MC68306 功能包括两个串行信道、一个定时器/计数器、一个 DRAM 控制器、一个并行端口和系统贴粘逻辑。

1.2.1 串行模块

大多数数字系统使用串行 I/O 口与主机、操作终端或远程器件进行通信。MC68306 包含一个带有集成定时器的双通道全双工 UART。芯片中的波特率发生器为每一信道的接收器和发送器提供的标准的波特率高达 38.4kbaud。这种串行模式与 MC68681/MC2681 DUART 相同。

每一个信道是完全独立的。在 1/16 的增量中,数据格式可以是 5、6、7、8 位,可带有偶校验、奇校验或无奇偶校验,停止位最多为 2 位。四字节的接收缓冲器和两字节的发送缓冲器使 CPU 服务呼叫最小化,每一信道都提供多种错误检查和屏蔽中断能力,还可选择全双工、自动

回送、局部回送、远程回送方式,也支持多点应用。

一个 3.6864MHz 的晶体振荡器驱动波特率发生器。每一发送和接收信道可通过编程实现不同的波特率。所有的调制解调器都为每一信道分别提供请求传送(RTS)和清除传送(CTS)信号。

集成的 16 位定时器/计数器能在计数方式或定时方式下工作。在计数器方式下,定时器/计数器可作为系统停表、实时单中断发生器和器件的监视器;在定时器方式下,定时器/计数器能用作信道 A 和 B 可编程的时钟源、周期性中断发生器或可变占空比的矩形波发生器。

1.2.2 DRAM 控制器

由于 DRAM 是具有高速存储能力的最经济方式,所以它在很多系统中被使用。可是相当多的设计工作常常集中在处理器和 DRAM 之间接口的设计上。MC68306 包括完整的 DRAM 控制器,因而大大减少了设计时间和复杂性。

DRAM 控制器为两个分离的 DRAM 库提供了行地址选通($\overline{\text{RAS}}$)和列地址选通($\overline{\text{CAS}}$)信号。每个库最多包含 16 个器件,15 个可用的复用地址线。这样,使用 $4\text{M} \times 1$ 的 DRAM 最多可支持 DRAM 的 16M 字节,用 $16\text{M} \times 1$ 的 DRAM 最多可支持 DRAM 的 64M 字节。可编程的刷新计时器在指定的间隔内提供 $\overline{\text{CAS}}-\text{before}-\overline{\text{RAS}}$ 刷新。

DRAM 控制器有自己的地址寄存器,它通过每个 RAS 和 CAS 信号来控制寻址范围,余下的 8 个集成的片选将随时地为其它系统外设服务。采用 80ns 的 DRAM 时,DRAM 存取是零等待状态。

1.2.3 片选

MC68306 提供多达 8 个可编程的片选输出,在多数情况免去外部地址译码的需要。所有的握手信号和时钟信号都可提供,存取时间最多不超过 950ns。每组片选都能存取 16M 字节的地址空间定位到 4G 字节的地址范围内的任何地方。内部寄存器允许每片选的基地址、范围和循环周期可被独立编程。复位后片选($\overline{\text{CS0}}$)响应所有访问,直到该片选已被正确编程。有 4 个片选复用最高地址位(A23~A20)。地址模式(AMODE)输入决定这些输出功能。

1.2.4 并行端口

有两个 8 位的并行端口。端口的引脚可为输入或输出单独编程。如果引脚被编程为输入,引脚的值可通过访问插件上的某一寄存器而读出,如果引脚编程为输出,引脚将返回一个值到插件的另一个寄存器中。端口 B 的引脚是 4 位中断请求引线和 4 位中断确认引线复合而成的,这些引脚的功能都是通过内部寄存器控制的。

1.2.5 中断控制器

有七个输入信号可供触发外部中断,每一个都支持七种优先级之一。每个输入可被设定为高电位有效或低电位有效,七个分离的输出表示中断服务的优先级别,每个优先级别的中断都能够预编程跳转到缺省的服务程序。为增大灵活性,中断能够通过中断器件引跳到正确的服务程序。

1.2.6 时钟

为了节省系统成本,MC68306 有一个在插件板上的振荡器,可由 16.67MHz 晶体驱动。总

线时钟输出由 CLKOUT 引脚提供。也可以使用外部的 16.67—MHz 振荡器,在 CLKOUT 引脚上的输入时钟信号和总线时钟二者之间只有很小的脉冲扭斜。

1.2.7 总线超时监控器

总线超时监控器用于在预编程时间长度以后非正常终止的任何总线周期出错时自动终止和报告出错。用户可设定超时周期最大为 4096 个时钟。

1.2.8 模式控制器

有一个输入信号用于确定复用的地址/片选引脚功能,此模式输入在 $\overline{\text{RESET}}$ 的上升沿取样。

1.2.9 IEEE 1149.1 测试

为了辅助系统诊断,MC68306 包括专用的用户可访问测试逻辑,扫描测试的范围全部遵循 IEEE 1149.1 标准,常常称之为 JTAG(联合测试工作组)。

第二章 信号描述

本章简单描述一些输入、输出信号,需要时可参考其它章节,该处对它们的应用有较详细的描述。图 2-1 表示集成的外设和信号的详细框图。对于信号名称、助记符、输入或输出类型、有效状态、类型标记等的确定,表 2.1~表 2.7 提供了一种便捷的参考。

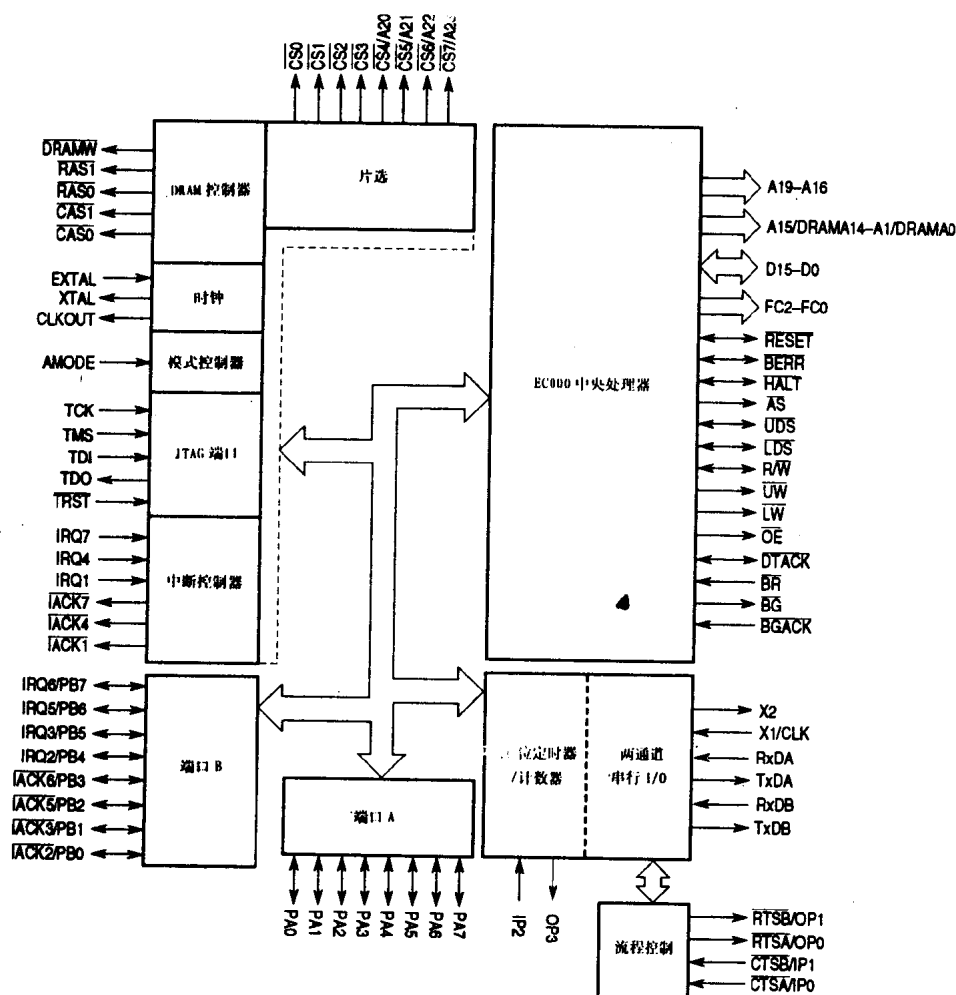


图 2-1 MC68306 详细框图

注意

为了避免同时遇到“低有效”和“高有效”信号时产生混淆,本章以后文中将经常使用到“肯定”和“否定”这两条术语。“肯定”用来表示信号是有效的或是真,而与电平的低或高无关;“否

定”用来表示信号是无效的或是假。

表 2.1 总线信号摘要

信号名称	助记符	输入/输出	总线仲裁中的三态	上浮要求值
地址总线	A23-A1	输出	是	
地址选通	$\overline{AS}$	输出	是	4.7K
总线错误	$\overline{BERR}$	输入/输出	—	2.2K
总线允许	$\overline{BG}$	输出	否	
总线允许响应	$\overline{BGACK}$	输入	—	(1)
总线请求	$\overline{BR}$	输入	—	(1)
数据总线	D15-D0	输入/输出	是	
数据传送响应	$\overline{DTACK}$	输入/输出	—	2.2K
DRAM 复合总线 14-0	DRAMA14-- DRAMA0	输出	是	
功能码	FC2-FC0	输出	是	
停机	$\overline{HALT}$	输入/输出	—	2.2K
低数据选通	$\overline{LDS}$	输入/输出	是	4.7K
高数据选通	$\overline{UDS}$	输入/输出	是	4.7K
低字节写选通	$\overline{LW}$	输出	否	
高字节写选通	$\overline{UW}$	输出	否	
输出允许	$\overline{OE}$	输出	否	
读/写	R/ $\overline{W}$	输出	是	
复位	$\overline{RESET}$	输入/输出	—	2.2K

注：1. 在个别应用中根据情况上浮此值，不得向左浮动。

表 2.2 片选信号摘要

信号名称	助记符	输入/输出	总线仲裁中的三态	上浮要求值
片选	$\overline{CS3}-\overline{CS0}$	输出	是	4.7K
片选 7-4/地址 23-20	$\overline{CS7}-\overline{CS4}/A23-A0$	输出	是	4.7K