

VHDL

语言及其应用

黄建文 艾西加 魏方 编著

中国铁道出版社

CAD 丛书

VHDL 语言及其应用

黄建文 艾西加 魏方 编著

中国科学院计算技术研究所 CAD 开放研究实验室

中 国 铁 道 出 版 社

1997年·北京

IS/75/60
(京)新登字 063 号

内 容 简 介

本书的第一章至第三章是 VHDL 基础,即围绕行为模型、结构模型和时间模型三种模型阐述基本概念、语法规则及模型的组织,第四章讲述模型综合的初步概念和综合工具,第五章介绍一个深入学习的样例。

本书适用于电子系统设计领域的工程技术人员,也可作为高等院校参考教材。

图书在版编目(CIP)数据

VHDL 语言及其应用/黄建文等编著. —北京:中国铁道出版社,1997

(CAD 丛书)

ISBN 7-113-02750-4

I. V… II. 黄… III. VHDL 语言-基本知识
IV. TP312V

中国版本图书馆 CIP 数据核字(97)第 16365 号

CAD 丛书

VHDL 语言及其应用

黄建文 艾西加 魏方 编著

中国铁道出版社出版发行

(100054,北京市宣武区右安门西街 8 号)

北京市兴顺印刷厂印刷 各地新华书店经售

1997 年 10 月 第 1 版 第 1 次印刷

开本:850×1168 1/32 印张:4.875 字数:125 千字

印数:1—3000 定价:15.90 元

版权所有 盗印必究

凡购买铁道版的图书,如有缺页、倒页、脱页者,请与本社发行部调换。

前 言

计算机辅助设计(CAD)作为一种实用性极强、发展十分迅猛的科学技术,已成为传统产业改造、工程设计变革、劳动生产率提高和产品市场竞争力增强的有力手段,对一国经济发展具有重要的意义。

中国科学院计算技术研究所 CAD 开放实验室,于 1987 年 9 月经中国科学院批准成立,多年来它聚集了国内外 41 个单位的 240 余名优秀人才,在国家“七五”攻关计划、“863”高技术计划和国家自然科学基金项目等的经费支持下,开展了 CAD、计算机图形学、专家系统、工程数据库等的基础性研究和系统研究开发的大量工作、取得了一系列重大研究成果,并已成功应用于电子、机械、建筑、地理、控制、工程管理及艺术等领域,为我国 CAD 科技的发展作出了重要的贡献。为对其中一些具有显著特色的研究成果及时进行总结、提炼和交流,CAD 开放实验室决定组织撰写这套 CAD 丛书,第一批包括:《专用集成电路行为功能级模拟技术》、《机械设计专家系统研究与实践》、《计算机在建筑设计造型中的应用》、《分形的计算机图象及其应用》、《计算机地理真实感图形》、《VHDL 语言及其应用》和《工程数据库》等共七部专著先行出版,其余专著也将根据研究进展,陆续撰写出版。

丛书从不同侧面比较系统地反映了 CAD 与计算机图形学国内外的最新动向和成就,将对这一领域技术在我国的传播、提高与推广产生积极的影响,也为我国广大设计工作者,大专院校教师和学生提供一种有价值的参考书。我相信广大读者必将能从这套丛书中得到助益。

中国计算机学会理事长
中国科学院院士 张效祥

一九九三年七月

CAD 丛书编委会

主 编：魏道政
编 委：石教英
许隆文
刘明业
刘慎权
周堤基
林宗楷
唐荣锡
唐璞山

序 言

1987年9月,中国科学院批准成立了中国科学院计算技术研究所CAD开放研究实验室,承担了国家“七·五”攻关、“863”高技术计划和国家自然科学基金项目,聚集了国内外41个单位的240余名优秀人才,在CAT、CAD、图形学、专家系统、工程数据库等的基础研究和高水平CAD系统研制方面,均取得了重大研究成果。这些成果在电子、机械、建筑、地理、控制、工程管理和艺术等领域得到成功的应用。

为了对这些研究成果进行总结、提炼与升华,我们室决定组织并撰写一套CAD丛书,并将陆续出版。

这套丛书的第一批包括7本著作,它由20余名中青年学者,历时3年撰写而成的:

《专用集成电路行为功能级模拟技术》介绍了行为功能级模拟器及硬件描述语言DDL,以RISC SPARC为例讨论了ASIC的DDL描述及模拟器的使用方法,研讨了全机性行为功能级模拟的策略与测试码的选择问题。

《机械设计专家系统研究与实践》阐述了机械设计专家系统的基本概念、基本理论、专家系统开发环境与工具,以作者所研制的多个机械设计专家系统为实例较为完整地介绍了如何建立一个设计型的专家系统,如何评价这些系统等问题,并对新一代机械设计专家系统进行了展望。

《计算机在建筑设计造型中的应用》以作者研制“中国古典园林三维模拟系统”、“中国皇家园林三维模拟系统”和“计算机辅助建筑造型系统”等为实例,从理论与实践的结合上介绍了在计算机屏幕上逼真地显示园林景观的真实感图象,通过改变视点和视线方向,可动态地模拟游人在园林环境中所得到的身临其境的艺术感受。

《分形的计算图象及其应用》将分形作为研究和处理自然界和工程中不规则图形的有力的理论工具。这本书介绍了分形几何的有关理论、方法与计算机图象生成算法,不仅可充分显示混沌、分形之美,而且也展示出分形应用的若干重要领域。

《计算机地理真实感图形》从地理科学应用及其图形表现方法的特点出

发,根据地图生产过程的本质,将地图信息、地图数据的提取、逻辑结构、存取管理、图形描述等用具有真实感的三维立体图来表示。这项技术可用于编制各种专题地图、军事导航、国土管理开发决策、水利交通规划等领域。

《VHDL 语言及其应用》介绍了硬件描述语言 VHDL,它正成为世界范围计算机辅助设计的交流媒介。VHDL 现在是 IEEE1076 标准,并得到工业界的广泛支持。这本书介绍了 VHDL 的基础、数据类型、行为描述、结构描述、VHDL 的高级特点、VHDL 的建模技术和如何使用 VHDL 进行硬件设计。

《工程数据库》阐述了工程数据库的特点、它在集成化技术中的应用、数据模型、数据库语言、版本管理、工程数据库管理系统及数据库技术发展趋势等等。

应该说目前这几本书仅仅反映我们室一小部分的工作,但它们不同侧面反映了 CAD 与计算机图形学领域国内外的先进技术与最新动向。可以欣慰地说,在取得一批优秀成果基础上撰写的这套丛书的出版雄辩地表明在所论及的领域,我国学者已经成功地缩小了与国际先进水平的差距。

我们十分高兴的是中国计算机学会理事长、中国科学院院士张效祥教授亲自为这套丛书写了十分精辟的前言。我们希望这套丛书能对有关的研究与开发人员和广大的设计人员有所益处。

这套丛书所论及的研究工作得到了国家“七·五”、“八·五”科技攻关项目、国家自然科学基金、国家“863”高科技项目的支持。而这套丛书的出版则得到了铁道科技出版基金的资助。“八·五”铁道技术进步规划要点提出要以电子技术应用与机电一体化作为铁路工业产品的第二次更新换代的关键技术,并特别强调在工业产品、工程设计和房屋建筑等方面广泛采用 CAD 技术。这套丛书在中国铁道出版社出版表明了铁道部门的主管领导和专家委员会的远见卓识。

CAD 技术是一门飞速发展的技术,这套丛书不可能涉及到它的所有领域,甚至也不可能涉及到某一领域的所有方面。人们对 CAD 技术的研究、认识将不断深化。因此,我们希望能有更多的专家、学者和有关人士能关心、支持和参与这套丛书工作,并给我们提出宝贵意见。

中国科学院计算技术研究所 CAD 开放

研究实验室主任 林宗楷

一九九三年五月

作者序言

80年代以来,电子系统设计的主要进步之一,在于开发成功作为工业标准的硬件描述语言(如这本书所介绍的VHDL),以及
与这些语言共同使用的逻辑综合工具。

VHDL是VHSIC Hardware Description Language的缩写(VHSIC;Very high speed integrated circuit)。最早是由美国政府和军方提出的,旨在建立一个电子电路设计自动化过程中描述设计文档,并且能够作为工业标准的硬件描述语言。之后,国际权威组织IEEE(Institute of Electrical and Electronics Engineerings)参与了VHDL的标准化工作,于1987年12月承认其为工业标准,版本号IEEEstd1076-87。1995年中国技术监督局发布的“CAD通用技术规范”中明确推荐VHDL和EDIF作为硬件描述语言的国家标准。

随着VLSI技术的飞跃,电子系统设计领域的工程技术人员,必须改变曾经习惯的设计方法,转向系统级的自顶向下的设计方法(Top-Down Design TDD)。这一方法以系统的功能描述为出发点,而不是首先去做底层结构的设计工作。VHDL国际工业标准的制定,使得各国工业界迅速将它列为电子设计自动化(EDA)工具的主要输入手段,并产生了不少实用的基于VHDL的模拟器和综合器。

VHDL能够成为一种标准,并被电子设计自动化领域的专业人员所接受,其主要原因是:

- * 对于大规模电路(系统)的分层设计思想,它覆盖了从物理参数到系统行为的多层次描述;

- * 在设计过程中对于具体工艺的独立性;

- * 语言本身预定义的丰富数据类型及其开放性;

* 语义与传统高级语言的一致性等。

特别是 VHDL 支持从系统级至门级的多层次的硬件描述,并且各个描述之间可任意配置参数构成各种规模的电路,因而为计算机协同设计,为决策部门(母公司)与工程或营销等部门(子公司)之间的对话提供了十分有利的条件。

VHDL 强大的硬件描述能力,导致了该语言的复杂性。但是应用 VHDL 进行设计,并不需要掌握语言的全部细节(该细节由 VHDL 语言参考手册规定)。VHDL 考虑了描述电路的多种方式,本书的意图是向读者介绍 VHDL 最主要的方面。另外,电路的描述风格,本质上是取决于设计师对电路从高层次至低层次(自顶向底)的透彻理解和设计经验,VHDL 作为一种工具,将在使用过程中逐步展开。

VHDL 语言的基础是对于数字器件本质的提取能力,这种能力表现在它对电路所建立的三种模型:行为模型、结构模型、时间模型。模型内部和模型之间,则以数据流(信号)作为纽带。

本书的第一章至第三章是 VHDL 基础,即围绕三种模型阐述基本概念,语法规则及模型的组织[1,2,3]。第四章讲述模型综合的初步概念和综合工具[4,5]。第五章介绍一个深入学习的样例,并根据法国国立应用科学学院(INSA)电气工程及计算机系高年级的讲义作了解释。

VHDL 的版本与其它高级语言一样,是逐渐更新的,本书以[6]为基础,新版本所增加的内容请参阅[7]。

参考文献

- 1 R. LIPSETT, C. F. SCHAEFER, C. USSERY: VHDL: Hardware Description and Design, Kluwer Academic Publishers, 1989
- 2 P. J. Ashenden: The VHDL Cookbook, Dept. Computer Science University of Adelaide, South Australia, 1990

- 3 D. L. PERRY 著. 周祖成译. 电子设计硬件描述语言 VHDL. 北京:学苑出版社,1994. 10.
- 4 WAPR VHDL Synthesis Reference. Cypress Semiconductor, 1995
- 5 A. A. JERRAYA and System-Level-Synthesis Group: AMICAL, Architectural Synthesis from VHDL, TIMA/INPG-UJF-CNRS(France),1995
- 6 IEEE std1076-1987, IEEE Standard VHDL Language Reference Manual, 1988
- 7 ANSI/IEEE std1076-1993, IEEE Standard VHDL Language Reference Manual, 1994

致谢:

书中涉及的软件分别由 QUALTEK ELECTRONICS LTD. (香港),及 GRENOBLE 大学 TIMA 研究所(法)提供,成为这本书的有力支撑,在此深表谢意。

作者感谢东南大学杨吉祥教授对书中基础部分所做的审阅,感谢中科院计算所孟红霞博士对样例部分的修正。

作者:黄建文

艾西加(E. SICARD 法)

魏 方

1996. 11

目 录

第一章 硬件模型概述	1
1.1 结构模型	1
1.2 行为描述模型	3
1.3 离散事件时间模型	5
第二章 基本的 VHDL 编程语言	8
2.1 VHDL 中预定义的基本词法元素	8
2.1.1 注 释 句	8
2.1.2 标 识 符	8
2.1.3 数	9
2.1.4 字 符	9
2.1.5 字符串	9
2.1.6 位串 Bit String 和位向量 Bit __ Vector	9
2.2 数据类型和对象.....	10
2.2.1 整数类型.....	11
2.2.2 浮点数类型.....	11
2.2.3 物理类型.....	11
2.2.4 枚举类型.....	12
2.2.5 数组和记录.....	13
2.2.6 子 类 型	15
2.2.7 预定义属性.....	15
2.3 运 算 符	19
2.3.1 逻辑运算符.....	19
2.3.2 关系运算符.....	20
2.3.3 算述运算符.....	20
2.3.4 并置运算符 &	21

2.3.5	赋值运算符	21
2.3.6	结合运算符=>	22
2.4	顺序语句	22
2.4.1	IF 语句的概念	22
2.4.2	CASE 语句	23
2.5	循环语句	25
2.5.1	WHILE 语句	25
2.5.2	FOR 语句	25
2.6	等待语句	26
2.7	断言语句	27
2.8	子程序	28
2.9	程序包声明和包体	30
第三章	VHDL 模型的组织	33
3.1	VHDL 主要构造	33
3.2	结构化描述	35
3.2.1	实体声明中的端口和构件端口	36
3.2.2	块语句	37
3.3	结构体的行为描述	39
3.3.1	语句顺序性和语句并行性	39
3.3.2	信号赋值和变量赋值	44
3.3.3	信号决断和总线	46
3.4	模型的组织	47
3.4.1	设计库	47
3.4.2	配置说明	49
第四章	VHDL 综合工具	56
4.1	基于 VHDL 的综合编译器	57
4.1.1	可利用的设计库和程序包	57
4.1.2	设计举例:简化的饮料机控制器专用电路	58
4.2	高级综合工具	65
4.2.1	结构化综合工具 AMICAL	65

4.2.2 综合过程.....	67
第五章 VHDL 应用样例	76
5.1 DP32 的技术条件及预定义程序包	76
5.1.1 DP32 指令集	76
5.1.2 总线结构和时序.....	79
5.1.3 数据类型程序包.....	80
5.2 实体声明.....	85
5.3 行为描述模型.....	86
5.4 测试台	99
5.5 寄存器传输级(RTL)结构	105
5.5.1 DP32 的 RTL 结构文件	109
5.5.2 配置 RTL 测试台	115
附录 A VHDL 的 BNF 格式	117
附录 B 帮助记忆	137

第一章 硬件模型概述

在前言中已经提及,VHDL 不以某种设计方法或工艺技术为依据,是一种通用的硬件描述语言。被描述的器件或系统基于三种相互依赖的基本模型:结构模型、行为模型和时间模型。本章讲述这三种模型的概念,以使读者初步了解 VHDL 的面貌。

1.1 结构模型

任一数字系统均可用一个具有输入端口和输出端口的黑盒子来描述。这个带有对外端口的黑盒即硬件工程师所谓的模块(module)。如图 1.1(a) 所示的模块 M,输入端口 A,B;输出端口 Y;Y 与 A,B 间满足一定的函数关系。按照 VHDL 的术语,M 是设计实体(ENTITY),它是设计中最基本的顶层模块;A,B,Y 称为端口(PORT)。

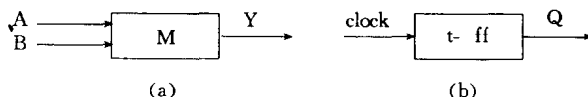


图 1.1 实体

图 1.1(b)是一个 T 触发器模块 t __ ff,它的输入端是 clock,输出端是 Q。对于 t __ ff 的实体声明如下:

```
ENTITY t __ ff IS
  PORT(clock:IN BIT; Q:OUT BIT);
END t __ ff;
```

上述语句中 IN,OUT 表示端口的数据流方向,BIT 为数据类型(第二章将详述)。

实体可进一步分解为一些子实体,称为构件 COMPONENT。例如,用两个 t __ ff 和一个反相器 Inverter 可以构成 2 位计数器

count2,如图 1.2。这时,实体 ENTITY 是 count2,其中的构件是 t__ff 和 Inverter,构件之间及其与实体端口之间联系的桥梁是有向的信息流 SIGNAL。

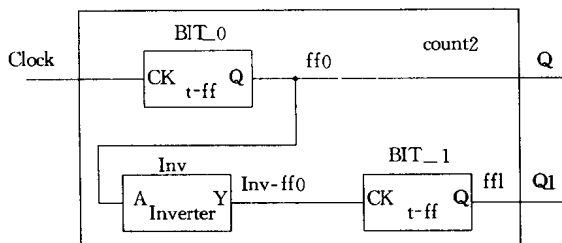


图 1.2 2 位计数器

关于 count2 实体的声明如下:

```
ENTITY count2 IS
```

```
    PORT (Clock:IN BIT;Q1,Q0:OUT BIT);
```

```
END Count2;
```

在 VHDL 文件中必定有与实体(ENTITY)对应的结构体(ARCHITECTURE body)。有两种描述结构体的方法,即结构体的结构化描述和结构体的行为描述。

例如:对应于 count2 实体的结构化结构体可描述如下:

```
ARCHITETURE Structure OF count2 IS
```

```
    COMPONENT t__ff
```

```
        PORT(CK:IN BIT; Q:OUT BIT);
```

```
    END COMPONENT;
```

```
    COMPONENT Inverter
```

```
        PORT(A:IN BIT;Y:OUT BIT);
```

```
    END COMPONENT;
```

```
    SIGNAL ff0,ff1,Inv__ff0:BIT;
```

```
    BEGIN
```

```
        BIT__0:t__ff PORT MAP(CK=>Clock,Q=>ff0);
```

```
        Inv:Inverter PORT MAP(A=>ff0,Y=>Inv__ff0);
```

```
        BIT__1:t__ff PORT MAP(CK=>Inv__ff0,Q=>ff1);
```

```

    Q0<=ff0;
    Q1<=ff1;
END structure;

```

以上的描述是从内部构件的连线出发来说明实体 ENTITY。在结构体中有两种构件声明:COMPONENT t_ff 及 COMPONENT Inverter;有三个内部信号声明:ff0,ff1,Inv_ff0。

从 BEGIN 开始的语句称为构件例示语句,进行端口的映射(第三章将进一步讨论端口映射)。最后的两句是赋值语句,当信号的值发生变化时,对 ENTITY 的端口进行更新。

下一节介绍第二种结构体:行为结构体。

1.2 行为描述模型

与实体对应的第二种结构体是行为结构体。VHDL 中,电路的行为(功能)直接包含在各种语句中,由设计者在模型描述时任意安排。count2 的另外一种描述方法是行为结构体的描述。

```

ARCHITECTURE behave OF count2 IS
BEGIN
    count__up:PROCESS(clock)
VARIABLE count__value:NATURAL:=0;
BEGIN
    IF clock='1' THEN
        count__value:=(count__value+1) mod 4;
        Q0<=BIT'VAL(count__value mod 2);
        Q1<=BIT'VAL(count__value/2);
    END IF;
END PROCESS count__up;
END behave;

```

在上面的描述中,计数器 count2 的功能是由进程(PROCESS)来实现的,进程名为 count__up。进程的敏感元素是 clock,只要 clock 变至 '1',进程中的有关变量即随之变化。变量

count __ value 初始状态为 0(数据类型是自然数 NATURAL),当 clock 从 ‘0’变至 ‘1’时,count __ value 即递增 ‘1’,经运算后赋值给端口 Q0,Q1。

句中的 BIT’VAL 是指位属性(第二章将解释属性)。

对于第二种结构体模型应注意下面的几个要点:

1) 对于模块或子模块的功能可以分解为多个操作,每一个操作在 VHDL 中称为一个进程 PROCESS。由上例可见一个进程即为一段程序。进程中的语句是顺序执行的(与通用高级语言程序的执行情形相同)。

2) 行为结构体中进程之外的语句(例如对多个变量分别赋值)或进程与进程之间的语句则认为是并行执行的(或称并发运行)。从总体上看行为模型是一个不独立的(例如必须与实体的声明相对应)并行运行程序的集合。

3) 并行运行的进程之间必须要有协调机制,即必须定义进程之间的通信。由有向数据通道(输入、输出、双向、缓冲)把进程联系起来。

4) 进程连续执行直至被“悬挂”(Suspended),即处于“等待”状态。一旦定义的敏感条件发生变化时,进程将再度被“激活”(Reactivated)。

下面看一个 D 触发器行为模型中进程的例子:

```
Proc1:PROCESS(rst,clk)
BEGIN
    IF rst= '1' THEN
        q<= '0';
    ELSEIF (clk'event AND clk= '1') THEN
        q<=d;
    END IF;
END PROCESS;
```

在上面的例句中,PROCESS 的名称是 Proc1,它的敏感条件是 rst 或 clk 的变化。Proc1 被激活后,首先检查 rst 是否为 ‘1’,若是,则 q 赋值 ‘0’;否则检查第二种情况,若条件 CLK’event AND