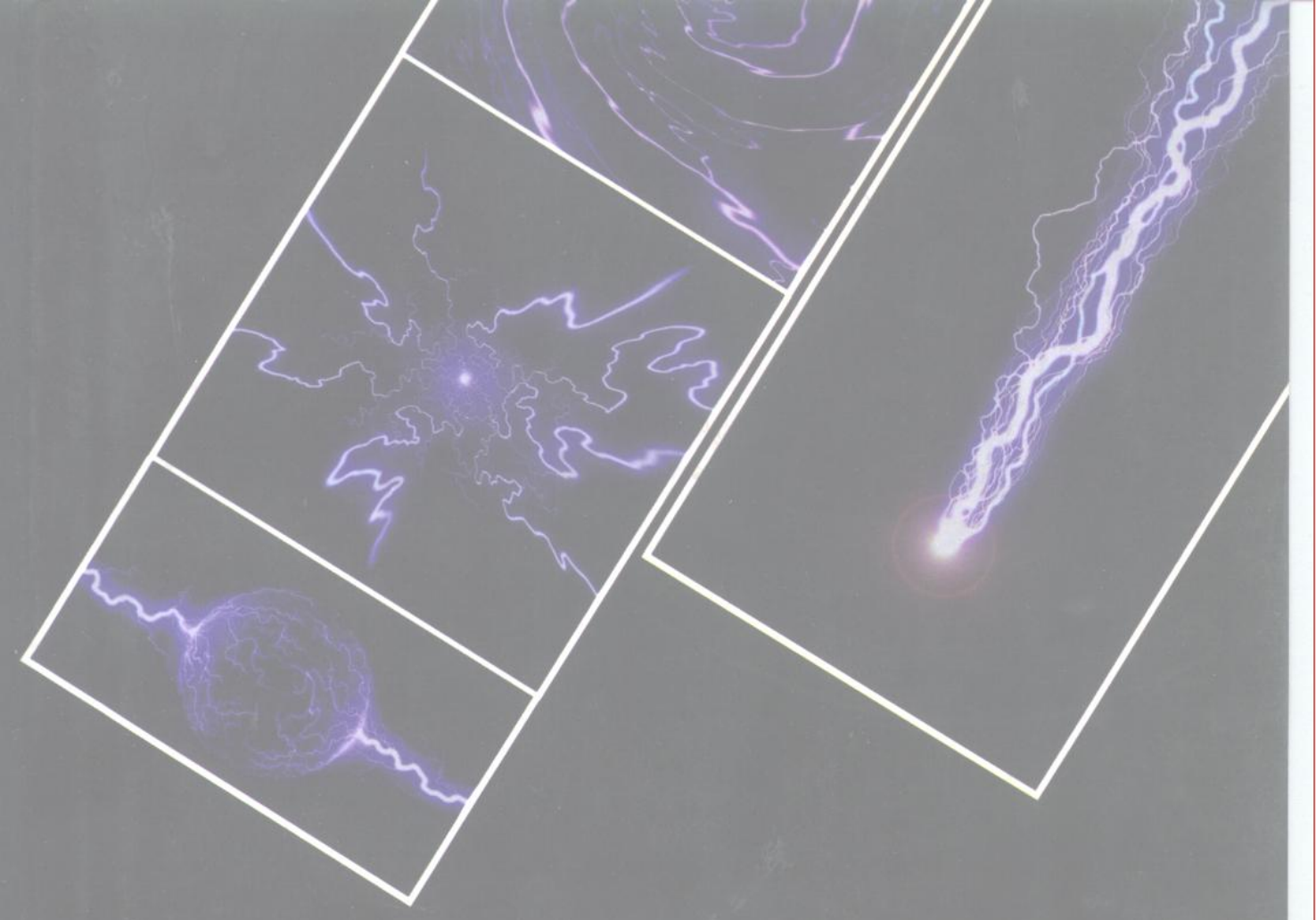




任涛 裴春睿 赵金铎 编
任洪江 审

闪速存储器数据及应用 简明速查手册



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
URL: <http://www.phei.co.cn>

闪速存储器数据及应用 简明速查手册

任涛 裴春睿 赵金铎 编著
任洪江 审

電子工業出版社

Publishing House of Electronics Industry

内 容 提 要

本书着重介绍用于微机主板、便携机及自动化控制中的闪速存储器。书中给出了它们的特性,在 80 系列微处理器硬件中的设计、电压提升电路与系统内的软件编程算法和擦写、编程时序、总线操作等。全书共三章,第一章介绍闪速存储器系统;第二章介绍 iMCOO1FLKA ~ iMCOO1FLKA 系列闪速存储卡;第三章介绍 E-PROM。

本书适合从事计算机硬件及外部设备和工业控制的各类人员以及有关专业的大专院校师生阅读。

JS162/03

书 名: 闪速存储器数据及应用简明速查手册

编 者: 任涛 裴春睿 赵金铎

审 校 者: 任洪江

责任编辑: 龚兰方

印 刷 者: 北京牛山世兴印刷厂

装 订 者: 三河市路通装订厂

排版制作: 电子工业出版社计算机排版室

出版发行: 电子工业出版社出版、发行

北京市海淀区万寿路 173 信箱 邮编 100036 发行部电话 68214070

URL: <http://www.phei.co.cn>

经 销: 各地新华书店经销

开 本: 787×1092 1/16 印张: 22 字数: 368 千字

版 次: 1997 年 5 月第一版 1997 年 5 月第一次印刷

书 号: ISBN 7-5053-3865-X
TP·1657

定 价: 30.00 元

凡购买电子工业出版社的图书,如有缺页、倒页、脱页者,本社发行部负责调换
版权所有·翻印必究

前 言

本书向研究与开发计算机设备的同仁介绍最新产品 FLASH MEMORY——闪速存储器,它是一种经济可靠的快擦除 EPROM。FLASH MEMORY 的最大特性是快速擦除及编程,并具有成本低(相对于硬盘或电池供电的静态 RAM 等记忆媒介)和生产测试工艺简单等特点。从而广泛应用于各种断电后需要记忆功能的设备中。目前,已将闪速存储器应用到 80 系列微处理器主机板内,可方便地进行固态操作系统的随时更新。在便携设备及自动化控制中也用到闪速存储器,从而避免了由磁介质所用机械组件的损坏造成数据文件丢失的危险。闪速存储器的出现必将为计算机及外部存储记忆设备带来一次飞跃性的革命。

本书着重介绍了闪速存储器的电特性,在 80 系列微处理器硬件中的设计、电压提升电路以及在系统内部软件编程算法,并给出了 FLASH MEMORY 的读写、擦除、编程时序及 80 系列微处理器总线操作过程。相信本书会为计算机及外设研制与开发者给予帮助。

本书由斐春睿、任涛、赵金铎编写,孙一林教授和石东方讲师对书稿进行了校阅。统稿由任和生先生负责,最后由任洪先生对全书进行了全面审校定稿。在出版过程中还得到凌雯和李静的大力帮助,在此一并表示感谢。

由于编者水平有限,书中难免有错误之处,敬请广大读者指正。

编者

目 录

第一章 闪速存储器	(1)
闪速存储器——一种新的存储方式	(1)
28F256A—256K(32K×8)CMOS 闪速存储器	(5)
28F512—512K(64K×8)CMOS 闪速存储器	(27)
28F010—1024K(128K×8)CMOS 闪速存储器	(39)
28F020—2048K(256K×8)CMOS 闪速存储器	(58)
28F001BX-T/28F001BX-B——1M(128K×8)CMOS 闪速存储器	(75)
闪速存储器用于系统内可重复编程非易失存储器	(101)
第二章 闪速存储器系统	(118)
iMC001FLKA 1兆字节闪速存储器卡	(118)
iMC002FLKA 2兆字节闪速存储器卡	(145)
iMC004FLKA 4兆字节闪速存储器卡	(154)
iSM001FLKA 1兆字节(512K×16)CMOS 闪速 S1MM	(161)
闪速存储器在高密度板上的应用	(187)
第三章 EPROM	(223)
27C256——256K(32K×8)CHMOS EPROM	(223)
27C512——512K(64K×8)CHMOS EPROM	(233)
27C513——页面寻址的 512K(4×16K×8) 紫外线 EPROM	(243)
27C010——1M(128K×8)CHMOS EPROM	(257)
27C011——页面寻址 1M(8×16K×8)EPROM	(268)
27C100——1M(128K×8)CHMOS EPROM	(281)
27C210——1M(64K×16)CHMOS EPROM	(290)
27C020——2M(128K×16)CHMOS EPROM	(300)
27C220——2M(128K×8)CHMOS EPROM	(310)
27C040——4M(512K×8)CHMOS EPROM	(320)
27C400——4M(256K×16 或 512K×8)CHMOS EPROM	(329)
87C257——256K(32K×8)CHMOS EPROM	(337)

第一章 闪速存储器

闪速存储器——一种新的存储方式

计算机利用存储器实现以下几种功能:后备存储、可执行码存储以及数据转换。当前,在代码不断变化的系统中,RAM(随机存储器)能够存储代码以保证处理器执行。RAM 的另一功能是实现数据转换。由于 DRAM(动态随机存取存储器)具有易失性,需要用后备存储器或电池支持的 SRAM(静态随机存取存储器)来完成永久性存储。少量的 ROM(只读存储器)/EPROM(可擦除可编程只读存储器)也可存储用以启动计算机的执行代码(直接执行且不易失)。

近年来一种叫做闪速存储器(FLASH MEMORY)的半导体新技术的出现将从根本上改变上述情况。由于存储器具有可靠的非易失性、电擦除性以及低成本,对于需实施代码或数据更新的嵌入式应用的情况,它是一种理想的存储器。而且,因为它在固有性能和成本方面的优势,还有近年第三代面向用户软件的发展,闪速存储器也最有可能促使现存于便携式可重新编程应用系统内部的存储器体系中发生重大变革。

什么是闪速存储器

在半导体工艺发展水平的基础上,Intel 公司的 ETOX™(EPROM 沟道氧化物)闪速存储器是以单晶体管 EPROM 单元为基础的。因此,闪速存储器就具有非易失性。在断电时它也能保留存储内容。这使它优于需要持续供电来存储信息的易失性存储器如静态和动态 RAM。闪速存储器的单元结构和它具有的 EPROM 基本特性使它的制造特别经济,使它在密度增加时保持可测性(图 1),并具有高可靠性——这几方面综合起来的优势是目前其他半导体存储器技术所无法比拟的(图 2)。

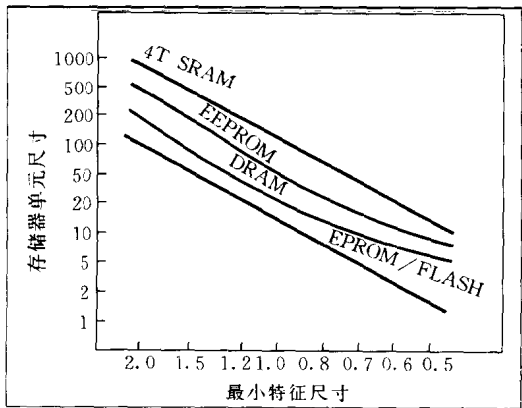


图 1

	FLASH	EEPROM
晶体管数	1	2
单元尺寸 (1 微米照相术)	15 μ	38 μ
重复使用 失效率	0.1%	5%

图 2

不同于 EPROM 只能通过紫外光照射实施擦除的特点,闪速存储器阵列可实现大规模电擦除。闪速存储器的擦除功能可迅速清除整个器件中所有内容(器件还可被不断编程——这对需要经常性的数据/文件更新的 PC 应用是相当重要的),这一点优于传统的可修改字符串的

EEPROM(电擦除可编程只读存储器)。EEPROM 技术的字串可修改特性实际上很少用到,而从其单元复杂性、密度限制以及可疑的可靠性诸方面看来,它的成本则是偏高的(图 2)。

最后,与其他同类方法相比,Intel 的 ETOX 处理制造出的器件可重复使用即擦除和重新编程几十万次而不会失效。在文件需经常更新的可重复编程应用中这显然是一种独有而基本的性能。

概括起来,闪速存储器是一种低成本、高可靠性的读/写非易失性存储器。从功能上讲,由于其随机存取的特点,闪速存储器也可被看作一种非易失的 ROM——这样它就成为能够用于一系列计算机系统的程序代码(应用软件)和数据(用户文件)存储的理想媒体。随着目前普遍采用的存储器技术的局限性对便携式系统发展的阻碍日益明显,设计者无疑会认识到闪速存储器技术所展示的独特性能和技术优势。

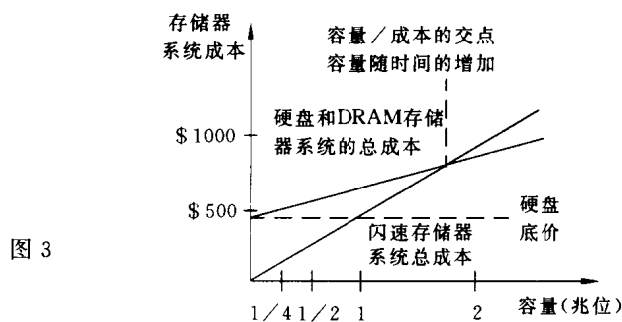
“固态”磁盘所带来的冲击

由于磁盘支持的 PC 十分普遍并为设计者和终端用户双方所熟悉,当今的许多便携式系统仍把这种存储器配置用为主导方式。与此同时,磁盘驱动器制造厂家也想方设法改善系统的可靠性、体积和性能,包括改进磁盘媒体本身。

然而,磁盘驱动器是一种有内在局限性的机电系统。与没有可移动部分的固态半导体技术相比,任何机械系统都更易受撞击、振动以及杂质等的干扰,而这些是便携式计算机在正常使用情况下常常遇到的。还有,磁盘驱动器在任何地点使用,一般都需要 3~8 瓦的功耗,这就意味着便携式系统的电池会很快耗尽。比较起来,闪速存储器支持的磁盘仅需 0.5 瓦的功耗。事实上,磁盘驱动器的能耗非常快,因此,目前很多用于便携式计算机的电池在正常情况下仅能维持两小时左右。显然,对附近找不到电源插座,没有后备电池或充电器的普遍用户来说这是个很严重的缺陷。

磁盘驱动器的其他缺点包括其体积、重量和底价等。保证驱动器正常运行所需的机械组件以及支持组件和机壳的体积所能做的缩小很有限。高成本低配置限制了 PC 用户的应用(图 3)。

从性能的角度看,磁盘支持的系统仍需要额外配置一些可直接执行的存储器,这一般就是 RAM 高速缓冲存储器。在用户取信息之前,数据要先从磁盘转装到高速缓冲存储器中。在执行存操作时,数据就从 RAM 加载到磁盘上。这一卸载/加载过程限制了系统吞吐量,同时,多余的存储介质也在体积、功能和重量方面给系统增添了负担(图 4)。



	磁盘/DRAM	闪速存储器
平均查找时间	28.0ms	0
等待时间	8.3ms	0
数据传输速率 读 写	8M 兆位/秒 8M 兆位/秒 现在从 RAM 读	106.7M 兆位/秒 1M 兆位/秒 直接处理器存取
总存取时间(1K 字节文件)	37.3ms	0.077ms

图 4

为何不用静态 RAM

表面看来,静态 RAM 作为固态存储器似乎很适合替代磁盘/DRAM 系统。静态 RAM 是一种非常适于直接执行的可迅速读/写的技术。设计成电池支持方式可使其具有非易失性。

但是,静态 RAM 的高速特性在硅工艺中是以高成本为代价的。静态 RAM 储一位信息要用四到六个晶体管,这就增加了硅的面积,限制了密度的增加,提高了成本。

还有,无论多么先进的电池总是会失效的。人们做了一些系统水平的精细设计用以在电池快耗尽时提醒用户,或对那些在一定时间范围内用不到的系统特性进行掉电(power-down)处理。即使这样,电池也使静态 RAM 支持的系统无法摆脱关键时刻丢失数据的威胁。另外,电池给系统增加了体积和重量,在系统设计日益追求小而轻的情况下,这一点就显得格外关键。

软件发展推动闪速存储器进入便携式应用领域

从硬件的角度来看,闪速存储器要优于磁盘支持的系统,那么期望闪速存储器替代磁盘驱动器现实吗?无论如何,闪速存储器技术具有与磁盘完全不同的性能特点……? 这些特点看上去似乎会阻碍它与面向磁盘支持系统而开发的大量现有软件库共用。实际上,目前的多数个人计算机及其所支持的软件程序都需要在 Microsoft 公司的 MS-DOS 磁盘操作系统下运行。MS-DOS 的设计目标是使磁盘驱动器的性能特点能得到最优体现,并保证系统在较大范围内与软件兼容。随着 MS-DOS 被多数主要计算机制造厂家和软件开发所采用,它实际上已成为个人计算机工业的操作系统标准。要改变这种状况来适应闪速存储器的出现会是一项很艰巨的任务。

幸运的是,我们勿需如此。由于 Microsoft 近来在软件方面的新进展,闪速存储器可以作为便携式 PC 的主存储器,为用户提供的功能等同甚至超越了磁盘支持的系统。这特别得到了两方面的保证:一是 ROM 可执行形式的 DOS(以往设计中 DOS 存在磁盘上,需转装到 RAM 上再从 RAM 执行);二是专为 Intel 的闪速存储器技术设计的允许器件实施块擦除的文件系统。

ROM 可执行 DOS 为系统制造厂家和终端用户都带来了几个好处。首先,由于多数操作系统是由固定代码组成的,执行 DOS 所需的系统 RAM 数量从 50K 降至 15K,这就节省了系统空间和功耗。第二,由于 DOS 能固定地存储于系统内的 ROM 型器件(如闪速存储器)上并直接执行,系统就不再需要软磁盘,系统销售商或终端用户也不需安装 DOS,系统可直接投入运行。最后,由于省略了传统的磁盘到 DRAM 引导功能和软件加载步骤,用户得以享受“瞬时启动”性能。

对闪速存储器执行擦除和写数据操作完全不同于对磁盘重写信息,因而我们需要新的软件技术来使闪速存储器实现磁盘功能。Microsoft 开发了针对闪速存储器的文件系统以适应这一要求。利用快速文件传输系统所具有的能够充分实现 Intel 的 ETOX 闪速工艺读/写特性的块擦除能力,用户可以象使用传统的磁盘驱动器时一样存取数据或应用程序。事实上,用户所能感觉到的唯一差异就是在闪速存储器支持的系统中程序与文件的存取要比传统的磁盘和 RAM 系统快得多。

软件方面的另一个进展是对基本输入/输出系统即 PC 中的 BIOS 软件的改进,调整后的 BIOS 软件可存入闪速存储器。目前,BIOS 程序一般都存在 ROM 或 EPROM 中。一旦 BIOS 程序代码被烧入 ROM 或编程进 EPROM,那么除非拆卸系统并更换 ROM 或对 EPROM 实施紫外线擦除,它在计算机的整个使用寿命中就不能再改变了。闪速存储器的电擦除则使系统制造厂家、销售商、软件开发者和终端用户都能方便地更新系统的 BIOS,只需用软盘或通过调制解调器转装一个新的 BIOS 程序即可。

可更新的 BIOS 为每个用户提供了一系列的新功能。系统制造厂家很容易把系统的最新变化反映在 BIOS 软件中。他们也可以在制造过程将要完成时修改系统去适应不同的配置或外设。

闪速存储器使得 BIOS 软件开发者能够调整程序从而与不同磁盘格式如 2.5"盘、光盘或新的监视器和键盘选择等相匹配。原始设备制造厂家也能实现这种软件升级,他们可以简便而迅速地为其所制造的系统配置最新的程序。同样,即使一台计算机已售出并正在使用,终端用户也能用装有更新的 BIOS 的软盘通过简单的键盘操作改动装在其系统的闪速存储器中的 BIOS 程序,这在以往是不可能或不经济的。

老练的终端用户也希望在增加或改变磁盘配置或格式、调整监视器或键盘时能够充分利用可更新 BIOS 的能力。这样他们就能摆脱原始系统的限制,可以灵活地更新系统,更好地实现系统功能,相应地延长了基本系统的使用寿命并扩展了其用途。

结论

Intel 的闪速存储器展示出一种全新的个人计算机存储器技术。作为一种高密度、非易失的读/写半导体技术,它特别适合作固态磁盘驱动器或以其低成本和高可靠性替代电池支持的静态 RAM。由于便携式系统既要求低功耗、小尺寸和耐久性,又要保持高性能和功能的完整,该技术的固有优势就十分明显。它突破传统的存储器体系,改善了现有存储器的特性。

闪速存储器可实现:

固有的非易失性:不同于静态 RAM,不需要备用电池来确保数据存留。也不需磁盘作为动态 RAM 的后备存储器。

经济的高密度: Intel 的 1 兆位闪速存储器的成本按每位计并要比静态 RAM 低一半以上,这里尚未计入静态 RAM 电池的额外花费和占用空间。闪速存储器的成本仅比容量相同的动态 RAM 稍高,但却节省了辅助(磁盘)存储器的额外费用和空间。

可直接执行:由于省去了从磁盘到 RAM 的加载步骤,查询或等待时间仅决定于闪速存储器,用户可充分享受程序和文件的高速存取以及系统的迅速启动。

固态性能:闪速存储器是一种低功耗、高密度且没有移动部分的半导体技术。便携式计算机不再需要消耗电池以维持磁盘驱动器运行或由于磁盘组件而额外增加体积和重量。用户也不必再担心工作条件变坏时磁盘会发生故障了。

28F256A——256K(32K×8)CMOS 闪速存储器

■快速电擦除

—整片擦除时间典型值为1秒。

■快速脉冲编程算法

—10 μ s 标准字节编程

—0.5 秒编程

■至少 10000 次擦除/编程

■编程电压 12.0V $\pm$ 5%V_{PP}

■高性能读操作

—120ns 最长访问时间

■CMOS 低功耗

—10mA 标准有功电流

—50 μ A 标准等待电流

—0 瓦数据保持功耗

■集成编程/擦除计时器

■兼容微处理器/微控制器写接口指令寄存器结构

■抗干扰特性

— $\pm$ 10%V_{CC}容限

—通过 EPI 处理最大限度地抗闸流

效应

■ETOX™ II 闪速非易失工艺

—EPROM 兼容工艺基础

—大批量生产

■JEDEC 标准管脚引线

—32 脚陶瓷封装

—32 引线 PLCC

Intel 的 28F256A CMOS 闪速存储器是一种最经济、可靠的读/写随机存取非易失存储器。28F256A 在原有的 EPROM 技术基础上增加了电擦除和重新编程功能。存储器内容在下列情况均可重新写入:在测试管座(socket)上;在 PROM 编程器插口;在局部装配后的测试电路板上;终测时在系统内部;售后在系统内部。28F256A 提高了存储灵活性,并节省了时间和费用。方框图与引脚见图 1 与图 2。

28F256A 是一种 256K 非易失存储器,共有 32768 个字节。Intel 的 28F256A 采用 32 管脚塑料封装和 32 引线 PLCC 封装。管脚排列符合 JEDEC 标准。

在 Intel 的 ETOX™ II (EPROM 沟道氧化物)处理工艺中特别进行了扩展擦除和编程循环能力的设计。通过先进的氧化物处理,最优的沟道贯穿结构以及弱电场的综合运用实现了优于传统 EPROM 的可靠重复使用能力。在 V_{PP}达到 12.0V 时,28F256A 能够至少完成 10000 次在快速脉冲编程和快速擦除算法的时限范围内的擦除和编程循环。

针对有高速、低功耗和抗干扰等性能要求的系统。Intel 的 28F256A 采用了先进的 CMOS 电路。其 120ns 的存取时间使一系列的微处理器和微控制器实现了无等待状态。50 μ A 的标准等待电流在器件未启动时节省了功耗。还有,Intel 独特的 EPI 处理能很有效地防止闸流效应。对地址和数据管脚上低于 100mA 的应力,电压从 -1V 到 V_{CC}+1V 范围内均可提供闸流效应防护。

Intel 的 ETOX II 处理方式使得 28F256A 在多年制造 EPROM 实践的基础上达到了质量、可靠性和经济效益方面的最高水平。

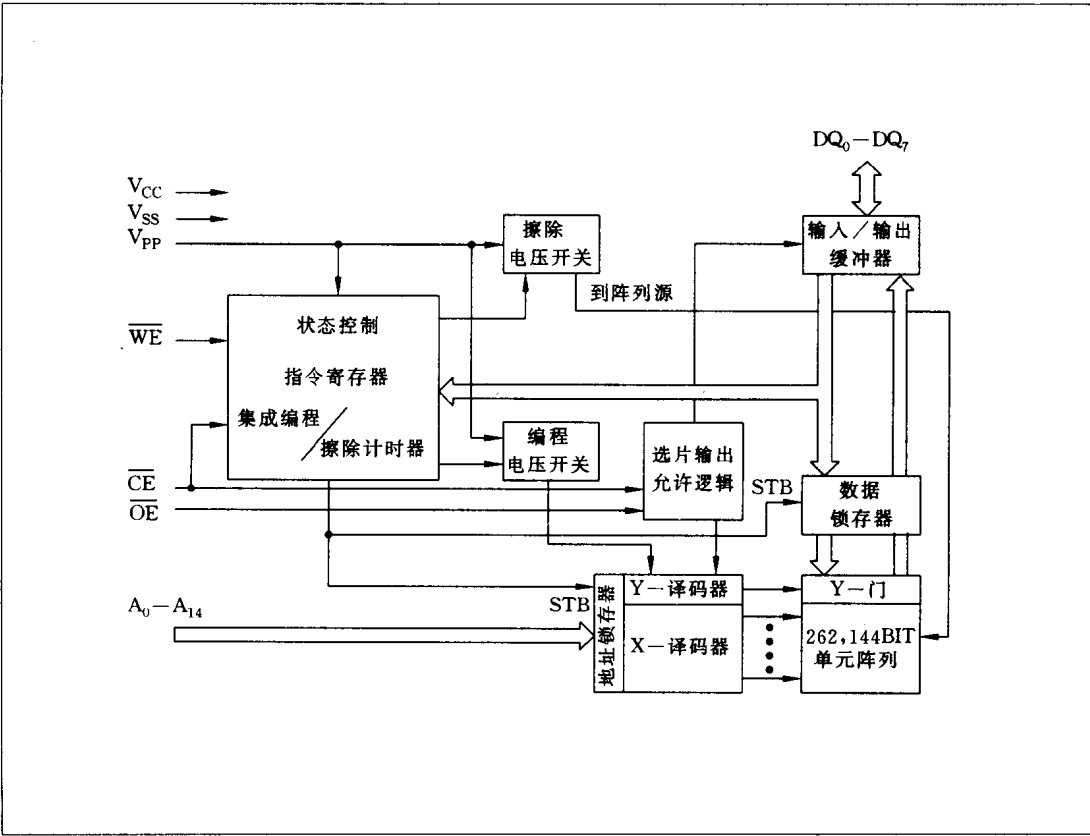


图 1 28F256A 方框图

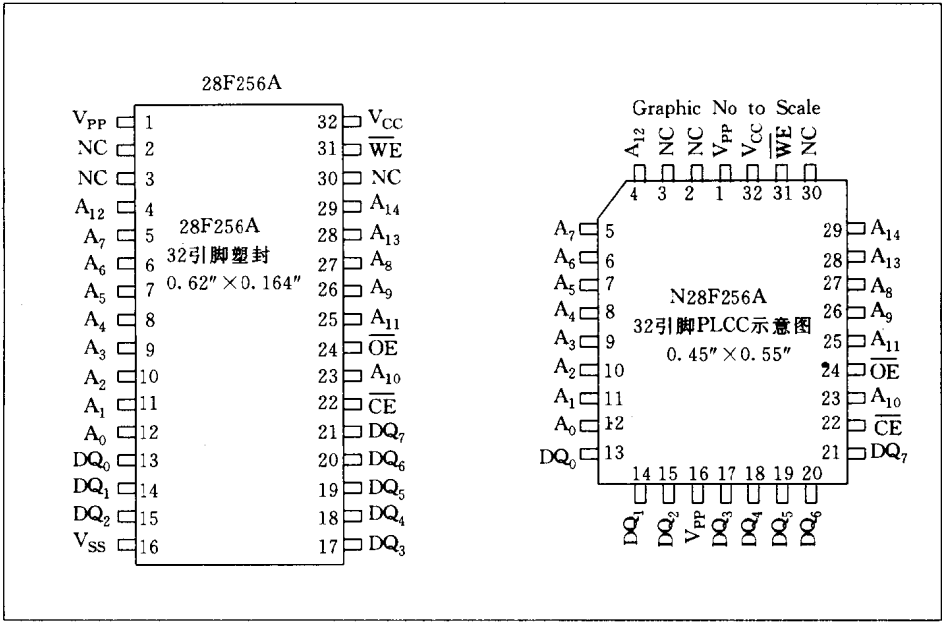


图 2 28F256A 引脚排列

表 1 引脚描述

符号	类型	名称和功能
A_0-A_{14}	输入	地址输入:输入存储器地址。在写周期地址被内部锁存
DQ_0-DQ_7	输入/输出	数据输入/输出:在存储器写周期输入数据;读周期输出数据,在片未被选或输出禁止时,数据脚处于三态。在写周期数据被内部锁存。数据脚为高电平有效
$\overline{CE}$	输入	芯片选通:启动器件的控制逻辑。输入缓冲器,译码器和灵敏放大器 $\overline{CE}$ 低电平有效; $\overline{CE}$ 为高则器件不被选。功耗降至等待状态水平
$\overline{OE}$	输入	输出允许:在读周期将器件输出送入数据缓冲器低电平有效
$\overline{WE}$	输入	写允许:控制向控制寄存器和阵列的写。低电平有效。在 $\overline{WE}$ 脉冲下降沿锁存地址,上升沿锁存数据。注意在 $V_{PP} \leq 6.5V$ 时,存储器内容不能改变
V_{PP}		擦除/编程供电:写指令寄存器,擦除整个阵列,或编程阵列中字节
V_{CC}		器件供电 ($5V \pm 10\%$)
V_{SS}		地
NC		无内部连接:引脚可能悬空或外部控制

应用

28F256A 具有非易失性,且在正常情况下能够完成 100000 次以上的电芯片擦除/再编程循环。这使它成为可替代磁盘、EEPROM 和电池支持的静态 RAM 的一种新工具。在需要周期性更新代码和数据表的情况下,其重新编程能力和非易失性显然使 28F256A 成为 EPROM 的理想替代物。

存储在闪速存储器中的操作系统和一些基本操作免除了磁盘加载到 DRAM 的缓慢过程,因而大大增强了性能并显著降低了功耗,这对便携式设备尤其重要。对操作系统和应用代码实施电芯片擦除和系统内更新的能力提高了闪速存储器的灵活性。通过更新 BIOS,系统制造厂家很容易把对系统的最新修正反映出来。在无盘工作站配置和终端,大大减少了网络的数据通讯,系统能够瞬时启动,可靠性超过了机电系统。以往掉电后所有网络终端不得不等待重新引导,而现在引导代码、操作系统、通讯规范和基本操作都存在每个终端的闪速存储器中,这一问题就不复存在了。

比起依靠动态 RAM/磁盘实现系统主存或非易失的后备存储的嵌入式系统,28F256A 能提供更高的性能,低功耗以及瞬时启动能力,并具有“原地执行”对代码和数据表的读操作的存储器体系。另外,极端湿度和震动会导致磁盘支持的系统发生故障,而在这样的不良环境中,闪速存储器却相当稳定、可靠。

在系统寿命中从原型到系统制造过程到售后服务的每一阶段都有代码更新的需求。28F256A 的电擦除和重新编程能力使电路内代码更新成为可能;这不仅免除了不必要的操作和不可靠的插口连接,而且为测试、制造和更新增加了灵活性。

随着系统集成水平的提高,与代码更新相应的材料和人力成本不断增加——代价最大的是售后代码更新。代码损坏(code “bugs”)以及人们增加系统功能的愿望促进了售后代码更新。对 EPROM 所支持代码的修正需要撤换 EPROM 器件或整块电路板。而对 28F256A,代码更新可在原地通过边缘连接器实现,或通过通讯电路在外部实现。

对于目前利用高密度静态 RAM/电池配置实现数据存储的系统,采用非易失的闪速存储

器就无需使用电池了。这样,对要求持续运行的便携式设备和医疗设备来说,电池失效的威胁便不复存在了。另外,与静态 RAM 相比,闪速存储器在成本上占很大优势。

闪速存储器的电擦除、字节可编程能力和非易失性很适合应用于数据存储和记录。电擦除为设计者提供了记录数据的一块“白板”(blank slate)。对数据可以进行周期性的卸载和分析,而闪速存储器又会实施擦除,产生一个新的“白板”。

28F256A 芯片特征高度集成简化了存储器与处理器的连接。图 3 所示为两块 28F256A 芯片与 80C186 系统总线的连接。28F256A 的结构大大简化了对存储内容实施电路更新所需的接口电路。

由于可实现系统内重新编程所带来的低成本,扩展的重复使用能力以及可靠的非易失性,与 EPROM、EEPROM、电池支持的静态 RAM 或磁盘相比,28F256A 可以说是功能最优者。EPROM 兼容读特性、简单的连接、电路内可更新等特点为设计者提供了适应当今高水准设计的无限灵活性。

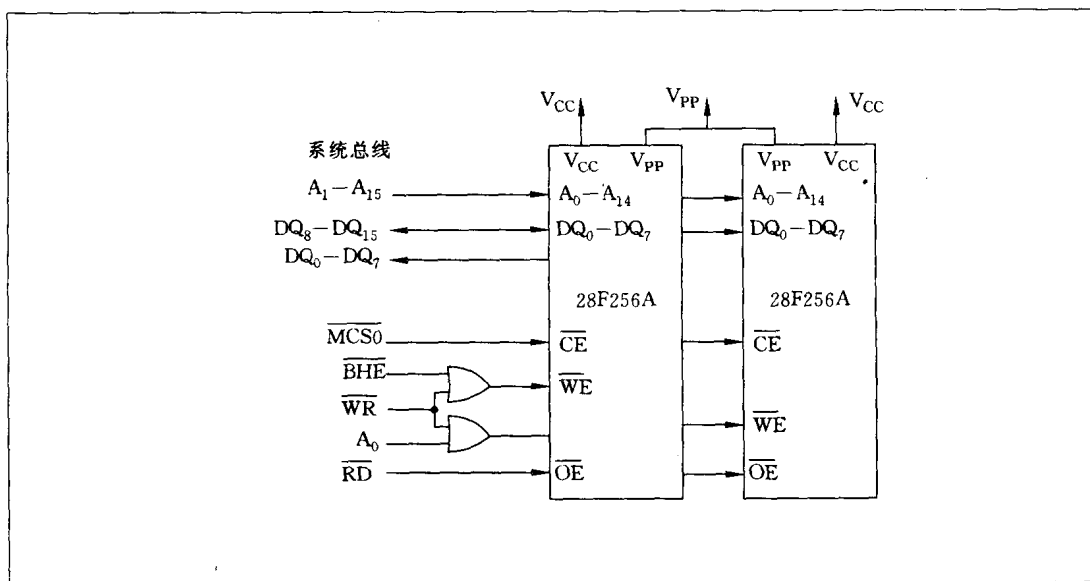


图 3 28F256A 在 80C186 系统中的应用

操作原理

闪速存储器在 EPROM 功能基础上增加了电路内电擦除和重新编程。28F256A 引入一个指令寄存器来实现这种新功能。该指令寄存器能够保证 100% TTL 电平控制输入;还有在擦除和编程过程中稳定供电;以及最大限度地与 EPROM 兼容。

当 V_{PP} 引脚不为高电压时,28F256A 是一个只读存储器。利用外部存储器控制引脚可实现标准的 EPROM 读、等待、输出禁止和 Intel 系统标识符(Intelligent Identifier)等操作。

在对 V_{PP} 加高电压时,同样可实现 EPROM 读、等待、输出禁止操作。另外,器件这时还可实现擦除和编程。与改变存储内容有关的所有功能,系统标识符、擦除、擦除校验、编程和编程校验,均可通过指令寄存器实现。

指令可利用标准微处理器的写周期写入寄存器,寄存器内容作为控制擦除和编程电路的内部状态机的输入。写周期同时从内部锁存了编程和擦除操作所需的地址和数据。在适当的

命令写入寄存器后,标准微处理器读周期输出阵列数据。访问系统标识符代码,或输出数据以实施擦除和编程校验。

集成编程/擦除定时器

连续的指令写周期使编程和擦除操作持续进行,这一过程通常由对应的编程或擦除校验指令所终止。一种集成定时器对这些操作提供了简便的定时控制,这样就不需再规定最长编程/擦除周期了。编程和擦除脉冲反需持续很短的时间。在定时器终止一个编程或擦除操作时,器件进入暂停状态并保持这种状态直至接受了适当的校验指令或复位指令。

写保护

指令寄存器仅在 V_{PP} 为高电压时工作。数据应用需要,系统设计者可以为 V_{PP} 供电设置开关,仅在存储器内容需更新时 V_{PP} 达到高电压。当 $V_{PP}=V_{PPL}$ 时,寄存器缺省内容为读指令,使 28F256A 成为只读存储器。处于这种模式,存储器内容不可变。

系统设计者也可以对 V_{PP} 选择“硬连线”方式,使其常处于高电压状态。这时,只要 V_{CC} 低于写锁定电压 V_{LKO} ,所有的指令寄存器功能均不可执行(参看电源通/断(up/down)保护)。28F256A 可适应这两种不同设计,并支持处理器—存储器的最优连接。

对指令寄存器的编程/擦除指令两步连续写入也提供了附加的软件写保护。

总线操作

读

28F256A 有两个控制端,两者必须均为逻辑有效状态才能实现数据输出。芯片选通($\overline{CE}$)是供电控制端,用于片选。输出允许($\overline{OE}$)是输出控制端,用于控制数据从输出管脚的输出,该端独立于片选端。参看交流读周期波形。

在 V_{PP} 为高电压(V_{PPH})时,读操作可以完成取阵列数据,可输出系统标识符代码,还可取数据来实施编程/擦除校验。 V_{PP} 为低电压(V_{PPL})时,读操作只能取阵列数据。

输出禁止

当输出允许端处于逻辑高电平(V_{IH})时,器件被禁止输出。输出引脚置于高阻态。

等待

当片使能端处于逻辑高电平时,等待操作抑制了 28F256A 的大部分电路,大大减少了器件功耗。输出端处于高阻态,不受输出允许信号的控制。如果在擦除、编程或编程/擦除校验过程中 28F256A 被禁止了,器件也会维持有功电流至当前操作结束。

智能标识符

智能标识符操作输出厂家代码(89H)和器件代码(B9H)。编程设备会自动地以适当的擦除和编程算法与器件相匹配。在片选端与输出允许端均为逻辑低电平时,令 A_9 升至高电压 V_{ID} (参看直流特性)即可实现这一操作。从地址 0000H 和 0001H 读出的数据分别代表厂家代码和器件代码。

厂家和器件代码亦可从指令寄存器读出。例如当 28F256A 在目标系统中被擦除和重新编程时,向指令寄存器写入 90H 后,从地址 0000H 读出的即为厂家代码(89H),从 0001H 读出的即为器件代码(B9H)。

写

当 V_{PP} 管脚为高电压时,器件的擦除和编程要通过指令寄存器实现。寄存器内容作为内部状态机的输入,状态机输出决定了器件要实施的功能。

指令寄存器本身并不占据可寻址存储器空间。寄存器是一个用于存储指令的锁存器,并携带执行指令所需的地址和数据信息。

在片使能端为低电平时,通过给写允许端置逻辑低电平(V_{IL})可对指令寄存器进行写入。地址在写允许脉冲的下降沿被锁存。数据则在写允许脉冲的上升沿被锁存。这里采用标准微处理器写周期。

具体的周期参数请参看交流写特性和擦除/编程波形。

表 2. 总线操作

引脚/操作	V_{PP}^1	A_0	A_9	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	DQ_0-DQ_7
只读	读	V_{PPL}	A_0	A_9	V_{IL}	V_{IL}	数据输出
	输出禁止	V_{PPL}	X ⁷	X	V_{IL}	V_{IH}	三态输出
	等待	V_{PPL}	X	X	V_{IH}	X	三态输出
	厂家标识符代码	V_{PPL}	V_{IL}	V_{ID}^3	V_{IL}	V_{IL}	数据=89H
	器件标识符代码	V_{PPL}	V_{IH}	V_{ID}^3	V_{IL}	V_{IL}	数据=B9H
读/写	读	V_{PPH}	A_0	A_9	V_{IL}	V_{IL}	数据输出 ₄
	输出禁止	V_{PPH}	X	X	V_{IL}	V_{IH}	三态输出
	备用 ⁵	V_{PPH}	X	X	V_{IH}	X	三态输出
	写	V_{PPH}	A_0	A_9	V_{IH}	V_{IL}	数据输入

注:1. 参看直流特性。 $V_{PP}=V_{PPL}$ 时可读出存储内容但不能写或擦除。

2. 厂家和器件代码也可通过指令寄存器写序列获得。

3. V_{ID} 是系统标识符高电压。参看直流特性。

4. $V_{PP}=V_{PPH}$ 时的读操作可获得阵列数据或系统标识符代码。

5. V_{PP} 为高电压时,等待电流等于 $I_{CC}+I_{PP}$ (等待)。

6. 对写操作中有效数据输入参看表 3。

7. X 可为 V_{IL} 或 V_{IH} 。

指令定义

在 V_{PP} 引脚为低电压时,指令寄存器缺省内容为 00H,只支持读操作。

为 V_{PP} 管脚置高电压可实现读/写操作。通过对指令寄存器写入特写数据可实施不同的器件操作。表 3 中列出了这些 28F256A 寄存器指令。

读指令

在 V_{PP} 为高电压时,为进行擦除和编程,可通过读指令获取存储内容。读操作通过对指令寄存器写入 00H 来引发。微处理器读周期检索阵列数据。在指令寄存器内容变更前,器件保持

读允许状态。

表 3 指令定义

指令	注释	总线周期	第一总线周期			第二总线周期		
			操作 ¹	地址 ²	数据 ³	操作 ¹	地址 ²	数据 ³
读存储器		1	写	X	00H			
读系统标识符代码		3	写	X	90H	读	4	4
设置擦除/擦除	6	2	写	X	20H	写	X	20H
擦除校验	6	2	写	EA	A0H	读	X	EVD
编程设置/编	5	2	写	X	40H	写	PA	PD
编程校验	5	2	写	X	C0H	读	X	PVD
复位	7	2	写	X	FFH	写	X	FFH

注:1. 总线操作定义见表 2。

2. 1A=标识符地址:厂家代码 00H,器件代码 01H。

EA=在擦除校验中要读的存储器地址。

PA=要编程的存储器地址。

地址在写允许脉冲的下降沿被锁存。

3. ID=在器件标识中从 1A 读出的数据(厂家=89H,器件=B9H)。

EVD=在擦除校验中从 EA 读到的数据。

PD=要对 PA 编程的数据。数据在写允许脉冲的上升沿被锁存。

PVD=在编程校验中从 PA 读到的数据。PA 被锁存在编程指令。

4. 随着读智能标识符指令,两个读操作可获取厂家和器件代码。

5. 图 4 描述了快速脉冲编程算法。

6. 图 5 描述了快速擦除算法。

7. 在第二总线周期后立即写指令寄存器。

在 V_{PP} 电源接通时寄存器缺省内容为 00H,确保了 V_{PP} 供电变化时存储器内容不会误被修改。当 28F256A 的 V_{PP} 管脚固定在高电压时,器件被启动并在指令寄存器内容改变前保持读允许状态。具体周期参数请参看交流特性和波形。

系统标识符指令

闪速存储器适用于由局部 CPU 控制改变存储器内容的情况。这种情况要求在器件装入目标系统后仍能获取厂家和器件代码。PROM 编程器一般通过将 A9 升至高电压来获取特征代码。但是,给地址线加高电压并非一种理想的系统设计方式。

28F256A 在传统的 PROM 编程方法之外补充了一个系统标识符操作。该操作通过对指令寄存器写入 90H 来启动。在写指令之后,一个读周期可从地址 0000H 取得厂家代码 89H,另一读周期可从地址 0001H 取得器件代码 B9H。要终止这一操作,必须对寄存器写入另一有效指令。

设置擦除/擦除指令

设置擦除仅为一个指令性操作,表明将对器件进行阵列中所有字节的电擦除。这一操作通过对指令寄存器写入 20H 而生效。要开始实施芯片擦除,需要再次把擦除指令(20H)写入寄存器。擦除操作在写允许脉冲的上升沿开始。在下一个写允许脉冲的上升沿结束(后一脉冲引发

擦除校验指令)。

这一设置和执行的两步过程确保了存储器内容不会被意外擦除。而且,芯片擦除只能在 V_{PP} 管脚为高电压时实施。 V_{PP} 不为高电平时,存储器内容处于擦除保护状态。具体周期参数请参看交流擦除特性和波形。

擦除校验指令

执行擦除指令会同时擦除阵列中的所有字节。在每次擦除操作后,所有字节都要接受校验。校验指令通过对指令寄存器写入A0H来启动。要接受校验的字节地址会在写允许脉冲的下降沿被锁存。在写允许脉冲的上升沿写寄存器就终止了擦除操作。

28F256A对当前地址字节提供一个内部产生的容限电压,从字节中读出FFH表明该字节中所有位均已被擦除。

擦除校验指令必须在对每个字节实施校验之前写入指令寄存器以保证对地址的锁定。校验过程对阵列中每一字节持续进行直至某一字节未返回FFH数据或已到达最终地址。

如果所读取数据不是FFH,则要执行另一次擦除操作(参看设置擦除/擦除)。校验随后从这之前最后校验的字节地址重新开始。一旦阵列中所有字节均已接受校验,擦除步骤就完成了。这时就可以对器件进行编程了。此刻,校验操作要通过对指令寄存器写入一个有效指令(如设置编程)来终止。图5所示的快速擦除算法说明了指令和总线操作是怎样结合起来对28F256A实施电擦除的。具体周期参数请参看交流擦除特性和波形。

设置编程/编程指令

设置编程亦反为一个指令性操作,表明将对器件进行字节编程。对指令寄存器写入40H可实施该指令。

一旦实施了设置编程指令,下一个写允许脉冲就会引发一个有效的编程操作。地址在该写允许脉冲的下降沿被内部锁定,数据则在写允许脉冲的上升沿被内部锁定。这一写允许脉冲的上升沿会同时启动编程操作。编程操作在下一个写允许脉冲的上升沿终止,这一脉冲用于写入编程校验指令。具体周期参数请参看交流编程特性和波形。

编程校验指令

28F256A是逐字节编程的。字节编程可能顺序进行,也可以是随机的。在每次编程操作后,刚被编程的字节要接受校验。

编程校验操作通过对指令寄存器写入C0H启动。在写允许脉冲的上升沿写寄存器可终止编程操作。编程校验操作对器件中刚完成编程的字节实施校验。这时无新的地址信息被锁存。

28F256A为字节提供一个内部产生的容限电压。微处理器读周期会输出刚写入的数据,已编程字节内容同真实数据的比较达到一致即表明该字节编程成功,编程就转向下一个等待编程的字节地址。图4所示的28F256A快速脉冲编程算法表明指令怎样与总线操作结合起来实施字节编程。具体周期参数请参看交流编程特性和波形。

复位指令

复位指令用以确保擦除或编程指令序列的终止。在任一设置擦除或设置编程指令后连续两次写入FFH能够可靠地终止前述操作,存储器内容不会改变。随后应写入一条有效指令使