

WEICHULIJIXITONGSHEJIYU SHIJIAN

微处理机系统设计 与实践

夏永平 李培健 翁默颖 编著

上海科学技术文献出版社

前 言

自从第一个晶体管于1948年发明以来,短短三、四十年时间整个微电子工业从无到有,从简单到复杂取得了长足的进步。特别是集成电路和微处理机的出现,标志着一个新的历史阶段已到来,其发展速度之迅猛,令人有目不暇接之感,三、五年间,原有的器件和相应的知识、设计方法等已显得有些陈旧。随着微电子技术的深入发展,器件集成度越做越高,从小规模(SSI)、中规模(MSI)、大规模(LSI)到超大规模(VLSI)集成电路工艺日臻成熟,使门电路、触发器、计数器、模数(A/D)变换器、数模(D/A)变换器、只读存储器(ROM)、随机存储器(RAM)、微处理机的中央处理器(CPU)到单片微处理器等各种各样的器件应有尽有,而能够完成同样功能的电路设计方法则可以有许多种,尤其是微处理机的出现,使许多原来由数字电路完成的功能可以用微机软件来解决,并且更加灵活、可靠。面对众多的设计方法,我们必须加以比较,以便选择最佳的方法,为了能够进行比较,应该对各种类型的器件及其能够完成的功能有所了解。对不同种类器件知道得越多,对它们的功能和不足之处掌握得越透彻,在设计具体线路时思路就越宽广,设计方法也就越多。特别对一些由微处理器为核心的系统设计,如果没有广泛的外围数字电路知识的话,将难以使其发挥最大效能。

本书的目的是通过对数字电路(主要是中、大规模数字集成电路,A/D、D/A、ROM、RAM等接口与存储器、微处理器的介绍,使已有一定的数字电路、微机技术知识的读者对这些器件的应用有一个更广泛的了解。

本书的内容分为两大部分。第一部分主要介绍在无微处理器介入的条件下各种器件的应用,其中包括了相当多的应用技巧,如EPROM的非计算机应用等。第二部分主要介绍以微处理器为核心构成的一些实用系统。通过对具体硬件、软件的分析,较全面地叙述了这些系统的硬件设计方法和软件编程技巧。这些系统主要以Z80微处理器和8748单片微机为背景。另外,鉴于目前TP801单板机相当流行,因此,在最后一章还介绍了TP801对各种大容量EPROM、E²PROM以及单片微机8748的编程接口。为了便于应用,本书中相当多的微机应用实例都附带程序清单,并加了注释。这些程序均已经过调试。

目前电路的集成度越来越高,不可能也没有必要去分析电路内部有多少个晶体管,以及它们各自的工作状态怎样,我们将每块集成电路看成是一个“黑匣子”,只是关心这个“黑匣子”的外部特性。在一般情况下将不再介绍集成电路的内部具体结构。

由于作者水平所限,不当之处在所难免,望广大读者不吝指正。

编 者

1988年11月

目 录

第一章 概 述	1
§1.1 数字集成电路工艺的种类	1
§1.2 数字集成电路中的几个基本参数	7
§1.3 数字集成电路几种常用的输出方式	9
第二章 组合电路	13
§2.1 基本门电路	13
§2.2 施密特触发器	16
§2.3 门电路的一些应用	17
§2.4 加法器	23
§2.5 全加器的一些应用	25
§2.6 算术逻辑单元 ALU	30
§2.7 乘法器	30
§2.8 数字比较器	33
§2.9 数据选择器	35
§2.10 编码器.....	36
§2.11 译码器.....	39
第三章 时序电路	43
§3.1 R-S触发器.....	43
§3.2 D触发器	43
§3.3 J-K 触发器	47
§3.4 锁存器	49
§3.5 串入并出移位寄存器	50
§3.6 并入串出移位寄存器	52
§3.7 双向移位寄存器	53
§3.8 异步计数器	55
§3.9 同步计数器	61
§3.10 可逆计数器.....	68
第四章 D/A 变换	72
§4.1 D/A 变换的基本类型.....	72
§4.2 D/A 变换输入与输出的关系.....	76
§4.3 D/A 变换器的几个基本参数.....	77
§4.4 D/A 变换中的参考电源.....	78
§4.5 8bit D/A 变换器 MC3408L.....	79
§4.6 10bit D/A 变换器 AD7520.....	82
§4.7 12bit D/A 变换器 DAC1200	85
§4.8 D/A 变换器的一些应用.....	88

第五章 A/D 变换	95
§5.1 计数式 A/D 变换	95
§5.2 逐次逼近式 A/D 变换	97
§5.3 双斜式 A/D 变换	100
§5.4 并行 A/D 变换	103
§5.5 并-串式 A/D 变换	106
§5.6 非线性 A/D 变换	108
§5.7 单片 16 路 8 位 A/D 变换器 ADC 0816	112
§5.8 $3\frac{1}{2}$ 位单片 A/D 变换器 ICL7106/ICL7107	117
第六章 只读存储器 ROM	122
§6.1 存储器的结构	122
§6.2 只读存储器 ROM 的种类	124
§6.3 ROM 的工艺	12
§6.4 典型的 EPROM 2716	125
§6.5 大容量 EPROM	130
§6.6 E ² PROM 2816	131
§6.7 EPROM 作译码器	135
§6.8 用 EPROM 进行数据变换	137
§6.9 用 EPROM 实现乘法器功能	140
§6.10 用 EPROM 产生任意波形	142
§6.11 用 EPROM 完成时间顺序控制	143
§6.12 EPROM 产生任意电视图像	143
§6.13 一个综合应用实例	150
§6.14 E ² PROM 的一些应用	153
第七章 随机存储器 RAM	156
§7.1 RAM 的种类	156
§7.2 1K×4 静态 RAM 2114A	158
§7.3 2K×8 CMOS 静态 RAM 6116	160
§7.4 64K×1 动态 RAM 2164	162
§7.5 集成动态 RAM 2186/2187A	166
§7.6 多片 RAM 的扩展	168
§7.7 多片 RAM 的负载问题	169
§7.8 数字式声音记录器	171
§7.9 图像存储器	173
§7.10 数字化双画面电视	174
§7.11 视频信号的音频传送	175
第八章 Z80 微处理器及其应用	177
§8.1 从小型计算机到微型计算机	177
§8.2 基本名词与概念	177
§8.3 Z80 CPU	181
§8.4 Z80-PIO	206
§8.5 Z80-CTC	213

§8.6 采用 Z80 CPU 构成的最小系统	217
§8.7 Z80 最小系统应用之一——多点定时控制器	219
§8.8 Z80 最小系统应用之二——自动音乐发生器	234
§8.9 Z80 最小系统应用之三——电视棋格信号发生器	250
§8.10 采用 Z80 微处理器的多图形彩色电视信号发生器	269
§8.11 采用 Z80 微处理器的实时数字视频函数放大器	276
§8.12 采用 Z80 微处理器的多道模拟信号幅度实时图形显示系统	283
第九章 单片微型计算机 8748 及其应用	289
§9.1 8748 与 MCS-48 系列	289
§9.2 8748 的引脚功能	295
§9.3 8748 内部结构	295
§9.4 8748 静态驱动 LED 数字显示器	306
§9.5 采用 8748 的 50Hz 工频频率智能测试仪	312
§9.6 采用 8748 的电视信号选行测量智能接口	325
§9.7 采用 8748 的彩色电视信号发生器	343
§9.8 采用 8748 的存储示波器	364
§9.9 采用 8748 的通用键盘、显示模板	381
第十章 TP801 构成的编程器	391
§10.1 TP801 的基本结构	391
§10.2 TP801 对 EPROM 2816 编程	392
§10.3 TP801 对单片微机 8748 编程	396
§10.4 TP801 对 32~256K EPROM 编程	408
附表一 按目标码数序排列的 Z80 指令表	427
附表二 按助记符字母次序排列的 Z80 指令表	433
附表三 8748/8035 指令系统	439
附表四 按目标码数序排列的 MCS-48 系列指令表	442
附表五 按助记符字母次序排列的 MCS-48 系列指令表	446

第一章 概 述

§ 1.1 数字集成电路工艺的种类

对于能完成同样逻辑功能的数字集成电路来说,可以采用不同的工艺方法。一般常用的数字集成电路有以下几种工艺:

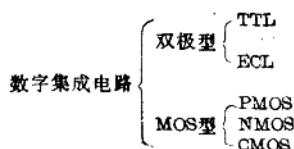


表 1-1 列出了以这几种工艺制造的器件的主要性能对比。下面分别作一简单介绍。

表 1-1 各种工艺的电路性能比较

参 数 \ 工 艺	TTL	ECL	PMOS	NMOS	CMOS
速 度	较 高	最 高	最 低	中 等	中 等
功 耗	中 等	最 高	中 等	中 等	最 低
抗干扰性能	中 等	最 差	中 等	中 等	最 好
电源电压	+5V	-5.2V	-24V	+5~+15V	+3~+18V

一、TTL 数字集成电路

1958 年,美国的 Texas 仪器公司和 Fairchild 公司宣布世界上第一个集成电路研制成功,它标志着集成电路时代的开始。1962 年,新成立的 Signetics 公司制成了 TTL 集成电路的前身——DTL 集成电路。直到 1964 年, Texas 仪器公司制成了 54 系列 TTL 数字集成电路。这种工作温度范围在 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 的军用集成电路,达到了当时最先进的水平。不久又制成了供民用的廉价 74 系列数字集成电路,工作温度范围在 $0 \sim +70^{\circ}\text{C}$ 。Texas 仪器公司的 54/74 系列产品极其成功,以至其它一些生产 TTL 数字电路的厂家不得不考虑放弃自己的产品,向 54/74 系列靠拢。可以说,54/74 系列 TTL 集成电路已成为国际通用标准器件。54 系列除了工作温度范围宽,工作电源容差大(4.5~5.5V)之外,其它性能与 74 系列基本相同。以下讨论只限于 74 系列数字集成电路。

74 系列数字集成电路从最初的标准型到现在已发展成七个分支系列。它们之间逻辑电平完全兼容,不需要中间电平变换,可以在同一个系统中混合使用。但是它们的性能指标各有特点,详见表 1-2。其中 74 系列即最初发表的标准系列,门延迟 10 ns,功耗 10mW,触发器最高可工作在 35MHz 频率下。74L 是低功耗 TTL 系列,每个门电路仅消耗 1mW 功率,但速度最低。衡量集成电路性能有个综合技术指标,即速度功耗乘积,将门延迟时间与单门功耗相乘,量纲是焦耳。速度与功耗两者不可能兼顾,只是希望该值越小越好。74L 系

表 1-2 74 系列各分支产品的性能比较

系列 参数 指标	74 系列	74L 系列	74H 系列	74S 系列	74LS 系列	74ALS 系列	74F 系列
门 延 迟(ns)	10	33	6	3	9.5	5.0	3.7
单 门 功 耗(mW)	10	1	22	19	2	1	5.5
速度功耗乘积 (PJ)	100	33	132	57	19	5	19.2
触发器工作频率 (MHz)	0~35	0~3	0~50	0~125	0~45	0~45	0~125

列速度功耗乘积 33PJ, 只有标准 TTL 的三分之一。尽管 74L 系列速度功耗乘积小, 但因其速度较低, 面临着功耗很低的 CMOS 数字集成电路的挑战。而且 74L 系列工作温度范围不如 CMOS 电路, 电源电压范围亦很窄 (4.75~5.25V), 故当 CMOS 工艺成熟后, 该系列基本上停止了发展。74H 是高功耗 TTL 系列。此系列器件比标准 TTL 系列器件速度提高 30~40%, 付出的代价是功耗增加一倍多。该系列的速度功耗乘积最差, 但输出电平比较平稳。随着高速 TTL 电路 74S 系列的出现, 74H 系列器件已较少使用。74S 系列 TTL 电路内部晶体管的基极与集电极之间加接肖特基二极管箝位, 防止晶体管过饱和, 从而消除了晶体管因过饱和而引起的延迟, 提高了工作速度。74S 系列门电路延迟时间仅 3ns, 触发器工作频率高达 125MHz。这样高的工作速度可与普通的 ECL 电路相比, 且 TTL 电路使用比 ECL 电路简单, 功耗也较低。因此 100 MHz 以下的系统一般都使用 TTL 集成电路。74S 系列器件的速度功耗乘积指标较好, 只有标准 TTL 的 57%。

以上四种 74 系列 TTL 数字集成电路在 60 年代末都已有产品供应。随着技术的进步, 人们希望在不降低速度指标的前提下集成电路的功耗能有所降低。因此 Texas 仪器公司在 1972 年提出了一种新的 TTL 系列电路, 即现在最流行的 74LS 系列 TTL 数字集成电路。该系列电路的工作速度比标准系列电路还有所提高, 而其功耗只有标准系列电路的五分之一。74LS 系列一出现便大受欢迎, 现在已成为 74 系列中品种最多的一类电路。

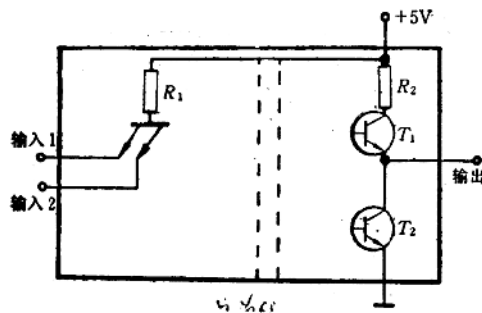


图 1-1 TTL 数字电路的输入输出结构

各种不同分支系列的 TTL 电路尽管逻辑电平相容, 但它们的负载能力却不一样。TTL 数字集成电路的输入端是图 1-1 所示的多射极晶体管。多射极管的基极经电阻 R_1 与电源 +5V 连接。当输入端接地即输入逻辑“0”时, 有一股电流从多射极管的发射极流出, 大小取决于

R_1 的值。当输入端接 +5V 即逻辑“1”时,多射极管有漏电流存在,方向是从输入端流向器件内部。不同分支系列 TTL 电路的 R_1 数值不尽相同,漏电流也各有大小。不同分支系列 TTL 电路的输出驱动能力也不一样。当输出逻辑低电平为“0”时,驱动能力取决于 T_2 管吸流能力的大小;当输出逻辑高电平为“1”时,输出驱动能力与 T_1 的放流能力以及 T_1 集电极上的限流电阻 R_2 有关。表 1-3 列出了不同系列器件的 R_1 、 R_2 值和输入、输出在不同逻辑电平下的电流数值。

表 1 3 74系列各分支产品的输入、输出特性

系列 参数	74系列	74L系列	74H系列	74S系列	74LS系列	74ALS系列	74F系列
R_1 阻值 (k Ω)	4	40	2.8	2.8	18	40	10
输入“0”时最大输入电流 (mA)	-1.6	-0.18	-2	-2	-0.4	-0.1	-0.6
输入“1”时最大输入电流 (μ A)	40	10	50	50	20	20	20
R_2 阻值 (Ω)	130	500	58	50	120	35	35
输出“0”时最大输出电流 (mA)	16	3.6	20	20	8	8	20
输出“1”时最大输出电流 (mA)	-0.4	-0.2	-0.5	-1	-0.4	-0.4	-1

从表 1-3 可知,74S 和 74F 系列器件输出驱动能力最大,输出高电平时为 -1mA,输出低电平时达 20 mA。而 74L 系列驱动能力最弱,分别为 -200 μ A 和 3.6 mA。但表 1-3 指出 74S 系列的输入电流也最大,每个器件输入端在“1”和“0”输入时电流分别为 50 μ A 和 -2mA,而 74L 系列输入电流最小。分别为 10 μ A 和 -0.18mA。将输出驱动能力和输入电流对比,可知一个 74S 系列器件输出“1”时可驱动 20 个同类门,输出“0”时可驱动 10 个同类门。而 74L 系列器件输出“1”时可驱动 20 个同类门,输出“0”时也可驱动 20 个同类门。因此用同一系列 TTL 电路组成系统的话,74L 系列驱动能力比 74S 系列大,输出电流数量大小反而失去了意义。为此,引入扇出系数的概念,即一个器件能够驱动同类门的数量。74S 系列扇出系数等于 10,即可带 10 个同类门(取高、低逻辑电平输出时驱动能力较小的值)。而 74L 系列的扇出系数为 20。当不同分支系列器件混用时,必须注意扇出系数是否足够。表 1-4 列出了混用时各系列器件的扇出系数。

二、ECL 数字集成电路

ECL 数字集成电路是工作速度最高的一种器件,它几乎与 TTL 电路同时出现。1962 年,美国 MOTOROLA 公司发表了 MECL I 型电路。这种早期的 EOL 电路门延迟时间为 8ns,每门功耗 31mW,速度比标准 TTL 快不了多少,但功耗却增加 50%。为了同 TTL 竞争,60 年代末 70 年代初提出了 ECL 的几种分支系列,见表 1-5。MECL II 型 ECL 电路是 MECL I 型的改进型,门延迟时间、功耗都有所下降。随后出现的 MECL III 型电路则主要满足超高速要求,触发器工作频率可达 500MHz 以上,在高频频率计、频率合成器、大型计算机

表 1-4 74 系列各分支产品混用时的扇出系数

输出 输入 扇出系数	74 系列	74L 系列	74H 系列	74S 系列	74LS 系列	74ALS 系列	74F 系列
74 系列	10	2	12	12	5	5	12
74L 系列	40	20	50	100	40	40	100
74H 系列	8	1	10	10	4	4	10
74S 系列	8	1	10	10	4	4	10
74LS 系列	20	9	25	50	20	20	50
74ALS 系列	20	10	25	50	20	20	50
74F 系列	20	6	25	33	13	13	33

表 1-5 MECL 各分支产品的性能比较

参数 指标 系列	MECL II 系列	MECL 10000 系列	MECL III 系列
门延迟时间(ns)	4	2	1
单门功耗(mW)	22	25	60
速度功耗乘积(PJ)	88	50	60
触发器工作频率(MHz)	180	125	500
输入电容(pF)	3.6	2.9	3.3
输出阻抗(Ω)	15	7	6
输出电流(mA)	2.5	22	22
扇出系数	25	92	63
开路线容许长度(cm)	30	15	2.5

中用途很广。前面提到, 74S 系列 TTL 数字集成电路的门延迟 3ns, 触发器工作频率 125 MHz, 速度功耗乘积优于 MECL II 型的 EOL 电路。面对着这种竞争 MOTOROLA 公司于 1971 年发表了 MECL 10000 系列电路, 速度功耗乘积指标与 74S 系列 TTL 电路不相上下。

EOL 电路是电流耦合器件, 其逻辑“0”、“1”电平之差很小, 只有 0.6V 左右。而 TTL 电路的逻辑电平差在 2V 以上, 故 EOL 电路的抗干扰能力不及 TTL 电路。EOL 电路电源电压 -5.2V, 较难与其它工艺的数字集成电路配合使用。例如 EOL 与 TTL 混合使用时必须加 TTL-EOL 电平转换器件。EOL 电路因逻辑电平差较小, 工作频率又高, 因此对电路设计、印刷板布线工艺要求较高。EOL 电路有一个指标是开路线允许长度。对 MECL III 型电路来说, 开路线长度不得超过 2.5cm。如超过如长度, 则开路线上的反射波可能破坏正常的逻辑状态。由于以上原因, EOL 电路仅局限在 TTL 电路所达不到的高速领域内使用。

三、PMOS 数字集成电路

PMOS 工艺成熟较早。早期的 MOS 数字集成电路广泛地使用这种工艺, 如国产的 5G600 系列 PMOS 数字电路等。PMOS 电路的集成度可以做得很高(单片达 10000 个以上

晶体管),成品率也较高,因此在电子计算器、早期的微处理机(Intel 的 4040 四位微处理机)中用得较多。PMOS 电路的主要缺点是速度较低和电源电压较高。一般 PMOS 触发器的最高工作频率不超过 2MHz,如 5G600 系列 PMOS 触发器工作频率最高只有 100kHz,是速度最慢的一种器件。PMOS 需要负电源供电,电源电压一般在 $-10\sim-30\text{V}$ 之间,如 5G600 系列电源电压为 -24V ,这样高的电压给使用者带来了不便。由于以上原因,当其它 MOS 工艺逐渐成熟之后,PMOS 器件基本上已停止发展,但目前还有相当数量的已定型产品供应。

四、NMOS 数字集成电路

NMOS 工艺的数字电路速度比 PMOS 快,集成度也很高,它已成为目前微处理机、只读存储器、随机存储器、各种大规模超大规模接口电路的主要制造工艺。NMOS 不仅速度较快,而且电源电压可用 $+5\text{V}$ 。这样就使 NMOS 器件很容易与 TTL 电路接口,不需要加电平转换电路,无形中使品种十分广泛的 TTL 数字电路为 NMOS 工艺的微处理机、存储器、接口等器件提供了支持。因为 TTL 电路速度高,NMOS 电路集成规模大,所以现在微处理机系统组成的结构是以 NMOS 的微处理机等大规模器件和以 TTL 电路为主的外围支持芯片混合使用为最流行的程式。反过来因为 TTL 电路出现较早,工艺十分成熟,种类繁多,所以 NMOS 工艺做成的数字电路较少,国产有 5G700 系列,使用不十分普遍。

五、CMOS 数字集成电路

CMOS 工艺是 NMOS 与 PMOS 工艺的结合。由于在一片电路中集成了两类不同的场效应管,CMOS 集成度稍低于 NMOS 工艺。但 CMOS 工艺的低功耗、高抗干扰性吸引着人们不断改进其工艺性能,使 CMOS 和 TTL 成为数字电路领域中最重要两种器件。

CMOS 器件的出现可追溯到 1968 年。这一年美国 RCA 公司推出了 CD4000 系列 CMOS 数字集成电路。该系列至今仍是最有生命力的器件之一。CMOS 电路一出现,便与 TTL 电路展开了竞争。尽管 CMOS 器件价格稍高,速度较低,但对要求低功耗,特别是由电池供电的场合比其它工艺的器件对用户有更大的吸引力。

RCA 公司的 CD4000 系列数字集成电路按工作电压范围、输出驱动能力不同又分成 A、B 两大系。CD4000A 这一类器件电源电压 $3\sim15\text{V}$,输出驱动能力稍差;CD4000B 系列电源电压为 $3\sim18\text{V}$,在用 5V 电源时可直接驱动一个 74LS 系列 TTL 电路或两个 74L 系列电路,因此 B 系列器件可以与 TTL 电路混合使用。CMOS 电路的电源范围宽,交流特性受电源电压影响较大。表 1-6 是 CD4000B 系列门电路典型延迟时间与电源电压 V_{DD} 的关

表 1-6 CD4000B 系列 CMOS 门电路延迟时间与电源电压的关系

电 源 电 压	延 迟 时 间		单 位
V_{DD}	typ	max	
5V	100	200	ns
10V	50	100	ns
15V	40	80	ns

表 1-7 CMOS 触发器工作频率与电源电压的关系

电源电压	CD4013A 工作频率		CD4027A 工作频率		单 位
	min	typ	min	typ	
5V	1	4	1	3	MHz
10V	5	10	3	8	MHz

系。当然,各种不同的门电路延迟时间与 V_{DD} 关系稍有上下。同样,CMOS 触发器最高工作频率也受 V_{DD} 影响。表 1-7 列出了双 D 触发器 CD4013A 和双 JK 触发器 CD4027A 的最高时钟频率与 V_{DD} 的关系。计数器、移位寄存器等时序电路都由 D 触发器或 JK 触发器等基本单元构成,因此它们的最高工作频率一般不超过同系列触发器的指标。

CMOS 电路的特点之一是它的输出逻辑高电平“1”与电源电压 V_{DD} 十分接近。输出逻辑低电平“0”则与接地的零电压相近,空载时 CMOS 输出“1”时电压不低于 $V_{DD}-0.05V$,输出“0”时不大于 $0.05V$ 。

CMOS 器件输入阻抗极高,输入电流仅 $10pA$,输入电容约 $5pF$ 。因此,CMOS 电路连接时影响驱动能力的因素主要是负载电容而不是负载电流,一般 CMOS 电路的扇出能力大于 50。

CMOS 电路对输入噪声抗干扰能力强。其噪声容限典型为 V_{DD} 的 40%,即当 $V_{DD}=10V$ 时,输入噪声幅度高达 $4V$ 还不致破坏正常的逻辑功能。在各种不同工艺的数字集成电路中,要数 CMOS 工艺抗干扰能力最强。以前,为提高 TTL 电路的抗干扰性能,专门发展过一类高阈值数字电路,简称 HTTL 电路,用于工业控制等干扰信号较严重的场合。随着 CMOS 电路的出现,HTTL 电路已销声匿迹了。

CMOS 电路因工作时上下两个管子轮流导通和截止,处于相反的状态,即一个管子导通时另一个必然截止,故静态功耗极小。 $V_{DD}=5V$ 时,小规模电路静态功耗仅 $0.005\sim 0.05\mu W$,中规模电路也不过 $0.1\sim 0.5\mu W$ 。但当 CMOS 器件上下 PMOS、NMOS 两个管子在交换状态(一个由截止变成导通,另一个则由导通变截止)这一短暂时间内(约数十至数百纳秒)两个管子均处于半导通状态,电源电流较大。因此当 CMOS 电路工作频率升高,状态变换频繁时,功耗相应增加。例如 CMOS 触发器时钟频率达到约 $1MHz$ 以上时,其功耗与 TTL 电路相比已小不了多少。频率再高时功耗甚至将超过 TTL 电路,而 TTL 电路的功耗随工作频率上升相对地讲增加不多。

事物的发展是永无止境的,到 1981 年,MOTOROLA 公司提出了一种崭新的高速 CMOS 系列产品——74HC 系列。该系列与 TTL 系列产品的引脚相兼容,电源电压范围 $+2\sim +6V$ 。当电源为 $+5V$ 时,工作速度与 LSTTL 相仿,输出驱动能力为 LSTTL 的一半,工作温度范围为 $-40\sim +85^{\circ}C$ 。该系列不但在性能指标上打破了 CMOS 电路工作速度不高的概念,而且还保持了 CMOS 电路所有的优点,故一出现便大受欢迎,各厂家竞相仿制。

以上介绍了数字集成电路的几种不同工艺。从完成逻辑功能角度来讲,只要它们能完成同样的任务,无论选用哪一种工艺的器件都可以。但考虑到系统构成后的一些具体指

标, 必须在选择使用器件种类时权衡利弊。例如要求设计的系统能在以电池为电源的条件下使用, 无疑使用 CMOS 器件最为理想。CMOS 器件不仅功耗低, 可以延长电池使用时间, 而且电源电压适应性强, 当电池使用日久后电压稍有跌落也不致影响逻辑功能的完成。如若用 TTL 电路, 不但功耗极大, 并且电源电压必须在 $4.75 \sim 5.25\text{V}$ 范围内, 否则逻辑功能无法保证。这时为了避免电池电压下降带来的问题, 必须提高供电电压, 并加一个稳压电源, 这将进一步使功耗增大, 因而是不可取的。如果系统在 1MHz 以上频率下工作, 则选用 TTL 电路为宜。当工作频率高于 150MHz 时, 唯一可用的只能是 ECL 电路。若功耗和速度都无严格要求, 则 TTL 或 CMOS 电路均可选用。

使用 TTL 或 CMOS 器件构成系统时, 除了要考虑逻辑电平、扇出系数等条件外, 还要特别注意这两类器件多余输入端的处理。所谓多余输入端是指器件不使用的输入端。这有两种情况。例如一片 4 输入端的双与非门, 其中一个与非门只要 3 个输入端便能满足逻辑功能。那么就多余了一个输入端, 这是一种情况。另一种情况是一片 4 输入端双与非门只用了其中的一个与非门, 另一个与非门空闲, 那么空闲的与非门所有输入端都成了多余输入端。对 TTL 电路来说, 悬空的输入脚相当于接逻辑高电平“1”, 这是 TTL 器件内部电路结构所决定的。当设计电路时发现某些多余输入端在“1”状态时不影响其它输入端工作时, 可以将这些多余输入端接 $+5\text{V}$ 或干脆悬空。而 CMOS 电路则不然, 当 CMOS 输入端悬空时, 其逻辑状态将不能确定是“0”还是“1”, 因而得不到正确的输出逻辑状态。而且输入端悬空后可能会使上下 PMOS 和 NMOS 管都处于半导通状态 (输入状态在“0”、“1”逻辑电平的交变处), 电源电流很大, 有可能造成器件永久损坏。因此 CMOS 电路的多余输入端必须以不影响其它输入端逻辑条件为前提接地或接 V_{DD} 。对一片电路中整个不用的单元也是如此, 可以将它们的输入端任意接地或接 V_{DD} 。

§ 1.2 数字集成电路中的几个基本参数

一、逻辑电平

TTL 数字电路输入逻辑“0”低电平最大值允许为 0.8V , 输入逻辑“1”高电平最小值允许为 2.0V 。而在额定负载下, TTL 电路输出逻辑“0”低电平不超过 0.4V , 输出“1”高电平不低于 2.4V , 因此 TTL 至少有 0.4V 电压容差以避免因干扰引起的逻辑错误, 见图 1-2(a)。

CMOS 电路因电源电压 V_{DD} 可变范围大, 所以逻辑电平也随之改变。一般以 $0.7V_{DD}$ 到 V_{DD} 为输入逻辑“1”, 以 0 到 $0.3V_{DD}$ 为输入逻辑“0”, 视具体品种不同稍有出入, 见图 1-2(b)。由图可见, CMOS 电路的抗干扰能力远高于 TTL 电路。

二、延迟时间 t_{PHL} , t_{PLH} 和 t_{pd}

在数字集成电路输入端加一个脉冲, 因器件本身必然有延迟, 所以输出脉冲信号将滞后于输入脉冲信号。以反相器为例, 输入和输出信号的关系见图 1-3。将输出信号从“1”变为“0”相对于引起该次变化的输入信号的延迟时间称为 t_{PHL} 。同样, 将输出信号从“0”变“1”相对于引起该次变化的输入信号的延迟时间称为 t_{PLH} 。作为时间基准的逻辑变化电压对 74LS 系列是 1.3V , 对标准 74 系列是 1.5V , 而对 CMOS 电路则为电源电压 V_{DD} 的 50%。因集成电路的内部结构关系, 同一个器件的 t_{PHL} , t_{PLH} 一般都不相同。有时为了以简单的形式表示

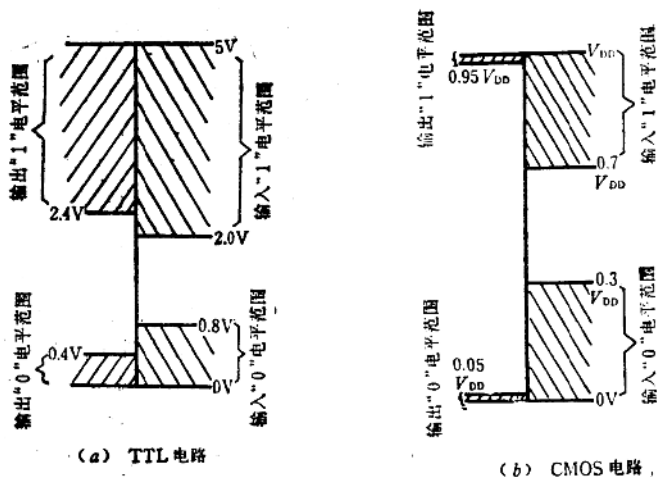


图 1-2 TTL 与 CMOS 电路输入输出电平

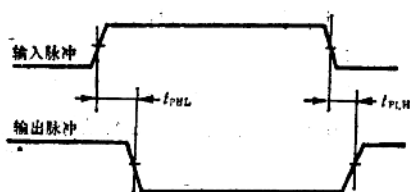


图 1-3 延迟时间 t_{PHL} 和 t_{PLH}

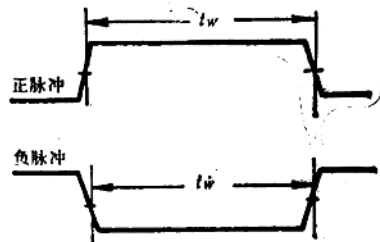


图 1-4 脉冲宽度 t_w

一个器件的延迟时间,引入平均延迟时间 t_{pd} ,并令

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$$

前面提到的各种器件延迟时间实际上指的就是 t_{pd} 。

三、脉冲宽度 t_w

脉冲宽度也是一个常用的交流参数。有些电路,特别是在存储器及 A/D 变换器中,脉冲宽度是衡量器件工作速度的主要指标之一。关于脉冲宽度的定义方法见图 1-4,分为正向脉冲宽度和负向脉冲宽度两种,时间基准点的电压与前面相同。

四、上升时间 t_r 和下降时间 t_f

集成电路的输入输出脉冲无论是从逻辑高电平“1”向逻辑低电平“0”变化还是相反,总是需要一定的时间。现定义 U 为脉冲幅度,令脉冲波形从“0”向“1”变化时,电压在 $0.1U$ 到 $0.9U$ 所需时间为脉冲上升时间 t_r 。而脉冲从“1”向“0”变化时电压从 $0.9U$ 到 $0.1U$ 所需时间为脉冲下降时间 t_f 。见图 1-5。

五、建立时间 t_i 和保持时间 t_H

对 D 触发器、JK 触发器及主要是由它们为基本单元构成的各种计数器、寄存器、移位寄

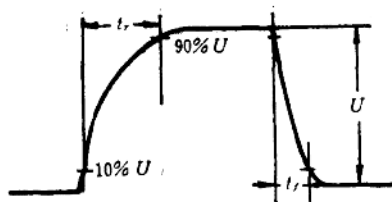


图 1-5 上升时间 t_r 和下降时间 t_f

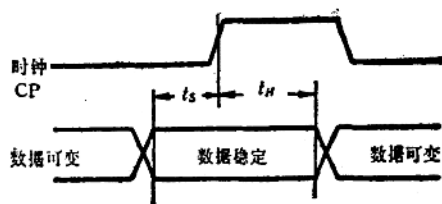


图 1-6 建立时间 t_s 和保持时间 t_h

存器等时序电路来说,数据信号需要有建立时间和保持时间,见图 1-6。从理论上讲,由边沿触发的时序电路应在时钟脉冲发生规定的变化(正跳变或负跳变)时动作。动作后的结果取决于触发器动作前的状态和动作时数据端的逻辑电平状态。但是对于实际器件,因集成电路内部不可避免地存在着延迟,为了保证动作后的状态可靠,要求数据端的电平比时钟脉冲有效的沿提前一些时间稳定,使内部电路有足够的时间完成翻转前的准备状态。另外,当时钟有效沿到达后,还希望数据端的电平能继续保持一段时间,使翻转过程得以可靠地完成。数据端电平先于时钟脉冲的最短时间称为建立时间 t_s 。时钟脉冲到达后数据端电平应继续保持不变的最短时间称为保持时间 t_h 。若在实际系统中器件的这两个指标不能保证的话,很容易发生误动作。图 1-6 中时钟和数据端信号电平的画法表示这两个信号都可以从逻辑“0”到“1”或从“1”到“0”。

§ 1.3 数字集成电路几种常用的输出方式

数字集成电路因用途不同,有三种不同的输出方式,即图腾柱输出方式,集电极(漏极)开路输出方式和三态输出方式。下面分别介绍。

一、图腾柱输出方式

这是一种最常用的输出方式。图 1-7(a)、(b)分别是 TTL 和 CMOS 电路的图腾柱输出结构。输出逻辑“1”电平时,上面管子导通,下面管子截止。输出逻辑“0”电平时,上面管子

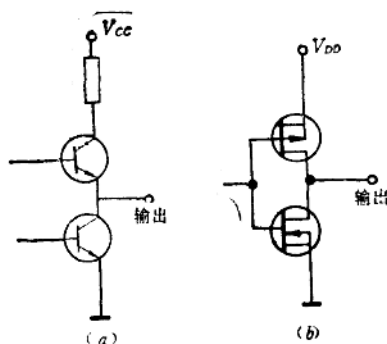


图 1-7 图腾柱输出结构

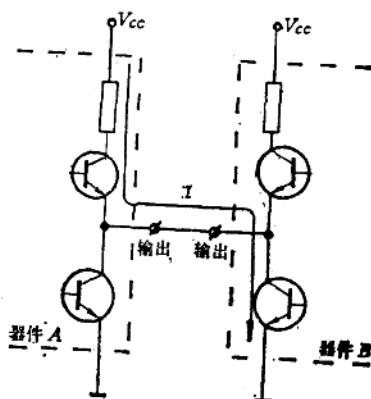


图 1-8 图腾柱输出器件输出端相连时的问题

截止，下面管子导通。在任何逻辑状态总有一个管子处于导通状态，因此输出驱动能力较大。

对图腾柱输出的器件来说，除非肯定输出逻辑状况一致，否则不能将几个电路的输出端接在一起，见图 1-8。假如器件 A 输出逻辑“1”电平，器件 B 输出逻辑“0”电平，它们的输出又连在一起，那么器件 A 上面的管子和器件 B 下面的管子将构成直流通路。流过的电流是电源电压 V_{CC} 减去两个管子的饱和压降再除以器件 A 上面管子集电极上的电阻，可达数十至数百毫安。如此之大的电流很容易在短时间内造成器件的永久性损坏。

在现代电子系统中，特别是微处理机系统中，广泛地使用总线的概念。在总线上数据信号往往是双向流动的，即挂在总线上的设备或器件可以将数据送往总线，也可以从总线上读入数据，见图 1-9。*2 号、*3 号设备是输入接口，它们将向数据总线提供各自的数据。这两

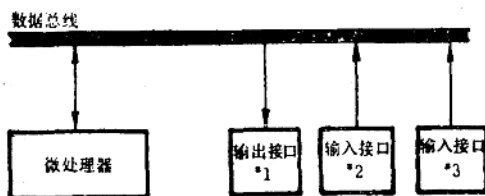


图 1-9 总线结构

个输入接口的输出端显然不得使用图腾柱结构的输出方式，因为两个接口的输出逻辑状态有可能恰恰相反，而这显然是不允许的。为了解决这个问题，开发了后面的两类器件。

二、集电极(漏极)开路输出方式

集电极(漏极)开路输出是图腾柱输出的一种变形电路。将图腾柱输出结构中的上面那个管子去掉，就成了集电极(漏极)开路形式，见图 1-10。这一类器件也称为 OC 输出器件，在符号上多加一斜线，见图 1-11。

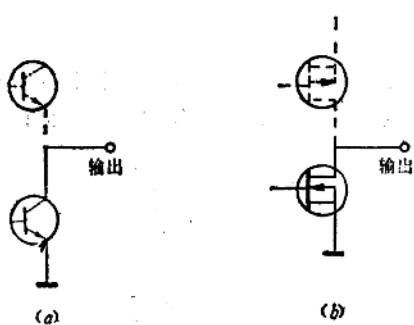


图 1-10 OC 输出结构

OC 器件因无上面管子，可以将多个输出端并联，但无法直接输出逻辑高电平。要满足正常逻辑关系的话，必须在 OC 输出端与电源电压之间接一个电阻 R ，如图 1-12。 R 的最小阻值取决于器件低电平输出时的吸收电流以及负载个数。 R 最大值则由负载个数，输出并接 OC 门个数以及输出“1”时 OC 门的漏电流所决定。它可由下式计算：

$$R_{\max} = \frac{V_{CC} - V_{OH}}{n \cdot I_{OH} + N \cdot I_{IH}}$$

$$R_{\min} = \frac{V_{CC} - V_{OL}}{I_{OL} - N \cdot I_{IL}}$$

式中 V_{CC} ：电源电压

V_{OH} ：输出逻辑高电平(允许最小值)，对 TTL $V_{OH} = 2.4V$

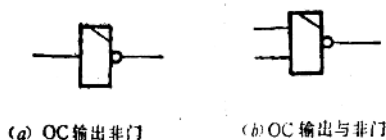


图 1-11 OC 输出符号

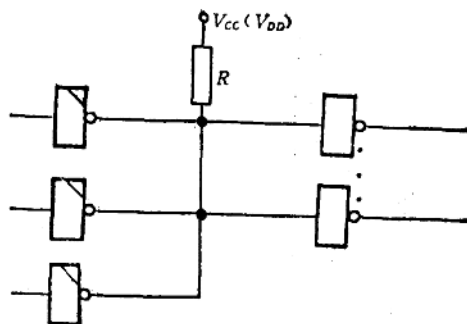


图 1-12 OC 输出器件的互连

V_{OL} : 输出逻辑低电平(允许最大值), 对 TTL, $V_{OL} = 0.4V$

n : 输出并接 OC 门个数

N : 负载门个数

I_{OH} : 高电平输出电流(对 OC 门是漏电流)

I_{OL} : 低电平输出电流

I_{IH} : 高电平输入电流

I_{IL} : 低电平输入电流

74LS 系列的器件有关参数如下: $I_{OH} = 100\mu A$, $I_{OL} = 8mA$, $I_{IR} = 20\mu A$, $I_{IL} = 0.4mA$ 。

假如输出 3 个 OC 门并联, 负载是 2 个门电路, 可求得:

$$R_{max} = \frac{5 - 2.4}{3 \times 0.1 + 2 \times 0.02} = \frac{2.6}{0.34} = 7.647 \text{ k}\Omega$$

$$R_{min} = \frac{5 - 0.4}{8 - 2 \times 0.4} = \frac{4.6}{7.2} = 639 \Omega$$

R 阻值可在以上范围内选择。

OC 器件由 R 来获得输出逻辑高电平, 而 R 最小值受器件最大低电平时输出电流的限制, 不可能取得太小。因此 OC 输出波形上升沿不如图腾柱输出, 容性负载时尤其如此。要使器件既能输出端并联使用, 又有较好的时间特性, 可使用三态输出器件。

三、三态输出方式

图 1-13 列出了三态输出器件的三种不同输出状态。与图腾柱输出方式相比, 多了一个三态控制输入端。该端电平将控制图腾柱输出的上下两管工作状态, 在图(a)、(b)中, 三态控制不起作用。与图腾柱输出一样, 两个管子处于相反工作状态。图(c)中三态控制信号起作用, 使两个管子均处于截止状态, 输出端呈现高阻抗。当多个三态器件输出端连接在一起时, 只要满足在任意时刻处于非高阻输出状态的器件不超过一个, 就不会发生逻辑混乱现象。

图 1-14 画出了两种典型三态缓冲门, (a)是控制端“1”时器件工作。即当控制端为“1”时, 输出状态等于输入状态。控制端为“0”时, 输出端处于高阻状态。(b)是控制端“0”时器件工作, 与(a)正好相反。从而可分别满足不同的控制电平要求。三态输出器件也是图腾柱输出结构, 故驱动能力也较大。因三态器件多了一个状态, 所以器件内部要相应增加一些控制电路, 外部则多一根三态控制线。

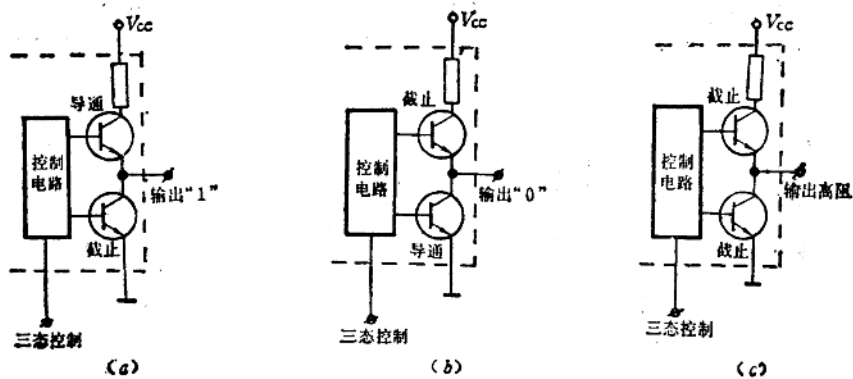


图 1-13 三态输出器件结构

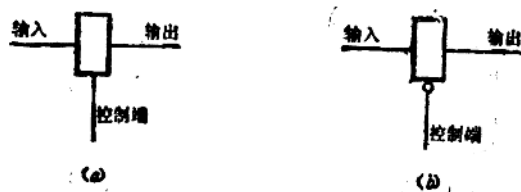


图 1-14 三态输出标志