

日立
HITACHI

日立
H8/3048系列
单片机应用技术

李 勋 卢景山 李新民等 编著

北京航空航天大学出版社



日立
H8/3048 系列
单片机应用技术

李 勋 卢景山 李新民等 编著

北京航空航天大学出版社

内 容 提 要

H8/3048 系列乃是当前 16 位单片微型计算机最优秀的机型之一,其突出特点在于高速、低耗、大容量。片内含 128 k 字节 ROM,或 OTPROM,或闪电存储器,以及 4 k 字节 RAM,此容量之大堪称同类机型之最。片内 DMAC 与高速输入/输出、串行口或 A/D 转换器的配合,可大大加速处理过程……。本书全面系统地剖析了这些部件的原理,并配有大量的例题。

本书文字流畅,条理清晰,可读性强,略有微机原理知识的广大科技人员阅读此书均无甚困难。

JS/SS/21

图书在版编目(CIP)数据

日立 H8/3048 系列单片机应用技术/李勋等编著. —北京
:北京航空航天大学出版社,1997.12

ISBN 7-81012-724-1

I. 日… II. 李… III. 单片微型计算机,日立 H8/3048 系
列-应用 IV. TP368.1

中国版本图书馆 CIP 数据核字(97)第 17244 号

日立 H8/3048 系列单片机应用技术

李 勋 卢景山 李新民等 编著

责任编辑 杨昌竹

责任校对 李宝田

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 62015720(发行部电话)

各地书店经售

北京市宏文印刷厂印刷

*

开本:787×1092 1/16 印张:20.5 字数:523 千字

1997 年 11 月第 1 版 1997 年 11 月第 1 次印刷 印数:4 000 册

ISBN 7-81012-724-1/TP·251

定价:29.50 元

前 言

日立公司所开发并生产的单片微型计算机,阵容强大,品种齐全,可满足各类系统设计的需要。

本书所介绍的 H8/3048 系列单片机,片内硬件资源非常丰富,且具有高速、低耗和大容量等突出特点。这是目前我国广大科技人员熟知的一些 16 位单片机无法与之匹敌的。例如,片内 A/D 转换、输入捕获或串行口接收的结果可直接由片内 DMA 控制器立即写到你所指定的存储单元去,这比用中断法处理要快捷得多。H8/3048 片内 ROM 和 RAM 分别高达 128 k 字节和 4 k 字节,对于一般应用场合来说,这足够了,因此无需外扩存储器,作真正单片机的可能性显然很大。更使用户方便的是,除 ZTAT™ 型的 H8/3048 即片内含 128 k 字节 OTPROM 型的产品外,尚有一种 F-ZTAT™ 型号的 H8/3048F 芯片, F 表示片内含 128 k 字节闪电存储器。大家知道,闪电存储器可在线擦除并重写。

我们编著此书的直接目的在于向我国广大科技人员介绍 H8/3048 这个优秀的微控制器系列,使他们在进行系统设计时多一种最佳选择的方案。但更深远的意义是,在了解、掌握、应用过此芯片后,读者将有基础、有兴趣去熟悉日立公司其他系列的高性能单片机。例如, H8/500 就是一个非常诱人的单片机系列,其中的 H8/570 为世界上第一个把硬件仿真器(智能子处理器 ISP) 结合到单片机中去的产品。其片内外设功能可通过软件建立起来,这样的芯片用在通讯、办公室自动化以及工业控制等方面都是非常得心应手的。

在本书的编写过程中,我们得到了日立亚洲(香港)有限公司及其北京事务所的鼎力相助,在此我们谨表深深的谢意。

本书共十六章,由李勋教授(第一、二、五、八、十一章)、卢景山老师(第四、六、七章)、李新民副教授(第九、十、十六章)、林广艳老师(第十二、十三、十四、十五章)和李克田老师(第三章)共同编写,最后由李勋教授统一修改定稿。

有关产品信息,请读者就近向日立亚洲(香港)有限公司北京、上海或广州事务所函询。

北京事务所地址:

100004,北京市朝阳区东三环北路5号,北京发展大厦1412室。

电话:65014352;传真:65014350。

上海事务所地址:

200040,上海市南京西路1376号,上海商城315室。

电话:62798351;传真:62798275。

广州事务所地址:

510098,广州市环市东路339号,广东国际大酒店1014—15室。

电话:83321591,传真:83311140。

编著者

1997.6 天津纺院

目 录

第一章 概 述	1	3.3.6 跳转指令	49
1.1 系列概况	1	3.3.7 系统控制指令	52
1.2 内部结构和引脚配置	4	3.3.8 数据块传送指令 EEPMOV	55
第二章 CPU	9	3.4 除法指令应用中的特殊问题	55
2.1 CPU 概要	9	3.4.1 带符号除法、0 除数及溢出	56
2.1.1 H8/300H 的特点	9	3.4.2 无符号除法、0 除数及溢出	58
2.1.2 与 H8/300 CPU 的不同点	9	第四章 运作方式和总线控制器	60
2.2 CPU 运作方式和地址空间	10	4.1 运作方式	60
2.3 寄存器配置	10	4.1.1 运作方式的选择	60
2.3.1 通用寄存器	10	4.1.2 方式和系统控制寄存器	60
2.3.2 控制寄存器	11	4.1.3 七种运作方式	61
2.3.3 CPU 寄存器的初值	12	4.2 总线控制器	66
2.4 数据格式	12	4.2.1 总线控制器的结构及特点	66
2.4.1 通用寄存器数据格式	12	4.2.2 总线控制器的运作	71
2.4.2 存储器数据格式	13	4.2.3 使用注意事项	82
2.5 处理状态	13	第五章 例外处理及中断控制器	85
2.5.1 程序执行状态和例外处理状态	13	5.1 例外处理	85
2.5.2 例外处理过程	14	5.1.1 概要	85
2.5.3 总线释放、复位和掉电状态	15	5.1.2 复位	85
2.6 基本操作的时序	16	5.1.3 中断	88
2.6.1 片内存储器访问时序	16	5.1.4 陷阱指令	88
2.6.2 片内支持模块访问时序	16	5.1.5 例外处理后的堆栈状况	88
2.6.3 对片外存储器空间的访问	17	5.2 中断控制器	88
第三章 指令系统	18	5.2.1 概要	88
3.1 指令代码格式	18	5.2.2 中断控制寄存器	89
3.2 寻址方式	18	5.2.3 中断源	91
3.2.1 寄存器直接寻址	19	5.2.4 中断响应过程	94
3.2.2 寄存器间接寻址	19	5.2.5 中断响应时序	96
3.2.3 带偏移量的寄存器间接寻址	19	5.2.6 中断响应时间	97
3.2.4 增减址型寄存器间接寻址	20	5.2.7 中断与关中断指令间的竞争	97
3.2.5 绝对地址寻址	20	5.2.8 某些禁止中断的指令	98
3.2.6 立即寻址	21	第六章 刷新控制器	99
3.2.7 程序计数器相对寻址	21	6.1 内部结构和特点	99
3.2.8 存储器间接寻址	21	6.2 控制寄存器	100
3.3 指令详解	22	6.2.1 刷新控制寄存器 RFSHCR	100
3.3.1 数据传送指令	22	6.2.2 刷新定时控制/状态寄存器 RTMCSR	101
3.3.2 算术运算指令	30	6.2.3 刷新定时计数器 RTCNT	102
3.3.3 逻辑运算指令	40	6.2.4 刷新时间常数寄存器 RTCOR	102
3.3.4 移位操作指令	43	6.3 刷新控制器的运作	103
3.3.5 位处理指令	45		

6.3.1 刷新控制器的三项功能	103	7.6.7 存储地址和 I/O 地址寄存器	143
6.3.2 DRAM 刷新控制	103	7.6.8 传送夭折时的总线周期	143
6.3.3 伪静态 RAM 刷新控制	111	第八章 输入/输出端口	144
6.3.4 间隔定时	113	8.1 端口 1	144
6.4 中断源	115	8.1.1 端口功能	144
6.5 使用注意事项	115	8.1.2 内部结构及运作原理	145
第七章 DMA 控制器	117	8.2 端口 2	146
7.1 DMAC 概要	117	8.2.1 端口功能	146
7.1.1 DMAC 的特点	117	8.2.2 内部结构及运作原理	148
7.1.2 内部结构	117	8.3 端口 3	149
7.1.3 功能概要	118	8.3.1 端口功能	149
7.2 短地址方式下的寄存器	119	8.3.2 内部结构及运作原理	150
7.2.1 存储地址寄存器 MAR	119	8.4 端口 4	151
7.2.2 I/O 地址寄存器 IOAR	120	8.4.1 端口功能	151
7.2.3 执行传送计数寄存器 ETCR	120	8.4.2 内部结构及运作原理	153
7.2.4 数据传送控制寄存器 DTCR	121	8.5 端口 5	154
7.3 全地址方式下的寄存器	122	8.5.1 端口功能	154
7.3.1 存储地址寄存器 MAR	122	8.5.2 内部结构及运作原理	156
7.3.2 I/O 地址寄存器 IOAR	122	8.6 端口 6	157
7.3.3 执行传送计数寄存器 ETCR	122	8.6.1 端口功能	157
7.3.4 数据传送控制寄存器 DTCR	123	8.6.2 内部结构及运作原理	158
7.4 DMAC 的运作	125	8.7 端口 7	161
7.4.1 运作方式概要	125	8.7.1 端口功能	161
7.4.2 I/O 方式	126	8.7.2 内部结构及运作原理	161
7.4.3 空闲方式	127	8.8 端口 8	162
7.4.4 重复方式	128	8.8.1 端口功能	162
7.4.5 正常方式	129	8.8.2 内部结构及运作原理	164
7.4.6 块传送方式	131	8.9 端口 9	166
7.4.7 DMAC 的启动	134	8.9.1 端口功能	166
7.4.8 DMAC 总线周期	135	8.9.2 内部结构及运作原理	168
7.4.9 多通道运作	137	8.10 端口 A	171
7.4.10 外部总线请求、刷新控制器和 DMAC	138	8.10.1 端口功能	171
7.4.11 NMI 中断和 DMAC	138	8.10.2 内部结构及运作原理	172
7.4.12 DMA 传送的夭折	139	8.11 端口 B	177
7.4.13 全地址方式的退出	140	8.11.1 端口功能	177
7.4.14 复位状态、待机方式和休眠方式下的 DMAC 状态	140	8.11.2 内部结构及运作原理	178
7.5 DMA 中断	140	第九章 16 位集成定时单元	182
7.6 使用注意事项	141	9.1 结构与特点	182
7.6.1 关于字数据传送	141	9.1.1 内部结构	182
7.6.2 DMAC 自身存取	141	9.1.2 ITU 的特点	183
7.6.3 对存储地址寄存器的长字存取	141	9.1.3 输入/输出引脚	185
7.6.4 关于全地址方式的设定	141	9.1.4 寄存器配置	186
7.6.5 关于内部中断对 DMAC 的启动	141	9.2 寄存器功能	188
7.6.6 NMI 中断和块传送方式	142	9.2.1 定时器启动寄存器 TSTR	188
		9.2.2 定时器同步寄存器 TSNC	188
		9.2.3 定时器方式寄存器 TMDR	188

9.2.4 定时器功能控制寄存器 TFCR	190	10.1.1 内部结构	230
9.2.5 定时器输出主许寄存器 TOER	191	10.1.2 特点	230
9.2.6 定时器输出控制寄存器 TOCR	192	10.1.3 TPC 引脚和寄存器配置	231
9.2.7 定时计数器 TCNT	192	10.2 寄存器功能	231
9.2.8 通用寄存器 GRA 和 GRB	193	10.2.1 端口 A 数据方向寄存器 PADDDR	231
9.2.9 缓冲寄存器 BRA 和 BRB	193	10.2.2 端口 A 数据寄存器 PADR	232
9.2.10 定时器控制寄存器 TCR	194	10.2.3 端口 B 数据方向寄存器 PBDDR	232
9.2.11 定时器 I/O 控制寄存器 TIOR	195	10.2.4 端口 B 数据寄存器 PBDR	232
9.2.12 定时器状态寄存器 TSR	196	10.2.5 后续数据寄存器 NDRA	232
9.2.13 定时器中断允许寄存器 TIER	196	10.2.6 后续数据寄存器 NDRB	233
9.3 与 CPU 接口	197	10.2.7 后续数据允许寄存器 NDERA	234
9.3.1 16 位存取寄存器	197	10.2.8 后续数据允许寄存器 NDERB	234
9.3.2 8 位存取寄存器	198	10.2.9 TPC 输出控制寄存器 TPCR	235
9.4 ITU 的运作	199	10.2.10 TPC 输出方式寄存器 TPMR	235
9.4.1 运作方式概要	199	10.3 TPC 的运作	236
9.4.2 基本功能	200	10.3.1 概要	236
9.4.3 同步方式	204	10.3.2 输出时序	236
9.4.4 PWM 方式	206	10.3.3 正常 TPC 输出	236
9.4.5 复位同步 PWM 方式	207	10.3.4 不重叠 TPC 输出	238
9.4.6 互补 PWM 方式	210	10.3.5 TPC 输出的 ITU 输入捕获触发	239
9.4.7 计相方式	214	10.4 TPC 使用注意事项	240
9.4.8 缓冲功能	216	10.4.1 TPC 输出引脚的运作	240
9.4.9 ITU 输出时序	219	10.4.2 关于不重叠输出的几点说明	240
9.5 ITU 中断	221	第十一章 监视定时器	242
9.5.1 状态标志的置位	221	11.1 结构和特点	242
9.5.2 状态标志的清 0	222	11.1.1 内部结构	242
9.5.3 ITU 中断源和 DMA 控制器的启动	222	11.1.2 特点	242
9.6 ITU 使用注意事项	223	11.1.3 引脚和寄存器配置	243
9.6.1 TCNT 写入与清 0 间的竞争	223	11.2 寄存器功能	243
9.6.2 TCNT 字写入与递增间的竞争	223	11.2.1 定时计数器 TCNT	243
9.6.3 TCNT 字节写入与递增间的竞争	224	11.2.2 定时控制/状态寄存器 TCSR	243
9.6.4 通用寄存器写与比较相等间的竞争	224	11.2.3 复位控制/状态寄存器 RSTCSR	244
9.6.5 TCNT 写与上溢或下溢间的竞争	225	11.2.4 关于寄存器存取的几点说明	244
9.6.6 通用寄存器读与输入捕捉间的竞争	225	11.3 WDT 的运作	245
9.6.7 计数器被输入捕获清 0 与计数器递增间的竞争	227	11.3.1 监视定时器的运作	245
9.6.8 通用寄存器写与输入捕捉间的竞争	227	11.3.2 间隔定时器的运作	246
9.6.9 缓冲寄存器写与输入捕捉间的竞争	228	11.3.3 溢出标志 OVF 置位时序	246
9.6.10 几点注释	228	11.3.4 监视定时器复位位 WRST 置位时序	246
第十章 可编程定时式样控制器	230	11.4 中断	247
10.1 结构和特点	230	11.5 使用注意事项	247
		第十二章 串行通讯接口	249
		12.1 结构与特点	249
		12.1.1 内部结构	249
		12.1.2 SCI 的运作特点	250

12.1.3 SCI 的 I/O 引脚	250	14.2 A/D 寄存器功能	292
12.1.4 SCI 寄存器配置	250	14.2.1 A/D 数据寄存器 A 至 D	292
12.2 SCI 寄存器功能	251	14.2.2 A/D 控制/状态寄存器 ADCSR	292
12.2.1 接收移位寄存器 RSR	251	14.2.3 A/D 控制寄存器 ADCR	293
12.2.2 接收数据寄存器 RDR	251	14.3 A/D 转换器与 CPU 接口	293
12.2.3 发送移位寄存器 TSR	251	14.4 A/D 转换器的运作	294
12.2.4 发送数据寄存器 TDR	251	14.4.1 单一方式	294
12.2.5 串行方式寄存器 SMR	251	14.4.2 扫描方式	295
12.2.6 串行控制寄存器 SCR	252	14.4.3 输入采样和 A/D 转换时间	296
12.2.7 串行状态寄存器 SSR	254	14.4.4 外部触发输入时序	297
12.2.8 位率寄存器 BRR	257	14.5 ADI 中断	298
12.3 SCI 的运作	260	14.6 A/D 转换器使用注意事项	298
12.3.1 概要	260	14.7 D/A 转换器的结构与特点	300
12.3.2 异步方式下的运作	262	14.7.1 D/A 转换器的内部结构	300
12.3.3 多机通讯	266	14.7.2 D/A 转换器的特点	301
12.3.4 同步运作	271	14.8 D/A 寄存器功能	301
12.4 SCI 中断	275	14.8.1 D/A 数据寄存器 DADR0 和 DADR1	301
12.5 SCI 使用注意事项	276	14.8.2 D/A 控制寄存器 DACR	301
12.5.1 TDR 写入和 TDRE 标志	276	14.8.3 D/A 待机控制寄存器 DASTCR	302
12.5.2 同时多项接收错误	276	14.9 D/A 转换器的运作	302
12.5.3 中止信号的发送、检测及处理	276	14.10 D/A 输出控制	303
12.5.4 接收出错标志及发送器的运作	277	第十五章 片内 RAM 和 ROM	304
12.5.5 异步方式数据接收时序及接收裕度	277	15.1 片内 RAM	304
12.5.6 DMAC 的用法限制	277	15.1.1 片内 RAM 结构	304
第十三章 灵巧卡接口	279	15.1.2 片内 RAM 的运作	304
13.1 内部结构和特点	279	15.2 片内 ROM	305
13.1.1 内部结构	279	15.2.1 片内 ROM 结构	305
13.1.2 灵巧卡接口的特点	280	15.2.2 PROM 方式	305
13.2 寄存器功能	280	15.2.3 PROM 编程	307
13.2.1 灵巧卡方式寄存器 SCMR	280	15.2.4 编程数据的可靠性	309
13.2.2 串行状态寄存器 SSR	281	第十六章 时钟脉冲发生器和掉电状态	310
13.3 灵巧卡接口的运作	281	16.1 时钟脉冲发生器	310
13.3.1 运作概要	281	16.1.1 概要	310
13.3.2 引脚的连接	282	16.1.2 振荡器电路	310
13.3.3 数据格式	282	16.1.3 占空比调整电路和定标器	312
13.3.4 寄存器的设定值	282	16.1.4 分频器	313
13.3.5 时钟	284	16.2 掉电状态	313
13.3.6 数据的发送和接收	284	16.2.1 概要	313
13.4 灵巧卡接口使用注意事项	287	16.2.2 有关寄存器功能	313
第十四章 A/D、D/A 转换器	290	16.2.3 休眠方式	315
14.1 A/D 转换器的结构及特点	290	16.2.4 软件待机方式	316
14.1.1 A/D 转换器的内部结构	290	16.2.5 硬件待机方式	317
14.1.2 A/D 转换器的输入引脚	291	16.2.6 模块待机功能	318
14.1.3 A/D 转换器的寄存器配置	291	16.2.7 系统时钟输出禁止功能	319
14.1.4 A/D 转换器的特点	291	附录	320

第一章 概 述

1.1 系列概况

H8/3048 系列乃是一个以日立公司的 H8/300H CPU 为核心,且又集成了若干重要的系统支持功能部件的高档微控制器系列。

H8/300H CPU 内部体系结构为 32 位,它有十六个 16 位通用寄存器,以及一个简明、优化的指令系统。该 CPU 可寻址 16 M 字节线性地址空间。其指令系统与 H8/300 CPU 在目的码一级上向上兼容,因而可使 H8/300 系列的软件很容易就移植过来。

片内系统支持功能部件有:ROM、RAM、16 位集成定时单元(ITU)、可编程定时式样控制器(TPC)、监视定时器(WDT)、串行通讯接口(SCI)、A/D 转换器、I/O 口、存储器直接访问控制器(DMAC)、刷新控制器以及其他等等。

H8/3048 系列有三个成员:

- H8/3048,内含 128 k 字节 ROM,4 k 字节 RAM;
- H8/3047,内有 96 k 字节 ROM,4 k 字节 RAM;
- H8/3044,内有 32 k 字节 ROM 和 2 k 字节 RAM。

该系列微控制器的七种运作方式中,一种是单片方式,其余六种均为扩展方式。这些运作方式可使用户对数据总线宽度及地址空间规模进行选择。

H8/3048 系列除有掩膜 ROM 型产品外,尚有商标为 ZTAT 的用户可编程的 PROM 型产品。最近又公布了商标为 F-ZTAT 的闪电存储器型芯片 H8/3048F。

下面我们将简要地介绍一下 H8/3048 系列各功能部件的特点。

1. CPU

其指令系统与 H8/300 CPU 目的码兼容。

通用寄存器多:

- 十六个 16 位通用寄存器;
- 亦可作十六个 8 位寄存器或八个 32 位寄存器用。

高速运作:

- 最高时钟速率 18 MHz;
- 加减运算 111 ns;
- 乘除运算 778 ns。

16 M 字节地址空间。

指令特点:

- 8/16/32 位数据传送、算术和逻辑运算指令;
- 带符号和无符号乘法运算指令(8 位 $\times$ 8 位,16 位 $\times$ 16 位);
- 带符号和无符号除法运算指令(16 位 $\div$ 8 位,32 位 $\div$ 16 位);
- 位累加器功能;

- 寄存器间接寻址位处理指令。

2. 存储器

H8/3048:

- ROM——128 k 字节;
- RAM——4 k 字节。

H8/3047:

- ROM——96 k 字节;
- RAM——4 k 字节。

H8/3044:

- ROM——32 k 字节;
- RAM——2 k 字节。

3. 中断控制器

- 七个外部中断引脚—— $\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}_0$ 至 $\overline{\text{IRQ}}_6$;
- 30 个内部中断;
- 三个可选择的中断优先级。

4. 总线控制器

- 地址空间可被分成八个区域,每区的总线规格都是独立的;
- 对 0~7 区均有芯片选择信号输出;
- 每区均可选 8 位或 16 位存取方式;
- 每区均可选两个状态或三个状态的存取方式;
- 可有四种等待方式;
- 总线仲裁功能。

5. 刷新控制器

动态 RAM 刷新:

- 可直接与 16 位宽动态 RAM 相连;
- CAS 先于 RAS 刷新;
- 可选择自刷新方式。

伪静态 RAM 刷新:

- 可选自刷新方式。

可作定时器用。

6. DMA 控制器(DMAC)

短地址方式:

- 最多可用四个通道;
- 可选 I/O 方式、空闲方式或重复方式;
- 可用 ITU 通道 0~3 的比较相等/输入捕获 A 中断、SCI 发送数据空、接收数据满中断或外部请求来激发 DMAC。

全地址方式:

- 最多可用两个通道;
- 可选正常方式或块传送方式;

- 可用 ITU 通道 0~3 比较相等/输入捕获 A 中断、外部请求或自请求激发 DMAC。

7. 16 位集成定时单元(ITU)

- 五个 16 位定时通道,能处理 12 个脉冲输出或 10 个脉冲输入;
- 16 位定时计数器(通道 0~4);
- 两个多路切换的输出比较/输入捕捉引脚(通道 0~4);
- 可同步运作(通道 0~4);
- 可用 PWM 方式(通道 0~4);
- 可用相位计数方式(通道 2);
- 可用缓冲方式(通道 3 和 4);
- 可用复位同步 PWM 方式(通道 3 和 4);
- 可用互补 PWM 方式(通道 3 和 4);
- DMAC 可被比较相等/输入捕获 A 中断激发(通道 0~3)。

8. 可编程定时式样控制器(TPC)

- 最多 16 位脉冲输出,以 ITU 为时基;
- 四组 4 位脉冲输出(或一组 16 位,或两组 8 位输出);
- 可用不重叠方式;
- 输出数据可通过 DMAC 传送。

9. 监视定时器(WDT),一个通道

- 复位信号可由溢出产生;
- 复位信号可对外输出;
- 可用作时限定时器。

10. 串行通讯接口,两个通道(SCI0 和 SCI1)

- 异步或同步方式;
- 全双工;可同时发送和接收;
- 片内波特率发生器;
- SCI0 有灵巧卡接口功能。

11. A/D 转换器

- 分辨率 10 位;
- 八个通道,可选单一方式或扫描方式;
- 模拟转换电压范围可变;
- 采样和保持功能;
- 可由外部触发。

12. D/A 转换器

- 分辨率 8 位;
- 两个通道;
- D/A 输出在软件待机方式下仍可维持。

13. I/O 口

- 70 个输入/输出引脚;
- 八个只作输入的引脚。

14. 单片机的运作方式

H8/3048 系列单片机的七种运作方式如表 1-1 所列。

表 1-1 H8/3048 系列单片机运作方式

方式	地址空间	地址引脚	初始总线宽度	最大总线宽度
1	1 M 字节	A ₁₉ ~A ₀	8 位	16 位
2	1 M 字节	A ₁₉ ~A ₀	16 位	16 位
3	16 M 字节	A ₂₃ ~A ₀	8 位	16 位
4	16 M 字节	A ₂₃ ~A ₀	16 位	16 位
5	1 M 字节	A ₁₉ ~A ₀	8 位	16 位
6	16 M 字节	A ₂₃ ~A ₀	8 位	16 位
7	1 M 字节	—	—	—

- 在方式 1 至 4 下,片内 ROM 关闭。

15. 掉电状态

- 休眠方式;
- 软件待机方式;
- 硬件待机方式;
- 模块待机功能;
- 可编程系统时钟分频功能。

16. 其他特点

- 片内时钟振荡器。

17. 产品型号

H8/3048 的三个子系列包括表 1-2 所列 16 个型号的产品。

表 1-2 H8/3048 系列产品型号

型号(5V)	型号(3V)	封 装	ROM
HD6473043TF	HD6473048VTF	100 脚 QFP(TFP-100B)	PROM
HD6473043F	HD6473048VF	100 脚 FP(FP-100B)	
HD6433043TF	HD6433048VTF	100 脚 QFP(TFP-100B)	掩膜 ROM
HD6433043F	HD6433048VF	100 脚 FP(FP-100B)	
HD6433047TF	HD6433047VTF	100 脚 QFP(TFP-100B)	掩膜 ROM
HD6433047F	HD6433047VF	100 脚 FP(FP-100B)	
HD6433044TF	HD6433044VTF	100 脚 QFP(TFP-100B)	掩膜 ROM
HD6433044F	HD6433044VF	100 脚 FP(FP-100B)	

1.2 内部结构和引脚配置

图 1-1 中,我们以方框图的形式给出了 H8/3048 系列单片机的内部结构,它包括了上节所介绍的各功能部件,及这些部件间的连接。

图 1-2 所示为 H8/3048 系列单片机的引脚排列情况。下面我们将以表格形式分门别类地简述这些引脚的功能。

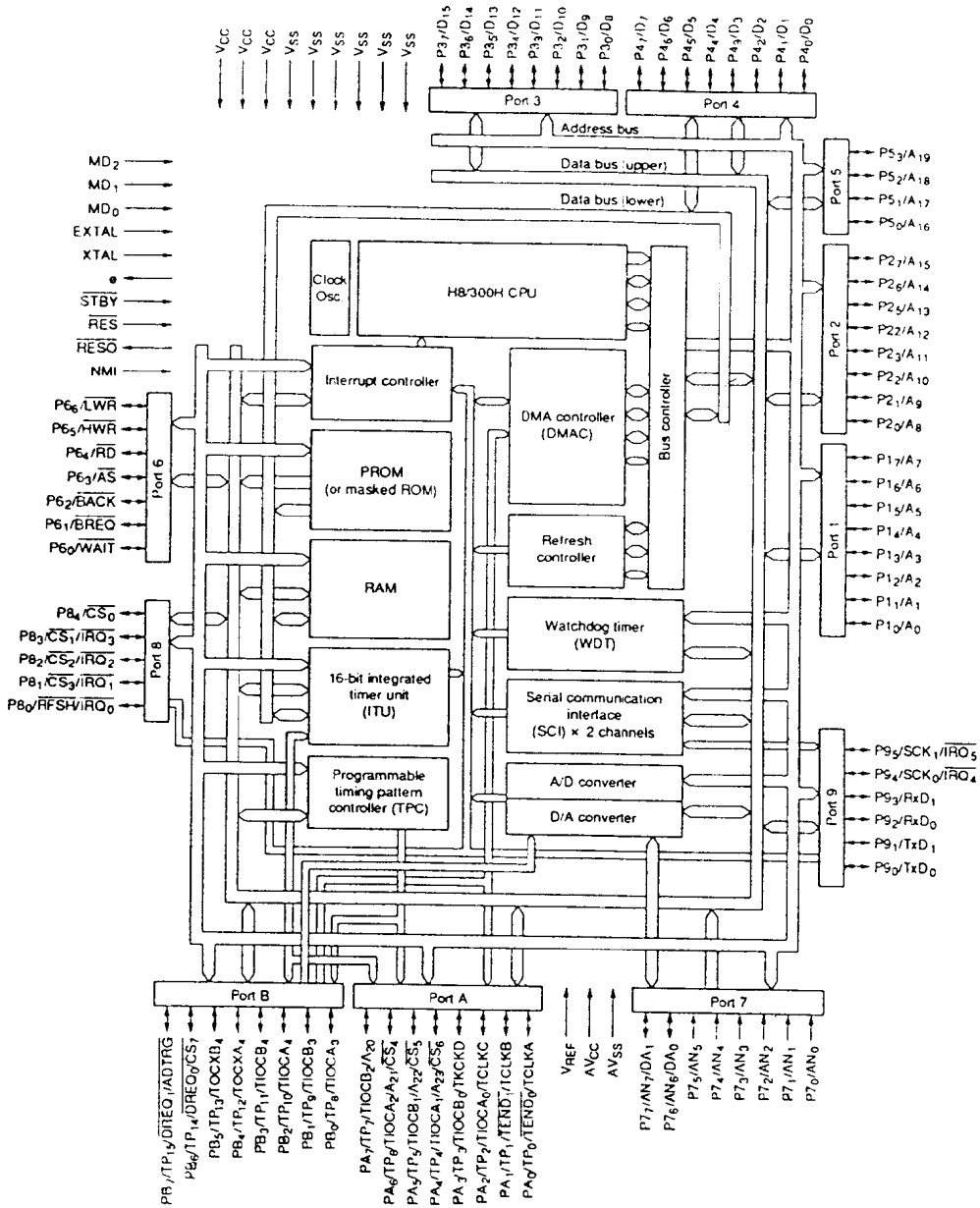


图 1-1 H8/3048 内部结构

表 1-3 引脚功能

类别	符号	引脚号	方向	名称及功能
电源	Vcc	1, 35, 68	输入	电源, 接 +5 V 电源。所有 Vcc 引脚均应接到 +5 V 系统供电电源上。
	Vss	11, 22, 44, 57, 65, 92	输入	地: 接地 (0 V)。所有 Vss 均应接到系统电源的 0 V 线上。
时钟	XTAL	67	输入	接晶体谐振器。有关晶体谐振器和外部时钟输入, 请参阅第十六章。
	EXTAL	66	输入	接晶体谐振器或外部时钟输入, 请参阅第十六章。
	φ	61	输出	系统时钟: 向外部器件提供系统时钟。

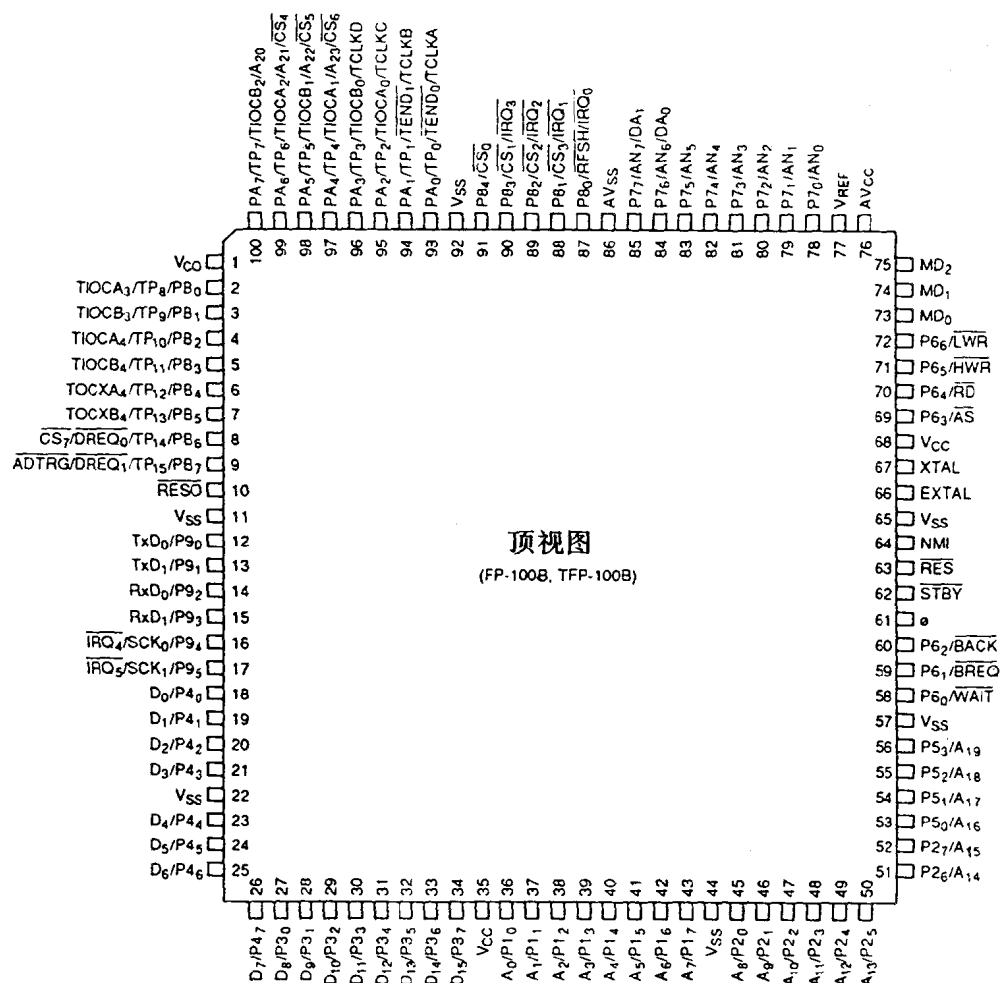


图 1-2 FP-100B 或 TFP-100B 引脚排列

续 表

类别	符号	引脚号	方向	名 称 及 功 能
运作 方式 控制	MD ₂ ~ MD ₀	75~73	输入	方式引脚 2~0: 用来设定单片机的运作方式。这些引脚上的输入电平在运作期间不允许改变
				MD ₂ MD ₁ MD ₀ 运作方式
				0 0 0 —
				0 0 1 方式 1
				0 1 0 方式 2
				0 1 1 方式 3
				1 0 0 方式 4
				1 0 1 方式 5
				1 1 0 方式 6
				1 1 1 方式 7
数据 总线	D ₁₅ ~D ₀	34~23, 21~18	输入/ 输出	数据总线; 双向数据总线
地址 总线	A ₂₃ ~A ₀	97~100, 56~45, 43~36	输出	地址总线; 输出地址信号

续 表

类别	符号	引脚号	方向	名称及功能
中断	NMI	64	输入	非屏蔽中断;请求不可屏蔽中断
	IRQ ₅ ~ IRQ ₀	17,16, 90~87	输入	中断请求 5~0;可屏蔽中断请求引脚
系统 控制	RES	63	输入	复位输入;该引脚被拉成低电平时,它便使单片机复位
	RESO	10	输出	复位输出;向外部器件输出复位信号
	STBY	62	输入	待机引脚;该引脚被拉成低电平时,它将迫使单片机转入硬件待机方式
	BREQ	59	输入	总线请求;片外总线主控设备用它来请求总线使用权
	BACK	60	输出	总线请求响应;表示总线已经出借给了某片外总线主控设备
总线 控制	CS ₇ ~CS ₀	8,97~99 88~91	输出	芯片选择;存储区 7~0 的选择信号
	AS	69	输出	地址选通;降为低电平就表示地址总线上的地址输出有效
	RD	70	输出	读;低电平表示自外部地址空间进行读操作
	HWR	71	输出	高字节写;输出低电平就意味着对外部地址空间进行写操作,表明数据总线上高 8 位(D ₁₅ ~D ₈)数据有效
	LWR	72	输出	低字节写;同上,表明数据总线上低 8 位(D ₇ ~D ₀)数据有效
	WAIT	58	输入	等待;访问片外地址空间时,被访问对象用低电平信号请求在总线周期中插入等待状态
	REFSH	87	输出	刷新;低电平指明是刷新周期
刷新 控制	CS ₃	88	输出	行地址选通RAS;对存储 3 区 DRAM 的行地址选通信号
	RD	70	输出	列地址选通CAS;对存储 3 区所接 DRAM 的列地址选通信号;用于 2 WE DRAM
				写允许;作为 3 区 DRAM 的写允许信号;用于 2 CAS DRAM
	HWR	71	输出	高字节写;对存储 3 区 DRAM 的写允许信号;用于 2 WE DRAM
				高字节列地址选通;对存储 3 区 DRAM 的列地址选通信号;用于 2 CASDRAM
16 位 集成 定时 单元 ITU	LWR	72	输出	低字节写;对存储 3 区 DRAM 的写允许信号;用于 2 WE DRAM
				低字节列地址选通;对存储 3 区 DRAM 的列地址选通信号;用于 2 CAS DRAM
	TCLKD ~TCLKA	96~93	输入	时钟输入 D~A;外部时钟输入
	TIOCA ₄ ~TIOCA ₀	4,2,99 97,95	输入/ 输出	输入捕捉/输出比较 A4~A0;传送 GRA4 至 GRA0 输出比较或输入捕捉信号,或 PWM 输出
	TIOCB ₄ ~TIOCB ₀	5,3,100 98,96	输入/ 输出	输入捕捉/输出比较 B4~B0;传送 GRB4 至 GRB0 输出比较或输入捕捉信号,或 PWM 输出
DMA 控 制器	TOCXA ₄	6	输出	输出比较 XA4;PWM 输出
	TOCXB ₄	7	输出	输出比较 XB4;PWM 输出
	DREQ ₁ , DREQ ₀	9,8	输入	DMA 请求 1 和 0;DMAC 启动请求
	TEND ₁ , TEND ₀	94,93	输出	传送结束 1 和 0;这些信号表明 DMAC 已经完成了一次数据传送
	TP ₁₅ ~TP ₀	9~2, 100~93	输出	TPC 输出 15~0;脉冲输出
可编程定 时式样控 制器 TPC	TxD ₁ ,TxD ₀	13,12	输出	数据发送(通道 1 和 0);SCI 数据输出
	RxD ₁ ,RxD ₀	15,14	输入	数据接收(通道 1 和 0);SCI 数据输入
	SCK ₁ ,SCK ₀	17,16	输入/ 输出	串行时钟(通道 1 和 0);SCI 串行时钟输入/输出

续 表

类别	符号	引脚号	方向	名 称 及 功 能
A/D 转换器	$AN_7 \sim AN_0$	85~78	输入	模拟输入 7~0; 模拟输入引脚
	$\overline{ADTRG}$	9	输入	A/D 触发; 启动 A/D 转换的外部触发信号
D/A 转换器	DA_1 , DA_0	85, 84	输出	模拟输出; D/A 转换器的模拟输出
A/D 和 D/A 转换器	AV_{CC}	76	输入	A/D 和 D/A 转换器的电源引脚。不用 A/D 和 D/A 转换器时应接至系统 +5 V 电源上
	AV_{SS}	86	输入	A/D 和 D/A 转换器的地引脚。不用 A/D 和 D/A 转换器时应接至系统 0 V 地上
	V_{REF}	77	输入	A/D 和 D/A 转换器的参考电压输入引脚。不用 A/D 和 D/A 转换器时应接至系统 +5 V 电源上
I/O 端口	$P1_7 \sim P1_0$	43~36	输入/ 输出	端口 1: 8 个 I/O 引脚。每脚的方向均可用端口 1 数据方向寄存器 P1DDR 来选择
	$P2_7 \sim P2_0$	52~45	输入/ 输出	端口 2: 8 个 I/O 引脚。它们的方向可通过 P2DDR 寄存器单独选择
	$P3_7 \sim P3_0$	34~27	输入/ 输出	端口 3: 8 个 I/O 引脚。每脚的方向均可通过 P3DDR 寄存器选择
	$P4_7 \sim P4_0$	26~23, 21~18	输入/ 输出	端口 4: 8 个 I/O 引脚。每脚的方向均可通过 P4DDR 寄存器选择
	$P5_3 \sim P5_0$	56~53	输入/ 输出	端口 5: 4 个 I/O 引脚。每脚的方向均可由 P5DDR 寄存器选择
	$P6_6 \sim P6_0$	72~69, 60~58	输入/ 输出	端口 6: 7 个 I/O 引脚。每脚的方向均可由 P6DDR 寄存器选择
	$P7_7 \sim P7_0$	85~78	输入	端口 7: 8 个输入引脚
	$P8_4 \sim P8_0$	91~87	输入/ 输出	端口 8: 5 个 I/O 引脚。每脚的方向均可由 P8DDR 寄存器选择
	$P9_5 \sim P9_0$	17~12	输入/ 输出	端口 9: 6 个 I/O 引脚。每脚的方向均可由 P9DDR 寄存器选择
	$PA_7 \sim PA_0$	100~93	输入/ 输出	端口 A: 8 个 I/O 引脚。每脚的方向均可由 PADDDR 寄存器选择
	$PB_7 \sim PB_0$	9~2	输入/ 输出	端口 B: 8 个 I/O 引脚。每脚的方向均可由 PBDDR 寄存器选择