



高等学校规划教材
电子信息类



清华大学电子与信息技术系列教材

超大规模集成电路 设计方法学导论

第二版

杨之廉 申明 编著



清华大学出版社

<http://www.tup.tsinghua.edu.cn>

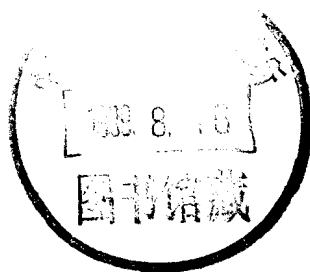
73.7521
661

清华大学电子与信息技术系列教材

超大规模集成电路 设计方法学导论

(第二版)

杨之廉 申 明 编著



清华大学出版社

9910074

(京)新登字 158 号

内 容 简 介

本书在概述集成电路设计过程和步骤的基础上,系统地论述了各种设计集成电路的方法,讨论了全定制法、定制法、半定制法以及可编程逻辑器件和逻辑单元阵列设计方法的特点和适用范围。还讨论了高层次设计中的 VHDL 硬件描述语言和逻辑综合。对各种计算机模拟工具及其算法做了细致分析,其中包括逻辑模拟、电路模拟、器件模拟和工艺模拟。此外,对 SPICE 电路模拟程序中的半导体器件模型做了详细介绍。最后讨论了集成电路的版图编辑与版图验证。

本书可作为大专院校微电子学和半导体专业、电子类专业本科生和研究生的教材,也可作为集成电路芯片设计人员、微电子工程技术人员的参考书。

0013/15

图书在版编目(CIP)数据

超大规模集成电路设计方法学导论/杨之廉,申明编著. 北京:清华大学出版社, 1999.3

ISBN 7-302-03275-0

I. 超… II. ①杨… ②申… III. 超大规模集成电路-设计 IV. TN402

中国版本图书馆 CIP 数据核字 (1999) 第 00091 号

出版者: 清华大学出版社(北京清华大学校内,邮编 100084)

<http://www.tup.tsinghua.edu.cn>

印刷者: 北京丰华印刷厂

发行者: 新华书店总店北京发行所

开 本: 787×1092 1/16 印张: 20.5 字数: 482 千字

版 次: 1999 年 3 月第 1 版 1999 年 3 月第 1 次印刷

书 号: ISBN 7-302-03275-0/TN·96

印 数: 0001~3000

定 价: 25.00 元

再版前言

本书 1990 年 12 月第一次出版后,受到了同行专家的好评,并被多所高等学校所采用。1996 年本书获第三届全国工科电子类专业优秀教材一等奖,这是对作者所作尝试的鼓励和鞭策。

近几年来集成电路技术继续保持高速发展,最突出的表现有三点:一是硅生产工艺已从微米、亚微米进入到深亚微米水平,这就要求建立精确的深亚微米器件模型、互连模型和时序模型;二是电路的设计规模已从数万门上升到数十万门乃至上百万门,这就要求设计工作从较高的抽象层次出发并按层次式方法进行管理;三是适应这些要求而出现的第三代集成电路设计自动化(EDA)系统,在系统中引入了硬件描述语言(VHDL)和逻辑综合(logic synthesis)等工具。

为了充分反映近年来在集成电路设计方法学和设计工具方面的变革,我们在保持原书结构(即分为设计方法和设计工具两大部分)的基础上,对书中内容做了较大的增补和修改:

- (1) 对第三代 EDA 系统及其结构框架做了介绍,并概述了深亚微米电路设计对设计流程的影响;
- (2) 新增硬件描述语言 VHDL 一章;
- (3) 新增逻辑综合一章;
- (4) 将器件模型部分单独成章,并新增深亚微米 MOS 器件模型;
- (5) 新增门海设计方法的讨论;
- (6) 加重了可编程逻辑器件和逻辑单元阵列设计方法的论述;
- (7) 新增二维器件模拟的讨论;
- (8) 对计算机辅助版图设计一章做了较大修订以反映版图设计系统的最新变化。

我们希望此书再版后对推动我国集成电路设计水平的提高有所促进,对高等学校的教学改革、课程改革有所帮助。但由于集成电路设计方法与工具涉及的领域很广,加之作者的水平和能力有限,我们未能对有些问题如行为级综合、时序分析等作系统论述。此外,书中难免存在错误和不足,敬请广大读者予以批评指正。

本书第 1,2 章和第 6,7,8,9 章由杨之廉编写,第 3,4,5 章和第 10 章由申明编写。本书再版过程中,得到了李志坚院士及清华大学微电子学研究所各位领导的支持,得到了校

外各位专家的关心和鼓励,中国科学院微电子中心夏武颖研究员审阅了全文,并提出了宝贵意见;出版过程中又得到清华大学出版社和微电子学教研组有关同志的帮助,在此一并表示衷心的感谢。

作 者

1998年8月于清华大学

• II •

前 言

集成电路技术正以惊人的速度向前发展。目前在一个芯片上已能集成 1 000 万个元件,人们预料到本世纪末,在一个芯片上有可能集成 10 亿个元件。

要在一个芯片上集成如此多的元件,对设计工作来讲无疑是非常复杂和相当困难的。过去采用的传统设计方法已无法适应,急需有一个大的变革。近几年来人们不断地在探索新的设计方法和开发新的设计工具,并取得了相当的成功。

我国的集成电路技术已进入超大规模集成电路(VLSI)阶段,并已从单纯的仿制走向了自行设计,设计队伍正在不断壮大,系统设计人员和芯片设计人员迫切需要了解和掌握新的设计方法与新的设计工具。近几年来,国内杂志上已有一些文章对各种新的设计方法进行了介绍。但至今还缺少一本从设计方法学的角度出发对各种设计方法和设计工具进行系统和综合分析的书籍。作者正是为了弥补这一空缺而作一尝试,在近几年教学实践的基础上编写了本书。希望它能有助于推动我国集成电路设计技术的发展。

本书共分两部分。第一部分(第 1 章~第 3 章)在讨论超大规模集成电路的设计要求和设计步骤的基础上,详细论述全定制法、定制法、半定制法、可编程逻辑器件法、混合模式法和硅编译器法等各种设计方法的特点及适用范围,其中还介绍了层次式的设计概念。第二部分(第 4 章~第 10 章)中的前 6 章是从设计全过程出发,分别讨论逻辑模拟、时序模拟、电路模拟、器件模拟和工艺模拟的作用和各种模拟所用的算法。在第 6 章中除介绍器件模型参数的意义外,还讨论了它们的提取方法。在这些章节中还介绍了几种常用模拟程序(SPLICE、MOTIS-C、SPICE、SEDAN II、SUPREM II)的具体应用。第 10 章重点讨论了版图设计系统的构成、版图的生成和验证,以及数据格式的交换。书中还有两节附录,介绍基本算法和 CIF 格式。

在本书的编写过程中,作者与申明副教授进行了多次讨论。余志平博士和东南大学魏同生教授审阅了全书,并提出了不少宝贵的意见。本书的出版还得到了清华大学微电子学研究所 CAD 研究室全体成员的支持。在此一并表示衷心的感谢。

VLSI 设计方法学是一门刚刚诞生的新学科,它正在不断丰富和发展之中,书中难免存在不足之处,敬请读者予以批评指正。

作 者

1989 年 10 月于清华大学

目 录

第 1 章 设计过程概述	1
1.1 集成电路设计方法和工具的变革	1
1.2 设计系统的结构框架	3
1.3 “自顶向下”与“由底向上”设计步骤	4
1.4 典型的设计流程	5
1.5 深亚微米电路设计对设计流程的影响	7
1.6 ASIC 及其分类	9
1.7 不同设计方法的特点.....	10
第 2 章 各种设计方法	14
2.1 全定制设计方法.....	14
2.2 半定制设计方法.....	14
2.2.1 有通道门阵列法	14
2.2.2 门海法	23
2.3 定制设计方法.....	27
2.3.1 标准单元法	27
2.3.2 通用单元法	34
2.4 可编程逻辑器件设计方法.....	34
2.4.1 PLD 的结构与分类	34
2.4.2 PLD 的符号	36
2.4.3 PAL	37
2.4.4 GAL	40
2.4.5 高密度 PLD	42
2.4.6 在系统内编程的 PLD	45
2.4.7 设计流程	46
2.5 逻辑单元阵列设计方法.....	46
2.5.1 LCA 的结构与特点	46
2.5.2 可配置逻辑功能块	47
2.5.3 输入/输出功能块.....	48
2.5.4 可编程的内部连线资源	49

2.5.5	配置用存储器	49
2.5.6	设计流程	50
2.5.7	编程	51
第3章	硬件描述语言 VHDL	57
3.1	硬件描述语言的特点	57
3.2	VHDL 中的设计实体	58
3.2.1	实体说明	58
3.2.2	实体构造	58
3.3	VHDL 中的对象和数据类型	62
3.3.1	数的类型和它的字面值	62
3.3.2	数据类型	63
3.3.3	对象的说明	64
3.3.4	VHDL 中数的运算	65
3.4	行为描述	66
3.4.1	对象的赋值	67
3.4.2	并发进程	67
3.4.3	并行信号赋值语句	67
3.4.4	进程语句	70
3.4.5	顺序赋值语句	71
3.4.6	顺序控制	72
3.4.7	断言语句	74
3.4.8	子程序	76
3.5	结构描述	78
3.5.1	元件和例元	79
3.5.2	规则结构	80
3.5.3	参数化设计	81
3.5.4	结构与行为混合描述	82
3.6	设计共享	83
3.6.1	程序包	83
3.6.2	库	84
3.6.3	元件配置	85
第4章	逻辑综合	89
4.1	逻辑综合的作用	89
4.2	逻辑函数与多维体表示	89
4.2.1	逻辑函数的真值表表示	90
4.2.2	三种输入集合	90
4.2.3	逻辑多维空间	92

4.2.4	多维体与布尔表达式	93
4.2.5	逻辑函数的覆盖	94
4.3	逻辑多维空间的基本运算	95
4.3.1	包含与吸收	95
4.3.2	相交与交积	96
4.3.3	相容与星积	97
4.3.4	求补和锐积	98
4.4	组合逻辑的综合	100
4.4.1	逻辑综合的基本思路	100
4.4.2	质蕴涵体集合的获得	101
4.4.3	覆盖的最小化	105
第5章	逻辑模拟	109
5.1	逻辑模拟的作用	109
5.2	逻辑模型	109
5.2.1	逻辑信号值	110
5.2.2	逻辑求值	111
5.2.3	基本逻辑元件	111
5.2.4	信号延迟	113
5.2.5	逻辑信号强度	114
5.3	逻辑模拟算法	116
5.3.1	编排级数法	117
5.3.2	事件驱动法	117
5.3.3	逻辑模拟器内部数据表格	120
第6章	电路模拟	123
6.1	电路分析的作用	123
6.2	SPICE2 的功能	124
6.3	SPICE2 使用举例	126
6.4	SPICE2 的结构	128
6.5	SPICE2 的流程	129
6.6	动态存储与存放格式	131
6.7	建立电路方程	136
6.8	求解方法	141
6.8.1	线性电路的直流分析	142
6.8.2	非线性电路的直流分析	144
6.8.3	交流分析	146
6.8.4	瞬态分析	146
6.8.5	收敛问题	154

第 7 章 SPICE 中的器件模型	157
7.1 对器件模型的要求	157
7.2 二极管模型	157
7.3 双极型晶体管模型	161
7.4 结型场效应晶体管模型	171
7.5 MOS 场效应晶体管模型	174
7.5.1 MOS1 模型	175
7.5.2 MOS2 模型	177
7.5.3 MOS3 模型	181
7.5.4 电容模型	184
7.5.5 小信号模型	187
7.5.6 串联电阻的影响	189
7.6 BSIM 短沟道 MOS 管模型	190
7.6.1 BSIM1 模型	190
7.6.2 BSIM2 模型	195
7.6.3 BSIM3 模型	201
7.7 器件模型参数的提取	221
第 8 章 器件模拟	229
8.1 器件模拟的作用	229
8.2 一维器件模拟	230
8.3 二维器件模拟	239
8.4 器件模拟程序应用举例	254
第 9 章 工艺模拟	257
9.1 工艺模拟的作用	257
9.2 工艺模拟的求解方法	258
9.3 工艺模拟程序中的工艺模型	263
9.4 工艺模拟程序的应用举例	277
第 10 章 计算机辅助版图设计与验证	280
10.1 版图的基本概念	280
10.1.1 版图中的图素与分层	280
10.1.2 版图单元与版图的层次化结构	281
10.1.3 版图上的注释	281
10.1.4 版图的工艺	282
10.1.5 版图单元库	283
10.1.6 版图数据交换文件	283
10.2 版图的交互编辑	284
10.2.1 基本的图形操作	284

10.2.2	层次化的图形操作·····	287
10.2.3	图形编辑的环境设置·····	288
10.3	版图验证·····	289
10.3.1	版图的电学结构·····	289
10.3.2	设计规则检查·····	290
10.3.3	版图的电学验证·····	293
10.4	掩膜生成·····	295
	参考文献 ·····	297
	附录 I 算法基础 ·····	300
	附录 II CIF 格式 ·····	310

第1章 设计过程概述

1.1 集成电路设计方法和工具的变革

1959年设计出来的第一个集成电路只有4个晶体管,而到了1997年,一个芯片上可集成的晶体管数目已高达40多亿个。

30多年来集成电路技术发生了惊人的变化。它经历了小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)阶段,目前已进入超大规模ULSI(ultra large scale integration)阶段。

随着集成技术的不断发展和集成度的迅速提高,集成电路芯片的设计工作越来越复杂,因而急需在设计方法和设计工具这两方面有一个大的变革,这就是人们经常谈论的“设计革命”。各种计算机辅助工具的涌现以及设计方法学的诞生正是为了适应这样的要求。

回顾30多年来电子系统(集成电路)设计自动化EDA(electronic-system design automation)的发展,大致可分为三个阶段,见图1-1。

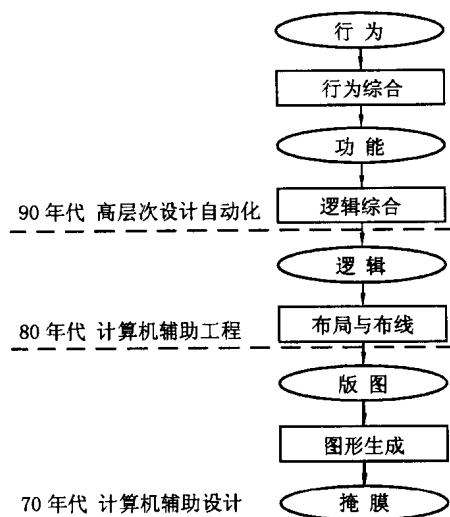


图 1-1 集成电路设计自动化的各个阶段

70 年代的第一代 EDA 称为计算机辅助设计 CAD (computer aided design) 系统, 它以交互式图形编辑和设计规则检查为特点, 硬件采用 16 位小型机。那时的逻辑图输入、逻辑模拟、电路模拟与版图设计及版图验证是分别进行的, 人们需要对两者的结果进行多次的比较和修改才能得到正确的设计。第一代 CAD 系统的引入使设计人员摆脱了繁重、易出错误的手工画图、机械刻红膜的传统方法, 大大提高了效率, 因而得到了迅速的推广。但它仍不能适应规模较大的设计项目, 而且设计周期长、费用高。有时在投片制作后发现原设计存在错误, 不得不返工修改, 其代价是昂贵的。

80 年代出现了第二代 EDA 系统, 常称为计算机辅助工程 CAE (computer-aided engineering) 系统。它以 32 位工作站为硬件平台。它集逻辑图输入 (schematic entry)、逻辑模拟、测试码生成、电路模拟、版图设计、版图验证等工具于一体, 构成了一个较完整的设计系统。工程师以输入线路图的方式开始设计集成电路, 并在工作站上完成全部设计工作。它不仅在设计定制电路的版图编辑工具, 还包括有门阵列、标准单元的自动设计工具和具有经过制造验证的、针对不同工艺的单元库。对于门阵列、标准单元等电路, 系统可完成自动布局、自动布线功能, 因而大大减轻了版图设计的工作量。在 CAE 系统中, 更重要的是引入了版图与电路之间的一致性检查 (layout versus schematic) 工具。此工具对版图进行版图参数提取 (LPE) 得到相应的电路图, 并将此电路图与设计所依据的原电路图进行比较, 从而可发现设计是否有错。同时还将 LPE 得到的版图寄生参数引入电路图, 作一次电路模拟 (通常称这一次电路模拟为“后模拟”), 以进一步检查电路的时序关系和速度 (在引入这些寄生参数后) 是否仍符合原设计要求。尽管这些功能的引入保证了投片流水的一次成功率, 但是一致性检查和“后模拟”仍是在设计的最后阶段才加以实施的, 因而如果一旦发现错误, 还需修改版图或修改电路, 仍需付出相当的代价 (当然可避免投片流水的损失)。

进入 90 年代, 芯片的复杂程度越来越高, 数万门以至数十万门的电路设计的需求越来越多。单是依靠原理图输入方式已不堪承受, 采用硬件描述语言 HDL (hardware description language) 的设计方式就应运而生, 设计工作从行为、功能级开始, EDA 向设计的高层次发展。这样就出现了第三代 EDA 系统, 其特点是高层次设计的自动化 HLDA (high level design automation)。

在第三代 EDA 系统中, 引入了硬件描述语言, 一般采用两种语言即 VHDL 语言和 Verilog HDL 语言; 此外引入了行为综合和逻辑综合工具。采用较高的抽象层次进行设计, 并按层次式方法进行管理, 可大大提高处理复杂设计的能力, 设计所需的周期也大幅度缩短; 综合优化工具的采用使芯片的品质如面积、速度功耗等获得了优化, 因而第三代 EDA 系统迅速得到了推广应用。

硬件描述语言的优点极其突出。如对一个 32 位的加法器, 利用图形输入软件需要输入 500 至 1 000 个门, 工作量庞大; 而利用 HDL 语言只需书写一行“ $A \leq B + C$ ”即可。此外 HDL 语言的可读性强, 易于修改和发现错误。

高层次设计阶段是与具体生产技术无关的, 即与工艺无关 (technology independent)。一个 HDL 原码可以通过逻辑综合工具综合为一个现场可编程门阵列, 即 FPGA 电路, 也可综合成某一工艺所支持的专用集成电路, 即 ASIC 电路。HDL 原码对于

FPGA 和 ASIC 是完全一样的, 仅需更换不同的库重新进行综合。此外, 由于工艺技术的进步, 需要采用更先进的工艺时, 如从 $1\mu\text{m}$ 技术改为采用 $0.8\mu\text{m}$ 技术时, 也可利用原来所书写的 HDL 原码。

由于采用了高层次设计自动化, 可使设计者在正式投片流水以前多次改换电路的结构, 从而选出最佳方案。

1.2 设计系统的结构框架

原有的 EDA 设计系统是以软件工具为核心, 新一代系统是一个统一的、协同的、集成化的、以数据库为核心的系统, 其结构框架(frame work)如图 1-2。它具有面向目标的各种数据模型及数据管理系统, 有一致性较好的用户界面及用户界面系统, 有采用图例(paradigm)的设计管理环境和设计管理系统。其主要特点如下:

(1) 统一的数据库。数据库中存储了所有的、各种设计视窗(design view)的信息。这些设计视窗包括网表(netlist)、原理图(schematic)、符号图(symbolic)、掩膜图(mask layout)、行为描述(behavior)、模拟结果(simulation)以及各种文档(documentation)等。由于各个设计视窗的数据形式和结构有很大的差异, 因而统一数据库的建立就比较复杂。数据库要确定每一设计视窗的设计数据与另一设计视窗的设计数据之间的关系, 并提供对所有工具都有用的中间结果。各个工具可直接向数据库写入或从数据库中读出数据, 消除了各工具在转换过程中所产生的数据出错现象。

(2) 操作的协同性。利用对所有工具都有用的中间结果, 可在多窗口的环境下同时运行多个工具。例如, 当版图编辑器完成了一个多边形的设计, 该多边形就被存入数据库, 被存入的信息对版图设计规则检查器同样有效。因此允许在版图编辑的过程中交替地进行版图设计规则检查。这样, 就可以在设计过程中寻找错误, 而不再是等到设计完成后再进

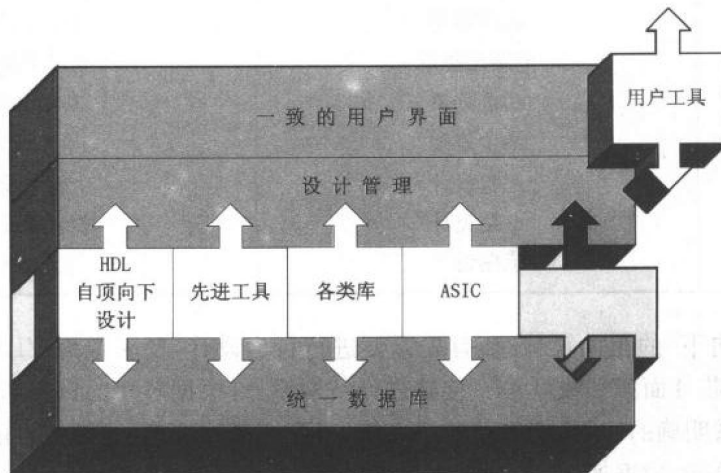


图 1-2 设计系统的结构框架

行设计规则检查,以避免整个设计过程的反复。再如,当在逻辑窗口中对该逻辑图的某一节点进行检查时,在版图窗口可同时看到该节点所对应的版图区域。这种协同操作的并行设计环境使设计者能同时访问设计过程中的多种信息,并分享设计数据。

(3) 结构的开放性。新一代 EDA 系统的结构框架具有一定的开放性。通过一种特定的编程语言作为界面可访问统一数据库。同时在此结构框架中可嵌入第三者所开发的设计软件。

(4) 系统的可移植性。整个软件系统可安装到不同的硬件平台上(platform)。这样可组成一个由不同型号工作站(workstation)所组成的设计系统而共享同一设计数据。也可由低价的个人计算机 PC(personal computer)和高性能的工件站共同组成一个系统。

1.3 “自顶向下”与“由底向上”设计步骤

芯片设计通常分为正向设计与逆向设计两大类。正向设计通常用来实现一个新的设计,而逆向设计是在剖析别人设计的基础上进行某种修改或改进。在这两大类中又可分为“自顶向下”(top-down)和“由底向上”(bottom-up)不同的步骤,详见表 1-1。

表 1-1 “自顶向下”与“由底向上”设计

方 法 \ 步 骤	自顶向下	由底向上
正 向 设 计	行为设计 结构设计 逻辑设计 电路设计 版图设计	系统划分、分解 单元设计 功能块设计 子系统设计 系统总成
逆 向 设 计	版图解析 电路图提取 功能分析 结构修改 逻辑设计 电路设计 版图设计	版图解析 电路图提取 功能分析 单元设计 功能块设计 子系统设计 系统设计

在“自顶向下”的正向设计时,首先需要进行行为设计,要确定该 VLSI 芯片的功能、性能及允许的芯片面积和成本等。接着进行结构设计,根据芯片的特点,将其分解为接口清晰、相互关系明确的、尽可能简单的子系统,得到一总体结构。这结构可能包括有算术运算单元、控制单元、数据通道、各种算法状态机等。

下一步是把结构转换成逻辑图,即进行逻辑设计。显然,同一功能块可以由多种逻辑设计加以实现。在这一步中,希望尽可能采用规则结构来实现和利用已经过考验的逻辑单

元或模块。接着进行电路设计,逻辑图将进一步转换成电路图。在很多情况下,这时需进行硬件仿真,以最终确定逻辑设计的正确性。

最后是将电路图转换成版图,进行所谓的版图设计。

对于“由底向上”的正向设计,是在系统划分和分解的基础上先进行单元设计,在单元精心设计后逐步向上进行功能块、子系统设计以至到最终的系统总成。

在正向设计时,也往往有把“自顶向下”和“由底向上”两者结合起来完成一个芯片设计的。

对于逆向设计,无论是“自顶向下”或是“由底向上”,开始的版图解剖、电路图提取和功能分析这几步都是必需的,在这以后才分成不同的处理。

1.4 典型的设计流程

从总体来讲,集成电路设计共经历 3 个子过程,示于图 1-3。

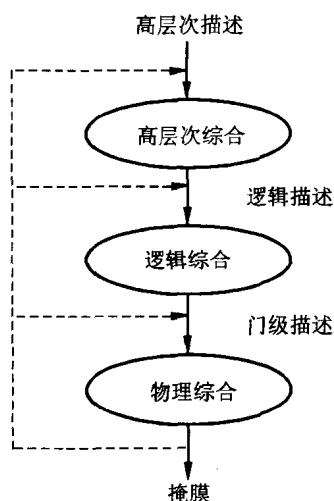


图 1-3 总体的设计流程

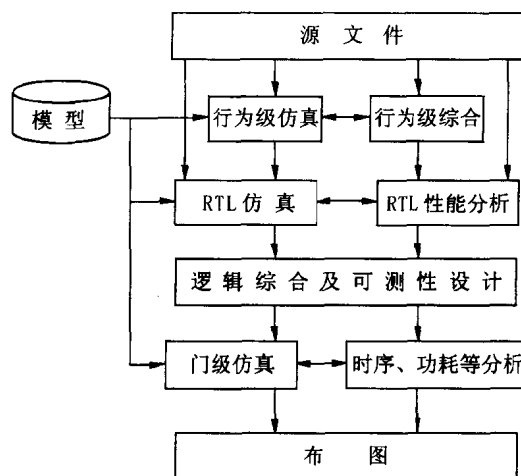


图 1-4 详细的设计流程

(1) 高层次综合。将系统的行为、各个组成部分的功能及其输入和输出用硬件描述语言加以描述,然后进行行为级综合。同时通过高层次的硬件仿真进行验证。

(2) 逻辑综合。通过综合工具将逻辑级行为描述转换成使用门级单元的结构描述(门级的结构描述称为网表描述)。同时还要进行门级逻辑仿真和测试综合。

(3) 物理综合。将网表描述转换成版图即完成布图设计。这时对每个单元确定其几何形状、大小及位置,确定单元间的连接关系。

详细的设计流程如图 1-4。

一般讲,设计综合被定义为两种不同的设计描述之间的转换,但我们这里谈到的综合是指一种将设计的行为描述转换成设计的结构描述的过程。

高层次综合也称为行为级综合(behavioral synthesis)。它的任务是将一个设计的行为级描述转换成寄存器传输级的结构描述。它首先翻译和分析设计的 HDL 语言描述,并

在给定的—组性能、面积和/或功耗的条件下,确定需要哪些硬件资源,如执行单元、存储器、控制器、总线等(通常称这一步为分配(allocation)),以及确定在这一结构中各种操作的次序(通常称之为调度(scheduling))。同时还可通过行为级和寄存器传输级硬件仿真进行验证。

由于实现设计的功能可能有多种硬件结构,因而高层次综合的目的是要在满足目标和约束条件下,找到一个代价最小的硬件结构,并使设计的功能最佳。

逻辑综合是将逻辑级的行为描述转换成逻辑级的结构描述,即逻辑门的网表。逻辑级的行为描述可以是状态转移图、有限状态机,也可以是布尔方程、真值表或硬件描述语言。逻辑综合过程还包括一系列优化步骤,如资源共享、连接优化和时钟分配等。优化目标是面积最小,速度最快,功耗最低或它们之间的某种折衷。一般讲,逻辑综合分成两个阶段:①与工艺无关的阶段,这时采用布尔操作或代数操作技术来优化逻辑;②工艺映象阶段,这时根据电路的性质(如组合型或时序型)及采用的结构(多层逻辑、PLD或FPGA)做出具体的映象,将与工艺无关的描述转换成门级网表或PLD或FPGA的执行文件。

逻辑综合优化完成后,还需要进行细致的时延分析和时延优化。此外,还要进行逻辑仿真。

逻辑仿真是保证设计正确的关键步骤。过去通常采用软件模拟的方法,近年来则强调硬件仿真手段,如通过PLD或FPGA进行仿真。

测试综合是提供自动测试图形生成ATPG(automatic test pattern generation),为可测性设计提供高故障覆盖率的测试图形。测试综合还可消除设计中的冗余逻辑,诊断不可测的逻辑结构,还能自动插入可测性结构。

物理综合也称版图综合(layout synthesis)。它的任务是将门级网表自动转换成版图,即完成布图,布图的详细步骤见图1-5。

布图规划(floorplan)是对设计进行物理划分,同时对设计的布局进行规划和分析。在这一步骤中,面向物理的划分,其层次结构可以与逻辑设计时的划分有所不同。布图规划可以估算出较为精确的互连延迟信息,预算芯片的面积以及分析得到何处为拥挤的布线区域。

布局是指将模块安置在芯片上的适当位置,并能满足一定的目标函数。一般布局时总是要求芯片面积最小,连线总长最短和电性能最优且容易布线。布局又分为初始布局和迭代改善两个子步骤。进行初始布局的目的是提高布局质量及减少下一步迭代改善时的迭代次数,而迭代改善是设法加以优化的过程,它是决定布局质量的关键。

布线是根据电路的连接关系描述(即连接表),在满

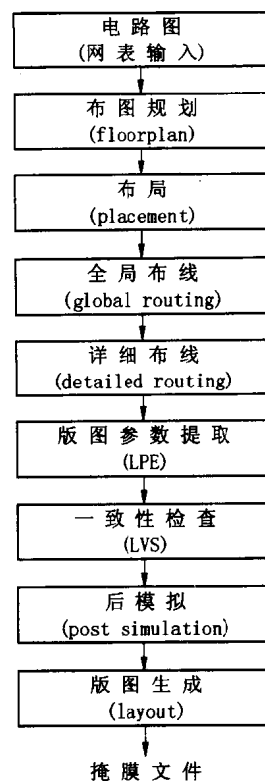


图1-5 布图详细步骤