

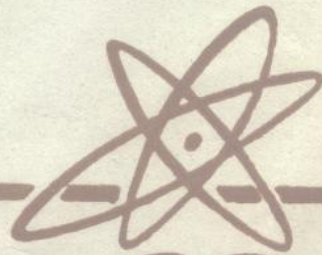
中大规模集成电路

清 华 大 学

王尔乾 编

5

国防工业出版社



551

中大规模集成电路

清 华 大 学

王尔乾 编

国防工业出版社

内 容 简 介

本书阐述了中、大规模集成电路的原理，特性及应用。全书共八章，内容主要包括TTL门电路及触发器，组合逻辑功能部件，时序功能部件，接口电路，双极型存储器，MOS集成电路以及集成电路工艺及发展动向。

本书系工科高等学校计算机专业的教材，也可供有关科技人员参考。

DL14/03

中、大规模集成电路

清 华 大 学

王 尔 乾 编

国防工业出版社出版

北京市书刊出版业营业许可证出字第 074 号

西北电讯工程学院印刷厂印刷

开本 787×1092 1/16 印张 $17\frac{1}{2}$

印刷字数 448 千字 印数 1—3500 册

1981 年第一版 1981 年 1 月第一次印刷

统一书号：N15034(教-70) 定价：1.82 元

前 言

本书是高等学校工科电子类计算机专业的统编教材之一。

编写本书的目的就是，从使用集成电路的角度出发，介绍国内外常见的中、大规模集成电路的原理、性能和应用。考虑到我国集成电路生产的实际情况，同时也考虑到 TTL 中规模集成电路在构成微型计算机系统中的作用，所以，在内容安排上，对双极型 TTL 中规模集成电路给予比较多的篇幅。全书共分八章。首先介绍构成中、大规模集成电路的基础电路——门电路和触发器，接着介绍组合逻辑功能部件、时序逻辑功能部件以及接口电路，随后介绍存贮器，最后，为了便于读者了解各类双极型和 MOS 型集成电路的特性，简单地介绍它们的工艺制作和特性参数。考虑到在学习本课程之前，同学们已有了电子技术、数字逻辑、电子计算机等基础知识，为了避免重复，本教材不对这些内容作过多的介绍。

本书的第一章至第七章是由清华大学计算机工程与科学系王尔乾编写的，第八章是由该系张建人编写的。在编写过程中，得到了该系林定基同志的帮助，许多同志在绘图、誊抄方面作了不少工作。全书由成都电讯工程学院计算机教研室刘锦德、袁宏春、叶成兰同志主审。在审稿会上，西北电讯工程学院、西安交通大学、上海交通大学等院校的有关同志，提出了不少宝贵的意见，在此，一并致以谢忱。

本书的大部分内容，虽经一定时间的教学实践，但由于编者水平有限，加之时间仓促，书中难免会有许多错误和缺点，恳切希望广大读者提出批评和指正。

目 录

第一章 TTL 门电路和触发器	1
1.1 TTL门电路	1
1.1.1 “与非”门	1
1.1.2 “与或非”门	4
1.1.3 “与”门	4
1.1.4 “异或”门、“异或非”门	5
1.2 TTL触发器	6
1.2.1 电位触发器方式的触发器	6
1.2.2 边沿触发方式的触发器	8
1.2.3 主-从触发方式的触发器	12
1.2.4 触发器的开关特性及时钟偏移	15
1.3 TTL系列	20
1.3.1 高速TTL系列	21
1.3.2 肖特基TTL系列	21
1.3.3 低功耗TTL系列	23
1.3.4 低功耗肖特基TTL系列	23
第二章 TTL 组合逻辑功能部件	25
2.1 译码电路	26
2.1.1 变量译码器以及“使能”端的作用	26
2.1.2 码制变换译码器	31
2.1.3 变量译码器和码制变换译码器的应用	34
2.1.4 数字显示译码器	35
2.1.5 开关参数	38
2.2 数据选择器	39
2.2.1 原理	39
2.2.2 应用举例	42
2.2.3 开关参数	48
2.3 优先编码电路	49
2.4 算术逻辑运算单元	51
2.4.1 一位全加器及四位串行进位加法器	54
2.4.2 快速加法运算	56
2.4.3 用封锁加法器中的一些门来获得多功能的运算单元及其超前进位扩展器	59
2.4.4 用改变加法器中 G_i 、 P_i 来获得多功能的运算单元及其超前进位扩展器	65
2.4.5 运算单元的开关参数	79
2.5 数字比较器	80
2.6 奇偶检测电路	89
第三章 TTL 时序逻辑功能部件	93
3.1 寄存器	93

3.1.1 单一寄存器	93
3.1.2 寄存器堆	94
3.1.3 寄存器的开关特性	96
3.2 移位寄存器	100
3.2.1 移位寄存器的逻辑结构	100
3.2.2 几种集成化的移位寄存器	102
3.2.3 开关特性	105
3.3 寄存器和移位寄存器的应用	106
3.4 集成化计数器	110
3.4.1 同步计数器	111
3.4.2 异步计数器	130
第四章 TTL中、大规模集成电路的简化线路以及逻辑功能部件的测试	135
4.1 TTL中、大规模集成电路的简化单元电路	135
4.1.1 简化“与非”门	135
4.1.2 单管逻辑门	137
4.1.3 开关式电平转移网络	141
4.1.4 高门槛电平的门电路	141
4.1.5 “0”输出管基极回路形式	142
4.1.6 简化触发器	142
4.1.7 中规模集成电路的线路举例	145
4.2 逻辑功能部件的测试	150
4.2.1 逻辑功能的测试	150
4.2.2 直流参数的测试	155
4.2.3 开关参数的测试	156
第五章 接口电路	160
5.1 三态电路	160
5.1.1 原理	160
5.1.2 参数	162
5.1.3 三态电路的种类以及它们的应用	165
5.2 长线接口电路	175
5.2.1 普通TTL电路和长线接口的困难	175
5.2.2 单线驱动器和接收器之一	178
5.2.3 单线驱动器和接收器之二	181
5.2.4 双线驱动器和双线接收器	183
5.3 ECL电路到TTL电路以及TTL电路到ECL电路的接口电路	187
5.3.1 ECL到TTL的接口电路	187
5.3.2 TTL到ECL的接口电路	187
第六章 双极型存储器	189
6.1 随机存储器(RAM)	189
6.1.1 一般结构	189
6.1.2 存储单元和外围电路	191
6.1.3 开关特性	199

6.1.4 双极型存储器系统	201
6.1.5 关联存储器	206
6.2 只读存储器 (ROM)	209
6.2.1 结构与参数	209
6.2.2 应用	213
6.3 可编程逻辑阵列 (PLA)	224
6.3.1 原理	224
6.3.2 应用	228
第七章 MOS 集成电路	233
7.1 MOS 存储器	233
7.1.1 MOS 随机存储器	233
7.1.2 MOS 只读存储器	246
7.2 移位寄存器	250
7.1 两相有比动态移位寄存器	251
7.2 两相无比动态移位寄存器	252
第八章 集成电路的制造工艺	253
8.1 硅平面型工艺	253
8.2 TTL电路的制造工艺	258
8.2.1 典型的 TTL 电路 (中速 TTL 电路、高速 TTL 电路)	258
8.2.2 肖特基 TTL 电路	261
8.2.3 低功耗肖特基 TTL 电路	261
8.3 MOS 电路的制造工艺	262
8.3.1 P 沟铝栅 E/E 型 MOS 电路	263
8.3.2 N 沟硅栅 E/D 型 MOS 电路	264
8.3.3 互补 MOS 电路	266
8.3.4 HMOS 电路	267
8.3.5 DMOS 电路	268
8.3.6 VMOS 电路	268
附录 集成电路中外型号对照表	270
参考资料	272

第一章 TTL门电路和触发器

门电路和触发器是TTL小规模集成电路产品中最主要的产品。它们不仅是构成中、大规模集成电路的基础电路，而且也是由中、大规模集成电路组成的数字系统及微处理机系统中不可缺少的部分。因此，在介绍中、大规模集成电路之前，本章先对门电路和触发器作一概要的介绍。在本书所介绍的逻辑电路中，若不加说明，则一律为正逻辑。

1.1 TTL门电路

1.1.1 “与非”门

“与非”门是门电路中最重要的一种电路。图1-1是典型“与非”门的结构图和电路图。

“与”功能是由多发射管（简称多射管） T_1 来实现的。这里， T_1 的射极（即发射极）是“与”级的输入， T_1 的集极（即集电极）是“与”级的输出。若 T_1 有一个射极输入为“0”，那么， R_1 中的电流 I_{R_1} （又称门电流）便经 T_1 射极流向“0”输入端。此时 T_1 深饱和，其集极为低电平，“与”输出为“0”。若 T_1 的输入均为“1”，那么， I_{R_1} 便经 T_1 集极流向 T_2 基极，使 T_2 、 T_3 均导通。此时， T_1 处于倒置工作状态，其集极电位较高（为 T_2 、 T_3 射极正向压降之和），“与”输出为“1”。

T_2 是分相放大器，它的输入端是其基极，它的两个输出端是其集极和射极。集极电压的相位和其基极（即“与”级输出）电压的相位是相反的，而射极电压则是跟随基极电压的。所以， T_2 集极和射极的逻辑状态是相反的。 T_2 集极实现了“与非”逻辑，而 T_2 射极只是用来传输“与”级的输出。

T_4 （射极跟随器）和 D_1 组成“1”输出驱动级（简称“1”输出级）； T_3 （反相器）组成“0”反相输出驱动级（简称“0”输出级）。上述两个输出级的输出连在一起便构成了“与非”门的输出。这两个输出级分别是由分相级的两个输出来驱动的。在静态时，只有一个输出级是导通的。

当“与非”门输入为“0”时， T_2 截止，“0”输出级也截止。此时， T_2 的集极电位约为 V_{CC} ，它能使“1”输出级的 T_4 、 D_1 均导通，从而把分相级集极的“与非”逻辑信息传送到“与非”门的输出。由于射极跟随器的输出阻抗很低，所以此电路有较强的驱动负载 \ominus

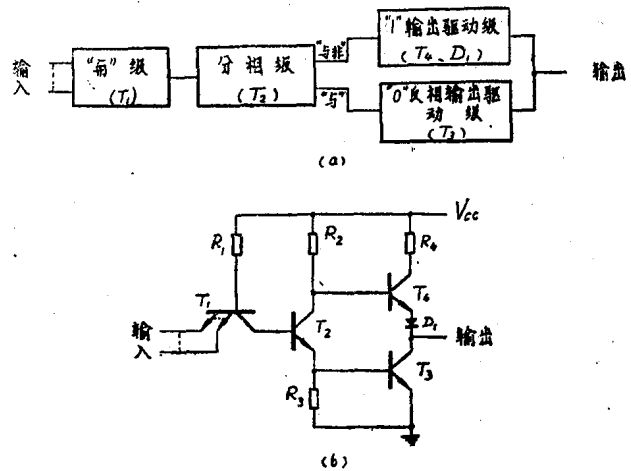


图1-1 (a) 典型“与非”门的结构图
(b) 典型“与非”门的线路图

\ominus 指接地的电阻和接地的电容。

能力。

当“与非”门输入均为“1”时， T_2 、 T_3 均导通，“0”输出级处于工作状态。因为 T_2 集电极位为其c-e饱和压降 $V_{ce_{s_2}}$ 和 T_3 射极压降 V_{be_3} 之和（约为1伏），它不能使 T_4 、 D_1 导通，所以，“1”输出级是截止的。“0”输出级起下述两个作用：第一，它使分相级的射极输出“1”反相，从而实现对输入的“与非”逻辑；第二，提高电路驱动接电源的电阻负载的能力。

“与非”门的结构其所以能保证电路有较快的开关速度，有以下几个原因：

(1) 当“与非”门输入由“1”变成“0”时，因 T_1 射极突然接低电平， I_{R_1} 流向 T_1 射极， T_1 处于放大工作状态，因此，有一股很大的 $\beta_1 \cdot I_{R_1}$ 电流（这里， β_1 是 T_1 的共射电流放大倍数）从 T_2 基极流向 T_1 集极，使 T_2 基区存贮电荷迅速消散，从而可以加快电路由“1”向“0”的转换。

(2) “与非”门的“1”输出级和“0”输出级组成了“推拉”式输出级。在 T_2 截止过程中，其“1”输出级能给尚未脱离饱和状态的 T_3 提供很大的集流，使 T_3 集区存贮电荷迅速消散，从而可以使其加快脱离饱和状态。此后，大部分的 T_4 射流便流向“与非”门的负载电容，使负载电容迅速充电，从而可以加速输出电压的上升。因 T_4 的输出阻抗很低，因此，即使负载电容很大，其电压上升仍然很快。当输出由“1”变“0”时，其负载电容的电荷便能通过低阻的“0”输出级迅速放掉。

(3) 当电路输出由“0”向“1”转换时，“0”输出级的基极电阻 R_3 便为 T_3 基区存贮电荷的消散提供了通路，从而可以加快 T_3 的截止。

“与非”门的输出级除了图1-1所示的形式外，还有图1-2(a)、(b)、(c)、(d)所示的四种形式。下面分别介绍这四种形式的特点。

图1-2(a)所示电路的“1”输出级采用两级射极跟随器的形式。它和图1-1所示电路相比有以下几个特点：

(1) 由于两级射极跟随器比一级射极跟随器有更低的输出阻抗，所以图1-2(a)所示电路比图1-1所示电路有更大的“1”扇出数、更强的驱动电容负载的能力；以及更短的上升延迟。这些特点正是此输出形式其所以经常被采用的原因。

(2) 当电路输出为“1”时， R_6 上的压降比较高，约为 $V_{cc} - V_{be_4}$ 。因此，此电路的截止功耗比图1-1所示电路的大。

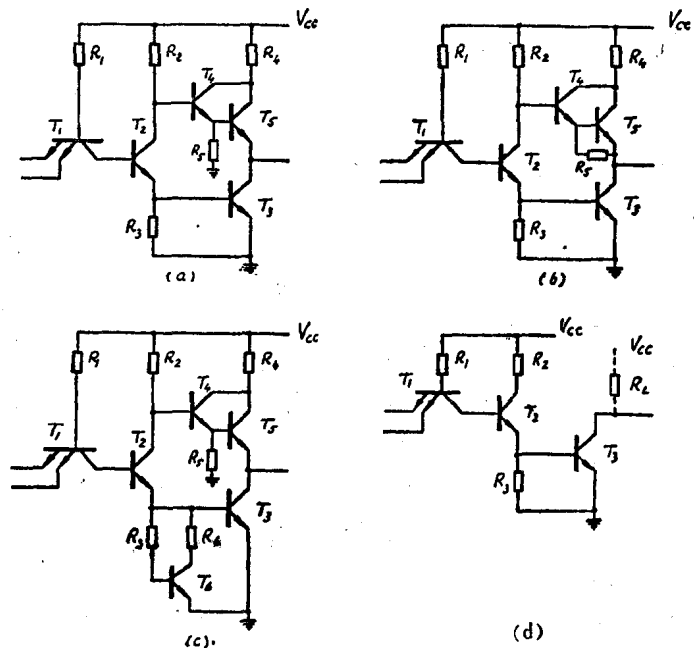


图1-2 “与非”门的其它四种输出形式

图 1-2(b)所示电路是对图 1-2(a)所示电路的改进。它将 R_5 接在输出端, 这种输出形式的优点有如下三点:

(1) 在一般使用情况下, 电路的“1”输出电流 I_{OH} 是比较小的。此时, 它在 R_5 上的压降不能打开 T_5 射结, 输出“1”电平比图 1-1 和图 1-2(a)所示电路的约高一个结压降, 其值为:

$$V_{OH} = V_{CC} - V_{be} - I_{OH} \cdot R_5 \approx V_{CC} - V_{be}$$

所以, 电路的输出逻辑摆幅以及“1”噪声容限都比图 1-2(a)所示电路的大。只是当 I_{OH} 较大时, T_5 才导通, V_{OH} 和图 1-1、图 1-2(a)所示电路的相同。

(2) 因 R_5 不接地, 故电路的截止功耗比图 1-2(a)所示电路的小。

(3) 输出电压的上升沿比图 1-2(a)所示电路的差。在输出电压上升的开始阶段, 因电压较低, 故“1”输出级的电流很大。此时, T_5 是导通的, 输出电压上升速度和图 1-2(a)所示电路的相同。随着输出电压升高, T_5 趋向截止, “1”输出级输出阻抗变大。因此, 在输出上升沿的结束阶段, 对负载电容的充电速度变慢。

图 1-2(c)所示电路的特点是用二极管网络 T_6 代替 T_3 的基极电阻 R_3 。这给该电路带来了下述两个好处:

(1) 可以改善该电路转移特性的矩形性, 从而可以增大电路的“0”噪声容限。

(2) 可以改善开关特性。在 T_3 基极采用分流电阻 R_3 的电路中, 减小 R_3 虽能使 T_3 工作在浅饱和区, 从而使电路的上升延迟 t_{pLH} 减小, 但这却使 T_3 的开启基流减小, 从而使电路的下降延迟 t_{pHL} 增大。为了较好地解决这个矛盾, 可以采用饱和的 T_6 网络来代替 R_3 。下面从两个方面来说明采用 T_6 网络的好处。第一, 如果适当地增大 T_6 基极电阻 R_3 , 那么, T_6 的导通便被推迟。只要使 T_6 的导通滞后于 T_3 的导通, 那么, 在电路由“1”向“0”过渡时, 由于截止的 T_6 不会使 T_3 的基流分流, 而使 T_2 的射流全部流向 T_3 基极, 因此可以加速 T_3 的开启。这种情况就不象图 1-2(a)、(b)所示电路那样, 那里 R_3 的分流作用在 T_3 开始获得基流时就已经存在了。第二, 只要 R_3 和 R_6 保持一定的比值, 使 T_6 饱和, 并在此前提下尽量减小 R_6 。以增强它对 T_3 基流的分流, 那么, 这样便可在不增加电路 t_{pHL} 的前提下减小 t_{pLH} 。因为在电路中没有采取加速 T_6 电荷消散的措施, 故它的截止比 T_3 的截止要慢。于是, 在 T_3 截止过程中, T_6 就成了 T_3 基区电荷消散的低阻通路。综合上述两个方面可以得出: 采用 T_6 网络既可使 T_3 工作浅饱和状态, 又可获得较小的下降延迟。因此, 这种六管电路又称为高速浅饱和电路。

图 1-2(d)所示电路是集极开路输出“与非”门(简称开路“与非门”)。由于它比其它输出形式的门电路少了“1”输出级, 因此有以下两个特点:

(1) 可以对它们进行“线与”连接 \ominus (如图 1-3 所示)。其连接点的逻辑状态为各门输出状态的“与”。

(2) 电路的上升延迟比较大。其原因可以从两方面来说明。一方面, 由于它没有“1”输出级, 故 T_3 的退饱和时间比其它形式的门电路要长。另一方面, 由于该电路对负载电容的充电电流只能由 V_{CC} 通过“线与”端的负载电阻(又称提升电阻) R_L 来提供, 而 R_L 又受

\ominus 这里, 正逻辑的“线与”相当于负逻辑的“线或”。

开路门最大“0”输出电流 $I_{OL_{max}}$ 的限制, R_L 不能太小, 因此“线与”端电压上升时间 t_r 比较长。如果不允许出现较大的上升延迟, 则可以使用大功率开路门, 并减小开路门的负载电阻 R_L 来缩短上升延迟。

开路门主要用来驱动总线和发光二极管等。

1.1.2 “与或非”门

在TTL电路中, 除了有“线与”连接外, 还有一种如图1-4所示的“线或”连接。这

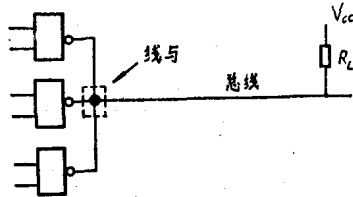


图 1-3 对集电极开路输出“与非”门进行“线与”连接

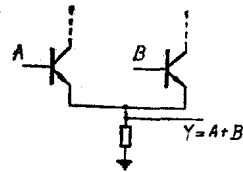


图 1-4 “线或”连接图

时, 只要将信号分别送至射极跟随器, 再将各射极输出连在一起, 便可在连接处实现“或”逻辑。在这种“线或”连接中, 各“或”输入是隔离的。

采用上述“线与”、“线或”连接方案以后, 便可以很容易地实现“与或非”门了。在图1-5所示电路中, 是借助于 T_2 和 T_2' 的集电极来分别实现 $A \cdot B$ 和 $C \cdot D$ 的逻辑关系。因此, “线与”连接点 Y' 的逻辑表达式为:

$$Y' = \overline{A \cdot B \cdot C \cdot D} = \overline{A \cdot B} + \overline{C \cdot D}$$

T_2 和 T_2' 射极“线或”连接点 Z 的逻辑表达式为:

$$Z = A \cdot B + C \cdot D$$

Y' 和 Z 分别经“1”、“0”输出级到达输出端 Y 。此时, Y 的逻辑表达式即为:

$$Y = \overline{A \cdot B + C \cdot D}$$

和“与非”门相似, “与或非”门的输出形式同样还可以有如图1-2所示的几种类型。

1.1.3 “与”门

图1-6所示的是“与”门线路。它是按“与非-非”逻辑构成的。首先由 T_2 集电极实现“与非”逻辑, 然后再经 T_3 分相级、“1”输出级 T_4 、“0”输出级 T_5 形成“与”输出。线

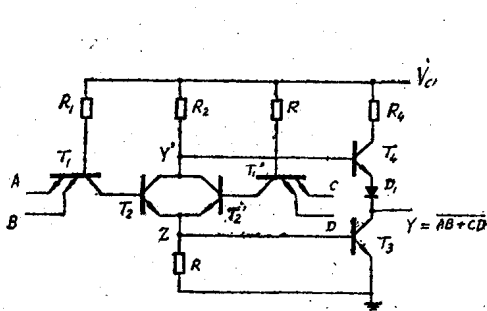


图 1-5 “与或非”门的线路图

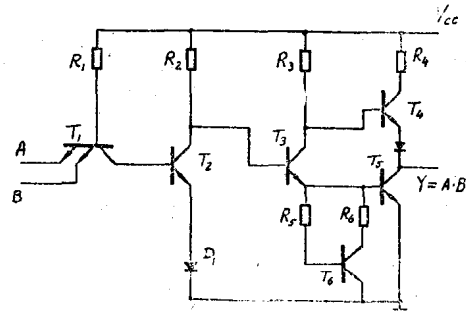


图 1-6 “与”门线路图

路中设置 D_1 是为了使“与”门电路的阈值电平和“与非”门的阈值值相当。由于 T_2 集电极“0”电平较高(其值为 $V_{ce_{s_2}} + V_{D_1} \approx 1$ 伏), 因此, 为了增大电路的噪声容限, 采用三极管网络作为“与”门电路的“0”输出级的基极回路。因为 T_2 集电极只驱动 T_3 分相级, 它的负载很轻, 所以不必在 T_2 后面设置“0”、“1”输出级。

1.1.4 “异或”门、“异或非”门

图 1-7 所示的是一种集成化的“异或”门(又称“异”门)电路。现在通过分析其逻辑结构来说明其原理。图中 T_1 为“与”级, 其输出 $p = A \cdot B$ 。 $T_2 \sim T_5$ 、 D_1 为“或非”门, 其输出 $q = \overline{A+B}$ 。 $T_6 \sim T_{11}$ 是一个对 p 、 q 实现“或非”运算、同时又具有“0”、“1”输出级的“或非”门, 其输出表达式为:

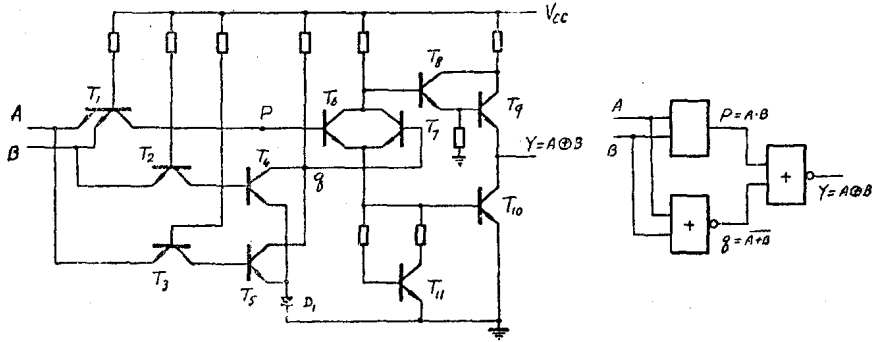


图 1-7 “异或”门的线路图

$$Y = p + q = \overline{A \cdot B + \overline{A+B}} = \overline{A \cdot B} + A \cdot \overline{B} = A \oplus B$$

所以, 图 1-7 所示是一个“异或”门电路。

图 1-8 所示是一种集成化的集电极开路输出的“异或非”门(又称“异非”门)。 $T_1 \sim T_3$ 是“与非”门, 其输出 $p = \overline{A \cdot B}$ 。 $T_4 \sim T_8$ 是集电极开路输出“与或非”门, 其输出 Y 为“异或非”逻辑:

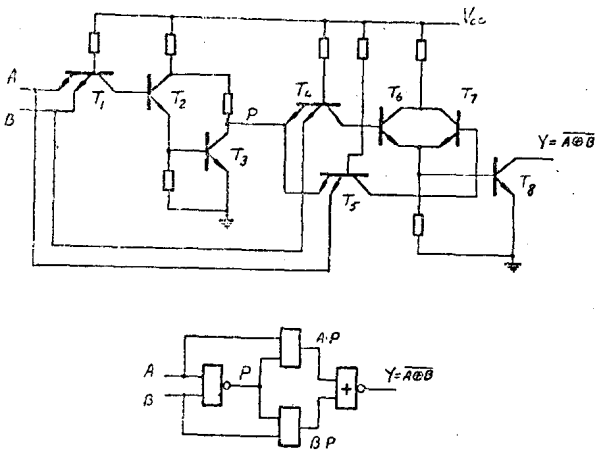


图 1-8 “异或非”门的线路图

$$Y = \overline{p \cdot A + p \cdot B} = \overline{A \cdot B \cdot A + A \cdot B \cdot B} = \overline{A \oplus B}$$

1.2 TTL 触发器

集成化触发器的种类很多，并且可以按不同方式分类。若按触发（时钟控制）方式分类，则有电位触发、边沿触发、主-从触发等；若按功能分类，则有 R-S 型、D 型、J-K 型、T 型等。同一种时钟控制方式可以实现具有不同功能的触发器。例如，边沿触发方式的触发器可有 D 型功能的，也可有 J-K 型功能的；电位触发方式的触发器有 R-S 型功能的，也有 D 型功能的。同一种功能的触发器可以由不同的触发方式来实现。例如，J-K 功能的触发器有主-从触发方式的，也有边沿触发方式的。对于使用者来说，在选用触发器时，触发方式是必须考虑的主要因素。这是因为，对功能相同的触发器，如果对触发方式选用不当，系统就不能达到预期的设计要求，甚至使其不能正常工作。下面将以触发方式为线索，先介绍几种常用的集成化触发器，最后介绍触发器的开关特性。

1.2.1 电位触发方式的触发器

当触发器的同步控制信号 E 为约定的“1”或 0 逻辑状态时，触发器接收输入数据，此时，输入数据的任何变化都会在输出 Q 得到反映；当 E 为非约定逻辑状态时，触发器状态保持不变。鉴于这类触发器接收信息的条件是 E 端出现约定的逻辑电平，因此，把它称为电位触发方式的触发器，简称电位触发器。

图 1-9 是 R-S 型电位触发器，当 E = 0，由于输入门 3、4 被封锁，输入数据 R、S 不会进入由“与非”门 1、2 组成的基本触发器，故触发器输出状况保持不变。当 E = 1 时，输入门是打开的，R、S 经输入门进入基本触发器，触发器接收 R、S 数据。此时，若 R = 1、

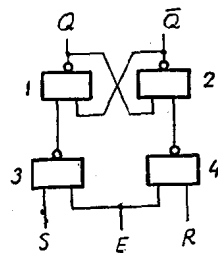
功能表

E	S	R	Q	\bar{Q}
1	0	1	0	1
	1	0	1	0
	0	0	Q_0	\bar{Q}_0
	1	1	1*	1*
0	x	x	Q_0	\bar{Q}_0

x：状态任意。

*：R、S 同时由“1”变为“0”，Q、 \bar{Q} 状态不定。

图 1-9 R-S 型电位触发器的逻辑图



S = 0，则 Q = 0、 \bar{Q} = 1；若 R = 0、S = 1，则 Q = 1、 \bar{Q} = 0；若 R = S = 0，则触发器保持原有的状态不定；若 R = S = 1，则输出 Q、 \bar{Q} 均为“1”，Q、 \bar{Q} 不成互补关系，如果此时 R、S 同时由“1”变为“0”，则触发器输出状态是不定的，即输出可能是 Q = 1、 \bar{Q} = 0，

也可能是 $Q=0$ 、 $\bar{Q}=1$ 。有可能出现后两种工作情况正是图 1-9 所示触发器的主要缺点。

图 1-10(a) 所示电位触发器是对图 1-9 所示电路的改进。在图 1-10(a) 中，触发器的

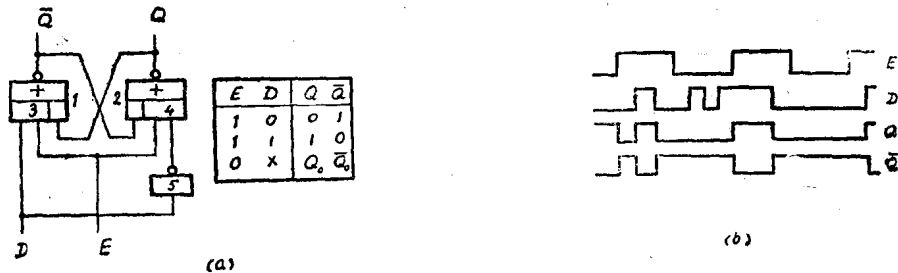


图 1-10 (a) 锁定触发器的逻辑图，

(b) 锁定触发器的典型波形图。

数据输入是单端的。它的逻辑功能是属于 D 型的。当 $E=1$ ，D 进入由“或非”门 1、2 组成的基本触发器，此时， $Q=D$ 、 $\bar{Q}=\bar{D}$ ；当 $E=0$ ，触发器状态保持。由于数据 D 是经反相门 5 变为互补数据后再加至“与”门 3、4 的，因此，触发器克服了图 1-9 所示触发器输出状态不定的缺点。这种具有 D 型功能的水位触发器又称为锁定触发器。图 1-10(b) 给出了它的典型波形图。

图 1-11 所示是另一种具有清零功能的电位触发器的逻辑图。现将它的工作原理叙述如下。当 $E=0$ ，门 3 封锁，门 4 打开，门 1、4 成交叉耦合连接，触发器状态保持不变。若 $E=1$ ，



图 1-11 具有清零功能的锁定触发器的逻辑图

则出现下述两方面的情况：一方面，门 4 被封锁，门 1、4 交叉耦合连接被切断，触发器状态不再保持；另一方面，D 能够经“与”门 3 传送到 Q 端，于是 $Q=D$ 。门 5 是为了消除输出尖峰信号而设置的。现将消除尖峰信号的原理解释如下。若触发器的原始状态为 $Q=1$ ，而且 $D=1$ ，那么，当 E 的负跳变来到时，便会由于设置或不设置门 5 而出现两种不同的情况。如果不设置门 5，其结果则是下述情况。由于 E 的“0”电平须经反相门 6 的传输延迟（又称平均延迟时间，简称延迟时间）后才能打开门 4，所以，在 E 的负跳变已到来，但门 4 还未打开的短暂时间内，门 3、4 均被封锁，Q 将由“1”跳至“0”；当门 4 打开后，Q 又从“0”回到“1”，这样一来，在 Q 端就出现一个负向尖峰信号。如果增设一个不受 E 控制的“与”门 5，其结果则是另一种情况。这时“与”门 5 起到了消除尖峰信号的作用。这是因为，当 $Q=1$ 、 $D=1$ 时，门 5 的输出为“1”，既使是在 E 的负跳变来到时，门 5 仍能确保 Q 为“1”。

这就是说，“与”门5可以将负向尖峰干扰消除掉。

尽管电位触发器具有结构比较简单的优点，但却有其缺点。由于在E为“1”时，输入数据的变化要引起输出的变化，因此直接用它来组成计数器或移位寄存器时会产生“空翻”现象。鉴于这个原因，电位触发器一般只用来组成暂存器。

1.2.2 边沿触发方式的触发器

同时具备以下条件的触发器，称为边沿触发方式触发器（简称边沿触发器）：

(1) 触发器接收的是时钟脉冲 CP 的某一约定跳变（正跳变或负跳变）来到时的输入数据；

(2) 在时钟脉冲 CP 为逻辑“1”电平及逻辑“0”电平期间，输入数据的变化是不会引起触发器输出状态变化的。此外，在时钟脉冲 CP 的非约定跳变来到时，触发器也是不接收输入数据的。

实现边沿触发的方法有两种。一种是利用直流反馈原理（即通常所说的“维持-阻塞”原理）。常见的正边沿触发的D型触发器所利用的就是这种原理。另一种是利用触发器内部门电路的延迟时间不同来实现边沿触发。常见的负边沿触发的J-K触发器就是利用这种原理来实现的。下面将结合几种触发器产品，对这两种实现方法作一简单介绍。

1. 正边沿触发的D型触发器（图1-12）

D型触发器是由三个互相连系着的基本触发器（门1,2,门4,6,门3,5）组成的。在CP=0

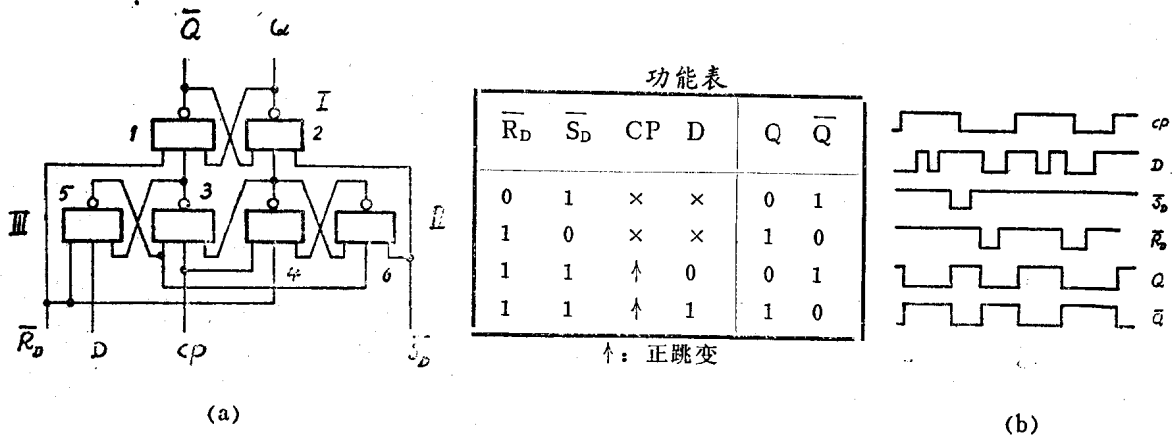


图1-12 (a) D型触发器的原理图；

(b) D型触发器的典型波形图。

期间，输入数据经门5,6变为互补数据 \overline{D} 、D后，加至门3,4的输入端。由于门3,4被封锁， \overline{D} 、D不能进入基本触发器I，所以D触发器的输出Q、 \overline{Q} 保持不变。

当CP的正跳变来到时，门3,4打开，D的互补数据 \overline{D} 、D经门3,4进入基本触发器I。此时，若D=1，则Q=1、 \overline{Q} =0；若D=0，则Q=0、 \overline{Q} =1。

在CP=1期间，D的变化是不反映在输出端Q、 \overline{Q} 的。现就此问题作如下解释。若CP的正跳变使门4输出为“0”，那么，这个“0”输出就立即被基本触发器I记录下来，从而维持了门4输出为“0”；此外，由于门4的输出还和门3的输入相连，因此，门4的

“0”输出又“阻塞”了D的变化对门3的影响，从而保持门3的输出为“1”。若CP的正跳变使门3的输出为“0”，那么，这个“0”输出就立即被基本触发器Ⅲ记忆下来，从而“维持”了门3输出为“0”；此外，因为门5的“1”输出还和门6的输入相连，因此，门4的“1”输出又保证了门6的输出为“0”，从而“阻塞”了门4输出为“0”的可能。由此可见，这种“维持-阻塞”原理确保了CP=1期间触发器输出Q、 \bar{Q} 不变。

图1-12(a)所示触发器还设置了直接置“0” \ominus 端 \bar{R}_D 和直接置“1”端 \bar{S}_D 。由于不论CP处于“0”状态还是处于“1”状态，加在 \bar{R}_D 端的“0”信号都可以直接将触发器置“0”，加在 \bar{S}_D 端的“0”信号直接将触发器置“1”，所以分别把 \bar{R}_D 端和 \bar{S}_D 端称为直接置“0”端和直接置“1”端。下面通过CP=0期间引入 \bar{R}_D 信号和CP=1期间引入 \bar{R}_D 信号的两种情况，来分析直接置“0”的工作原理：

如果在CP=0期间引入 \bar{R}_D 信号，那么，由于CP的“0”电平使门3、4的输出均为“1”，所以基本触发器Ⅱ、Ⅲ和基本触发器Ⅰ是“隔离”的。这时， \bar{R}_D 信号只要通过和门1相连的 \bar{R}_D 线就能将D触发器置“0”。当 \bar{R}_D 信号撤除后，触发器的“0”态仍能保持不变。如果在CP=1期间引入 \bar{R}_D 信号，那么此时还必须设置和门4、门5相连的两条 \bar{R}_D 线，置“0”才能正常进行。这是因为，假定只设置和门1相连的 \bar{R}_D 线而不设置另外两条 \bar{R}_D 线，并且假定触发器的原始状态是“1”态，那么，由D触发器原理可知：由于此时门4的输出为“0”（门3的输出为“1”），所以在 \bar{R}_D 信号作用下，Q和 \bar{Q} 均为“1”。而当 \bar{R}_D 信号撤除后，由于门4的“0”输出使触发器又回到“1”态，因此，置“0”无法进行。鉴于上述情况，为了使CP=1期间置“0”能正确地进行，还必须设置和门4、门5相连的 \bar{R}_D 线，以便通过 \bar{R}_D 信号去改变基本触发器Ⅱ、Ⅲ的状态，使门4的输出由“0”变为“1”，使门3的输出由“1”为“0”，从而确保在 \bar{R}_D 作用期间以及在 \bar{R}_D 信号撤消后，触发器均能处于“0”态。直接置“1”的原理和直接置“0”的类似，这里就不再重复了。

2. 负边沿触发的J-K触发器

图1-13所示负边沿触发器是利用内部门电路的延迟时间不同来实现负边沿触发的。它的基本触发器是由“与或非”门（“与非”门1、2为数据接收门）组成的。现将其电路的工作原理叙述如下。

当CP=0时，“与非”门1、2及“与”门A、D均关闭，基本触发器通过门B、C处于保持状态。此时，输入数据J、K不能进入基本触发器。当CP=1时，基本触发器通过和J、K无关的“与”门A、D处于保持状态。此时，虽然J、K数据能够经门1（或门2）到达“与”门B（或门C）的输入端，但却无法进入基本触发器。例如，若触发器的原始状态是Q=0、 \bar{Q} =1，那么，此时的门2被Q=0封锁，经门1到达门B输入端的输入数据被门A的“1”输出封锁，从而不能进入基本触发器。

若有CP的负跳变来到，那么就会产生两方面的情况。一方面，CP将关闭门A、D，

\ominus 置“0”又称清零。

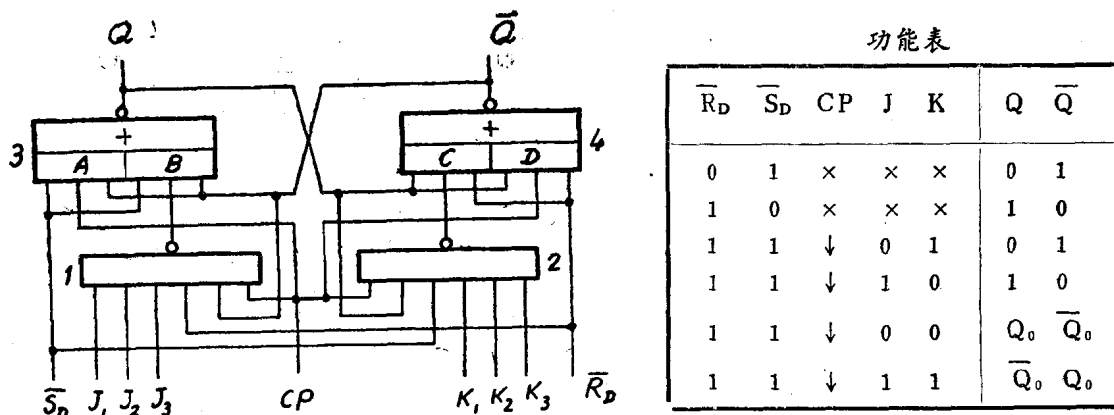


图 1-13 负边沿触发的 J-K 触发器的逻辑图

从而破坏基本触发器状态保持的条件，使已进入“与”门 B、C 的数据能进入基本触发器。另一方面，CP 的负跳变将关闭门 1、2，从而把门 B、C 打开，使基本触发器处于保持状态。但是，触发器最终能否可靠地翻转，这却取决于内部一些门电路的延迟时间：如果合理地设计电路的参数，使门 1、2 关闭较慢，使“与”门 A、D 关闭较快，同时还使基本触发器翻转较快，那么，只有在门 A、D 关闭的同时，进入门 B、C 的输入数据使基本触发器翻转稳定后，门 1、2 输出端的信息才消失，这样，触发器才能可靠地接收数据，否则，触发器就不能接收数据或者不能可靠地接收数据。由于 CP 正跳变来到时，它既要打开门 A、D，又要打开门 1、2，所以如果使门 A、D 的开启快于门 1、2 的开启，就能确保在 CP 正跳变来到时触发器仍处于保持状态，否则，触发器就要接收数据。图 1-13 所示触发器就是利用门 A、D 的开启快于门 1、2 的开启，门 A、D 的关闭快于门 1、2 的关闭以及基本触发器翻转较快这些条件，来实现负边沿触发器。

在图 1-13 中， \overline{R}_D 和 \overline{S}_D 除了分别和基本触发器相连外，还分别和数据接收门 1、2 相连。下面以直接置“0”为例，来说明 \overline{R}_D 还必须和门 1 相连的原因。这里假定在 \overline{R}_D 信号作用期间 $J=1$ 。在图 1-13 所示触发器中，由于 CP 线除了和门 A 相连外，还和门 1 相连，并且门 1 的输出又和门 B 相连，因此，如果 \overline{R}_D 只和门 C、D 相连不和门 1 相连，那么，当 CP 出现负跳变时，门 A 输出端的负跳变就一定比门 B 输出的正跳变提前来到。于是，在 Q 端就会出现一个正向尖峰信号。如果用 \overline{R}_D 信号去关闭门 1，那么 CP 的负跳变就不能到达门 B。这样，就消除了尖峰信号。

3. 正边沿触发的 J-K 触发器

图 1-14(a) 所示正边沿 J-K 触发器和图 1-12 所示 D 型触发器一样，它是利用直流反馈原理来实现正边沿触发的。它的逻辑图是通过下述方法得到的：先列出 D 功能和 J-K 功能的对应关系表（图 1-14b），再由它画出如图 1-14(c) 所示的 D 的卡诺图，然后由卡诺图即可写出 D 的逻辑表达式为：

$$D = J \cdot \overline{Q_n} + K \cdot Q_n$$

再按这个表达式把 D 型触发器的“与非”门 5 换成如图 1-14(a) 所示的“与或非”门。这