

MC 68360 QUad

集成通信控制器用户手册

郭明桥 赵守香 张丽等译

010011001001010010011010100100101



MOTOROLA

人民邮电出版社

ommunication
omputer
ontroller

MC68360

QUad 集成通信控制器用户手册

郭明桥 赵守香 张 丽 等译

人 民 邮 电 出 版 社

内 容 简 介

完整的 MC68360 参考资料由 MC68360UM/AD, MC68360 QUad 集成通信控制器用户手册, M68000 PM/AD, MC68000 系列程序员参考手册和 MC68360/D, MC68360 QUad 集成通信控制器产品简介组成。

MC68360 QUad 集成通信控制器用户手册介绍了 MC68360 和 MC68EN360 的程序设计、性能、寄存器和操作; MC68000 系列程序员参考手册提供了 MC68360 的命令细节; MC68360 QUad 集成通信控制器产品简介提供了 MC68360 性能的简要介绍。本书包括 MC68360 介绍、信号描述、存储变换、总线操作、CPU32+、系统集成模块(SIM60)、通信处理模块(CPM)、IEE 1149.1 测试存取口、8360 应用电特征、定货信息和机械数据等十一章以及若干附录。参与此书翻译的除了郭明桥、赵守香、张丽外, 还有朱春明、陈晓华、刘柏、郭彦、吴景春、张文东等。

Copyright 1997, Motorola, Inc.

人民邮电出版社在 Motorola 公司授权下出版

MC68360 QUad 集成通信控制器用户手册

- ◆ 译 郭明桥 赵守香 张 丽 等
责任编辑 梁海滨
- ◆ 人民邮电出版社出版发行 北京崇文区夕照寺街 14 号
北京朝阳展望印刷厂印刷
新华书店总店北京发行所经销
- ◆ 开本: 787×1092 1/16
印张: 46.75
字数: 1174 千字 1998 年 4 月第 1 版
印数: 1—2 500 册 1998 年 4 月北京第 1 次印刷
ISBN7-115-06590-X/TN · 1232

定价: 67.00 元

目 录

第一章 简介	1
1.1 QUICC 的关键特征.....	1
1.2 QUICC 体系概述.....	4
1.2.1 CPU32+核心部分	5
1.2.2 系统集成模块(SIM60)	5
1.2.3 通信处理模块(CPM)	5
1.3 MC68302 的升级设计	6
1.3.1 体系方法	6
1.3.2 硬件兼容问题	6
1.3.3 软件兼容问题	7
1.4 QUICC 不交联系统设计.....	7
1.5 QUICC 串行配置.....	9
1.6 QUICC 串行配置例子	12
1.7 QUICC 系统总线配置	14
第二章 信号描述	16
2.1 系统总线信号索引.....	16
2.1.1 地址总线.....	16
2.1.2 功能代码(FC3~FC0)	20
2.1.3 数据总线.....	20
2.1.4 奇偶校验.....	21
2.1.5 存储控制器.....	21
2.1.6 中断请求级别($\overline{\text{IRQ7}} \sim \overline{\text{IRQ1}}$)	22
2.1.7 总线控制信号.....	22
2.1.8 总线仲裁信号.....	23
2.1.9 系统控制信号.....	24
2.1.10 时钟信号	24
2.1.11 仪表测试和仿真信号	25
2.1.12 测试信号	26
2.1.13 初始配置引脚(CONFIG)	26
2.1.14 电源信号	27
2.2 从方式下的系统总线信号索引.....	27
2.3 片内外围信号索引.....	29
第三章 QUICC 存储变换	31
3.1 双口 RAM 存储变换.....	32

3.2 CPM 子模块基地址	33
3.3 内部寄存器存储变换	33
3.3.1 SIM 寄存器存储变换	33
3.3.2 CPM 寄存器存储变换	35
第四章 总线操作	41
4.1 总线传输信号	41
4.1.1 总线控制信号	42
4.1.2 功能代码(FC3~FC0)	42
4.1.3 地址空间(A31~A0)	43
4.1.4 地址选通($\overline{AS}$)	43
4.1.5 数据总线(D31~D0)	43
4.1.6 数据选通($\overline{DS}$)	43
4.1.7 输出允许($\overline{OE}$)	44
4.1.8 字节写入允许($\overline{WE0}, \overline{WE1}, \overline{WE2}, \overline{WE3}$)	44
4.1.9 总线周期结束信号	44
4.2 数据传输机制	45
4.2.1 动态总线规模调整	45
4.2.2 不匹配的操作数	49
4.2.3 动态总线规模调整和操作数不匹配的影响	54
4.2.4 总线操作	55
4.2.5 用 $\overline{DSACKx}$ 进行同步操作	55
4.2.6 快速结束周期	56
4.3 数据传输周期	57
4.3.1 读周期	57
4.3.2 写周期	59
4.3.3 读—修改—写周期	61
4.4 CPU 空间周期	64
4.4.1 断点响应周期	64
4.4.2 LPSTOP 广播周期	65
4.4.3 模块基地址寄存器(MBAR)存取	65
4.4.4 中断响应总线周期	65
4.5 总线异常控制周期	70
4.5.1 总线错误	73
4.5.2 重试操作	75
4.5.3 停机操作	76
4.5.4 双总线故障	78
4.6 总线仲裁	78
4.6.1 总线请求	79
4.6.2 总线允许	80

4.6.3	总线允许响应	81
4.6.4	总线仲裁控制	82
4.6.5	从(禁用 CPU32+)方式总线仲裁	83
4.6.6	从(禁用 CPU32+)方式总线异常	86
4.6.7	内部存取	86
4.6.8	显示周期	87
4.7	复位操作	89
第五章	CPU32+	92
5.1	概述	92
5.1.1	特征	93
5.1.2	循环模式指令执行	94
5.1.3	矢量基寄存器	94
5.1.4	异常处理	95
5.1.5	寻址模式	95
5.2	体系总结	95
5.2.1	编程模型	96
5.2.2	寄存器	97
5.3	指令集	98
5.3.1	M68000 系列的兼容性	100
5.3.2	指令形式和注意事项	100
5.3.3	指令总结	102
5.3.4	使用 TBL 指令	117
5.3.5	嵌套子程序调用	122
5.3.6	用 NOP 指令实现流水线同步化	122
5.4	处理状态	122
5.4.1	状态过渡	122
5.4.2	特权等级	123
5.5	异常处理	124
5.5.1	异常矢量	124
5.5.2	特殊异常的处理	127
5.5.3	故障恢复	133
5.5.4	CPU32+堆栈帧	139
5.6	开发支持	142
5.6.1	CPU32+集成开发支持	142
5.6.2	后台调试模式	143
5.6.3	决定性的操作码跟踪	160
5.7	指令执行时序	161
5.7.1	资源设计	162
5.7.2	指令时序表	166

第六章 系统集成模块(SIM60)	180
6.1 模块概况	180
6.2 模块基址寄存器(MBAR)	181
6.3 系统结构和保护	182
6.3.1 系统结构	183
6.3.2 周期中断定时器(PIT)	186
6.3.3 冻结(支持)功能	188
6.3.4 低功耗停机功能	188
6.4 正常操作中的低功耗	189
6.5 SIM60 的系统时钟发生器	189
6.5.1 时钟产生方法	189
6.5.2 振荡器(分频)定标器(128 分频)	189
6.5.3 锁相环(PLL)	191
6.5.4 低功耗分频器	191
6.5.5 QUICC 的内部时钟信号	192
6.5.6 PLL 电源引脚	194
6.5.7 CLKO 电源引脚	194
6.5.8 结构引脚(MODCK1~MODCK0)	195
6.6 断点逻辑	195
6.7 外部总线接口控制	196
6.7.1 初始化配置	196
6.7.2 D 口	197
6.7.3 E 口	197
6.8 从模式(禁止 CPU32+)	197
6.8.1 多 QUICC 系统中的 MBAR	198
6.8.2 从模式下的全局片选端($\overline{CS0}$)	199
6.8.3 从模式下的总线清除	199
6.8.4 从模式下的中断	200
6.8.5 从模式下的引脚差异	200
6.8.6 从模式下的其他功能	200
6.9 程序员的模型	201
6.9.1 模块基址寄存器(MBAR)	201
6.9.2 模块基址寄存器允许(MBARE)	202
6.9.3 系统配置和保护寄存器	203
6.9.4 E 口引脚分配寄存器(PEPAR)	218
6.10 内存控制器	219
6.10.1 内存控制器重要特性	220
6.10.2 内存控制器概述	221
6.11 通用片选概述	223

6.11.1	相关寄存器	224
6.11.2	8、16、32 位口宽度设置	225
6.11.3	写保护设置	225
6.11.4	可编程的等待状态设置	225
6.11.5	地址和地址空间检测	225
6.11.6	SRAM 组奇偶性	225
6.11.7	外部控制器支持	225
6.11.8	全局(Boot)片选操作	226
6.11.9	SRAM 总线错误	226
6.12	DRAM 控制器概述(DRAM 存储库(bank))	226
6.12.1	DRAM 正常存取支持	227
6.12.2	DRAM 页模式支持	228
6.12.3	DRAM 触发存取支持	229
6.12.4	DRAM 存储库奇偶性	229
6.12.5	刷新操作	229
6.12.6	DRAM 存储库外部总线支持	230
6.12.7	双驱 $\overline{\text{RAS}}$ 线	230
6.12.8	DRAM 总线错误	230
6.13	编程模式	231
6.13.1	全局存储器寄存器(GMR)	231
6.13.2	存储器控制器状态寄存器(MSTAT)	235
6.13.3	基寄存器(BR)	236
6.13.4	任选寄存器(OR)	239
6.13.5	DRAM-SRAM 操作总结	242
第七章	通信处理器模块(CPM)	243
7.1	RISC 控制器	244
7.1.1	RISC 控制器配置寄存器(RCCR)	246
7.1.2	RISC 微代码校正数目	246
7.2	命令集	246
7.2.1	命令寄存器例子	249
7.2.2	命令执行延迟(latency)	249
7.3	双口 RAM	249
7.3.1	缓冲器描述符	250
7.3.2	参数 RAM	251
7.4	RISC 定时器表	252
7.4.1	RISC 定时器表参数 RAM	253
7.4.2	RISC 定时器表目属性	254
7.4.3	RISC 定时器事件寄存器(RTER)	254
7.4.4	RISC 定时器屏蔽寄存器(RTMR)	255

7.4.5	SET TIMER 命令	255
7.4.6	RISC 定时器初始化次序	255
7.4.7	RISC 定时器初始化例子	255
7.4.8	RISC 定时器中断处理	256
7.4.9	RISC 定时器表规则(Algorithm)	256
7.4.10	RISC 定时器表的应用:跟踪 RISC 加载(loading)	256
7.5	定时器	257
7.5.1	定时器关键特性	257
7.5.2	通用定时器单元	257
7.5.3	定时器举例	262
7.6	IDMA 通道	263
7.6.1	IDMA 关键特性	263
7.6.2	IDMA 寄存器	264
7.6.3	接口信号	270
7.6.4	IDMA 操作	271
7.6.5	IDMA 例子	287
7.7	SDMA 通道	289
7.7.1	SDMA 总线仲裁和总线传送	290
7.7.2	SDMA 寄存器	291
7.8	带时隙分配器的串行接口	293
7.8.1	SI 关键特征	294
7.8.2	TSA 概述	295
7.8.3	允许与 TSA 的连接	298
7.8.4	SI RAM	298
7.8.5	SI 寄存器	305
7.8.6	SI IDL 接口支持	315
7.8.7	SI GCI 支持	319
7.8.8	串行接口同步化	322
7.8.9	NMSI 配置	322
7.9	波特率发生器(BRGS)	325
7.9.1	自动波特率支持	326
7.9.2	BRG 组合寄存器(BRGC)	327
7.9.3	UART 波特率示例	329
7.10	串行通信控制器(SCC)	330
7.10.1	SCC 概述	331
7.10.2	通用 SCC 模式寄存器(GSMR)	332
7.10.3	SCC 协议专用模式寄存器(PSMR)	339
7.10.4	SCC 数据同步寄存器(DSR)	339
7.10.5	SCC 发送需求寄存器(TODR)	340

7.10.6	SCC 缓冲区描述符	340
7.10.7	SCC 参量 RAM	342
7.10.8	发自 SCC 的中断	345
7.10.9	SCC 初始化	346
7.10.10	SCC 中断处理	346
7.10.11	SCC 定时控制	347
7.10.12	数据锁相环(DPLL)	348
7.10.13	时钟误操作检测	352
7.10.14	运行中禁止 SCC	353
7.10.15	节约功耗	354
7.10.16	UART 控制器	354
7.10.17	HDLc 控制器	376
7.10.18	HDLc 总线控制器	392
7.10.19	Apple Talk 控制器	397
7.10.20	BISYNC 控制器	400
7.10.21	透明控制器	415
7.10.22	RAM 微指令	426
7.10.23	以太网控制器	426
7.11	串行管理控制器(SMC)	451
7.11.1	SMC 概述	452
7.11.2	通用 SMC 方式寄存器(SMCMR)	453
7.11.3	SMC 缓冲区描述符	453
7.11.4	SMC 参量 RAM	453
7.11.5	运行中禁止 SMC	456
7.11.6	节省功耗	458
7.11.7	作为 UART 的 SMC	458
7.11.8	SMC UART 举例	468
7.11.9	SMC 中断处理	469
7.11.10	SMC 作为透明控制器	469
7.11.11	SMC 透明 NMSI 举例	478
7.11.12	SMC 透明 TSA 举例	479
7.11.13	SMC 中断处理	480
7.11.14	SMC 作为 GCI 控制器	480
7.12	串行外围界面(SPI)	485
7.12.1	概述	485
7.12.2	SPI 关键特征	485
7.12.3	SPI 时钟和引脚功能	486
7.12.4	SPI 发送/接收过程	487
7.12.5	SPI 编程方式	488

7.12.6	SPI 主片举例	499
7.12.7	SPI 从片举例	499
7.12.8	SPI 中断处理	500
7.13	并行接口(PIP)	501
7.13.1	PIP 关键特征	501
7.13.2	PIP 概述	501
7.13.3	通用 I/O 引脚(B口)	502
7.13.4	内锁定数据传输	502
7.13.5	脉冲数据传输	503
7.13.6	透明数据传输	505
7.13.7	编程模式	506
7.13.8	Centronics 控制器概述	509
7.13.9	B口寄存器	520
7.14	并行 I/O 口	521
7.14.1	并行 I/O 关键特征	521
7.14.2	并行 I/O 概述	521
7.14.3	A口引脚功能	522
7.14.4	A口寄存器	523
7.14.5	A口举例	523
7.14.6	B口引脚功能	525
7.14.7	B口寄存器	526
7.14.8	B口举例	527
7.14.9	C口引脚功能	527
7.14.10	C口寄存器	529
7.15	CPM 中断控制器(CPIC)	531
7.15.1	概述	531
7.15.2	CPM 中断源优先权	533
7.15.3	屏蔽 CPM 内的中断源	535
7.15.4	中断矢量产生和计算	536
7.15.5	CPIC 编程模型	537
7.15.6	中断处理程序示例	540
第八章	扫描链测试访问口	542
8.1	概述	542
8.2	TAP 控制器	543
8.3	边界扫描寄存器	544
8.4	指令寄存器	551
8.4.1	EXTEST	551
8.4.2	SAMPLE/PRELOAD	551
8.4.3	BYPASS	552

8.4.4	CLAMP	552
8.4.5	HI-Z	552
8.5	QUICC 限制	552
8.6	非扫描链操作	553
第九章	应用	554
9.1	最小系统结构	554
9.1.1	QUICC 的硬件结构	554
9.1.2	存储器接口	556
9.1.3	软件结构	561
9.2	如何进行 QUICC 的软件测试驱动	563
9.3	从 MC68302 IMP 发送代码至 MC68360 QUICC	567
9.3.1	CPU 和编译器	567
9.3.2	异/同	568
9.3.3	关于端接的注意事项	568
9.3.4	如何发送 MC68302 功能	568
9.4	使用 QUICC MC68040 组合模式	577
9.4.1	MC68EC040 与 QUICC 的接口	578
9.4.2	存储器接口	582
9.4.3	软件结构	590
9.4.4	多个 QUICC 与一个 MC68EC040 的接口	592
9.5	选择 MC68EC040 的高速缓存模式	593
9.5.1	算法	593
9.5.2	保护	594
9.5.3	MC68EC040 的高速缓存操作	594
9.5.4	允许高速缓存模式	594
9.6	QUICC 与 53C90 SCSI 控制器的接口	595
9.6.1	SCSI 概述	595
9.6.2	物理接口	595
9.6.3	逻辑接口	599
9.6.4	功能描述	600
9.6.5	硬件结构	601
9.6.6	主动 SCSI 终接	604
9.6.7	软件结构	604
9.7	使用 QUICC 作为板自测试的 TAP 控制器	605
9.7.1	板的布局	606
9.7.2	板测试	607
9.7.3	微控制器接口	608
9.7.4	测试模式的产生	609
9.8	MC68EC030 主控器与处于从模式的 QUICC 的接口	611

9.8.1	MC68EC030 与 QUICC 的接口	611
9.8.2	存储器接口	615
9.8.3	软件结构	620
9.8.4	多个 QUICC 与一个 MC68EC030 的接口	622
9.8.5	QUICC 使用高速 MC68EC030 主控器	622
9.9	将后台调试模式连接器置于目标板中	623
第十章	电气特性	625
10.1	最大额定值	625
10.2	温度特性	625
10.3	电源考虑	626
10.4	AC 电气指标定义	626
10.5	DC 电气指标	628
10.6	AC 电源消耗	629
10.7	AC 电气指标控制时序	630
10.8	PLL 的外部电容	632
10.9	总线操作 AC 时序指标	633
10.10	总线操作——DRAM 存取的 AC 时序指标	649
10.11	030/QUICC 总线类型为从模式的总线仲裁的 AC 电气指标	654
10.12	030/QUICC 总线类型为从模式的内部读/写/应答异步周期的 AC 电气指标	656
10.13	030/QUICC 总线类型为从模式的内部读/写/应答同步周期的 AC 电气指标	658
10.14	030/QUICC 总线类型的 SRAM/DRAM 周期的 AC 电气指标	663
10.15	040 总线类型为从模式的总线仲裁的 AC 电气指标	668
10.16	040 总线类型为从模式的内部读/写/应答周期的 AC 电气指标	669
10.17	040 总线类型的 SRAM/DRAM 周期的 AC 电气指标	672
10.18	IDMA 的 AC 电气指标	679
10.19	PIP/PIO 的 AC 电气指标	681
10.20	中断控制器的 AC 电气指标	683
10.21	波特率发生器的 AC 电气指标	684
10.22	时间电气指标	685
10.23	SI 电气指标	686
10.24	NMSI 模式中的 SCC——外部时钟电气指标	690
10.25	在 NMSI 模式中的 SCC——内部时钟电气指标	690
10.26	以太网电气指标	692
10.27	SMC 发送模式的电气指标	695
10.28	SPI 主片电气指标	696
10.29	SPI 从片电气指标	697
10.30	JTAG 电气指标	699

第十一章 定货信息和机械数据	702
11.1 标准定货信息	702
11.2 引脚布局——240 根引脚、扁平封装、四边引线(QFP)	703
11.3 引脚布局——241 根引脚、针点网格阵列(PGA)	705
11.4 引脚布局——357 根引脚、球状网格阵列(BGA)	706
11.5 封装尺寸——CQFP(以 FE 为后缀)	707
11.6 封装尺寸——PGA(以 RC 为后缀)	708
11.7 封装尺寸——BGA(以 ZP 为后缀)	709
附录 A 串行特性	710
附录 B 开发工具和支持	712
B.1 摩托罗拉软件模块	712
B.2 其他协议的软件支持	716
B.3 第三方软件支持	716
B.4 M68360 QUADS 开发系统	716
B.5 其它开发板	719
B.6 直接面对目标的开发	719
附录 C RISC 执行 RAM 微代码	720
C.1 信号系统 #7 控制器	720
C.1.1 特性	721
C.2 多重 GCI 控制器	721
C.2.1 典型应用	722
C.2.2 MGCI 控制器的主要特性	722
C.2.3 特性	723
C.3 ATOM1/ATM 控制器	723
C.3.1 主要特性	724
C.3.2 特性	724
C.4 PPP 的异步 HDLC	724
C.4.1 主要特性	724
C.4.2 特性	725
C.5 PROFIBUS 控制器	725
C.5.1 主要特性	725
C.6 增强的以太网过滤	726
C.6.1 主要特性	726
C.6.2 特性	726
附录 D MC68MH360 产品概述	727
D.1 QUICC 32 的主要特性	727
D.1.1 概述	727
D.1.2 串行接口	727
D.1.3 系统接口	728

D.2	QUICC 结构概述	728
D.2.1	CPU32+核心	728
D.2.2	系统综合模块(SIM60)	729
D.2.3	通信处理控制器(CPM)	730
D.2.4	QMC 微代码	731
D.2.5	数据溢出	732
D.2.6	数据管理	733
D.2.7	特性	733
D.2.8	开发支持	734
D.2.9	定货信息	734

简介

MC68360 QUad 集成通信控制器(QUICC™)是一个多用途的单片集成微处理器,有良好的与外围接口能力,可用在多种控制应用场合,特别适用于通信方面。QUICC(读作“quick”)可称得上在设备操作的所有方面都具有更高性能、更多灵活性、更多功能扩展和更高集成度的下一代 MC68302。名词“quad”来源于这样一个事实,即设备上有 4 个串行通信控制器(SCC),但它实际上有 7 个串行通道,4 个 SCC,2 个串行管理控制器(SMC),1 个串行外围接口(SPI)。

本书的目的就是介绍所有 QUICC 的功能操作。尽管文中有 CPU32+的概述,但除此之外还需要借助于 M68000 PM/AD, M68000 系列程序员参考手册。另外, CPU32RM/AD, M68300 系列 CPU32 参考手册也提供了关于 CPU32 的信息。

1.1 QUICC 的关键特征

下面总结了 MC68360 QUICC 的关键特征:

- CPU32+处理器(4.5 MIPS, 25MHz)
 - CPU32 的核心部分是 32 位版本(与 CPU32 完全兼容)
 - 后台调试模式
 - 位不匹配提示
- 适用于 32 位数据总线(8 位和 16 位的动态总线规模)
- 完全的静态设计(0—25MHz 操作)
- 以从属方式禁用 CPU32+(允许使用外部的处理器)
 - 多个 QUICC 可以共享一个系统总线(单主)
 - MC68040 伴随模式允许 QUICC 成为 MC68040 的伴随板和智能外围(22 MIPS, 25MHz)
 - 也支持外部 MC68030 型的总线管理
 - 所有的 QUICC 特征可用于从方式
- 存储控制器(8 个组)
 - 包含完整的动态随机存取存储(DRAM)控制器
 - 每个库可作为一个片选或支持一个 DRAM 组
 - 多达 15 个等待状态
 - DRAM 单在线存储模块(SIMM)的非交联接口,静态随机存取存储器(SRAM),电可编程只读存储器(EPROM),快速 EPROM 等等

- 4 条 $\overline{\text{CAS}}$ 线, 4 条 $\overline{\text{WE}}$ 线, 1 条 $\overline{\text{OE}}$ 线
- 复位时片选启动可用 (有 8、16 或 32 位存储选项)
- MC68040 的特有特征包括突发模式支持
- 4 个通用定时器
 - MC68302 定时器的超级集合
 - 4 个 16 位定时器或 2 个 32 位定时器
 - 门模式可以允许/禁用计数
- 2 个独立的 DMA (IDMA)
 - 单地址模式用于快速转换
 - 缓冲区链和自动缓冲区模式
 - 自动完成高效封装
 - 32 位的内部和外部转换器
- 系统集成模块 (SIM60)
 - 总线监控
 - 双总线故障监控
 - 假中断监控
 - 软件看门狗
 - 周期中断定时器
 - 低功耗停止模式
 - 时钟合成器
 - 断点逻辑提供片内硬件断点
 - 外部主控可用片内特征如片选
 - 内部主控可用无开销的片内总线仲裁
 - JTAG 测试存取端口
- 中断
 - 7 条外部 $\overline{\text{IRQ}}$ 线
 - 12 个有中断能力的引脚
 - 16 个内部中断源
 - SCC 之间的可编程优先权
 - 可编程最高优先权请求
- 通信处理模块 (CPM)
 - RISC 控制器
 - 许多新的命令 (例如完备的停止传送, 关闭 RxBD)
 - 224 个缓冲区描述符
 - 支持所有通道的连续发送和接收模式
 - 2.5k 字节的双口 RAM
 - 14 个串行 DMA (SDMA) 通道
 - 3 个有开放式释放能力的并行 I/O 寄存器
 - 每个串行通道可有自己的引脚 (NMSI 模式)