

71
6

计算机通信大全

白英彩 主编



光明日报出版社

责任编辑：沈 汉 弼

装帧设计：石 亦 义

计 算 机 通 信 大 全

白英彩 主编

光明日报出版社出版

北京永安路 106 号

*

常熟市文化印刷厂印刷

新华书店上海发行所发行

开本：787×1092 1/16 印张：105.25 字数：2690 千字

1990 年 6 月第 1 版 1990 年 6 月第 1 次印刷

印数：1—2,600

ISBN 7-80014-045-8/G·025

定价：75.00 元

计 算 机 通 信 大 全

主 编 白英彩

常务副主编 俞时权

副 主 编 王立新 俞志定 孙德文 冯大本 沙建军

编委 (按姓氏笔划为序):

王立新	王卡克	王金尧	王 能	韦众成	白英彩	申继达	丛一民
冯大本	冯 欣	朱会友	汤勤恒	刘文娟	刘汝璞	刘寿和	孙德文
严 华	李小菁	吴瑞融	闫玉铭	沙 英	沙建军	沈立文	沈季东
沈贵发	沈海华	沈 清	陆一蓉	张 卫	张建平	张春宝	林 伟
杨 士	罗 格	周小兵	金正谊	金克家	赵福宁	顾天柱	顾 全
顾良士	顾 强	顾程交	钟仲侃	俞志定	俞时权	姚芸琪	胡小龙
夏川江	陶永振	袁健民	梁 士	焦 明	管桂欽	樊兆勋	穆德正
潘学正	魏若铭	魏树明					

审校委员会专家组成员 (按姓氏笔划为序):

马范援	朱亦梅	孙廷才	宋 康	李怀斌	陈兴荣	杨明福	胡振刚
高传善	高毓乾	景勃兴					

前 言

随着大规模集成电路技术的不断发展,微处理器及其在通信领域中的应用也日益广泛,这就为实现信息化社会提供了坚实的技术条件和物质基础。

近年来,国际上最有名的十几家计算机器件生产厂商已经生产并投入市场的几百种计算机通信与接口器件和部件,深受广大用户欢迎,这些部器件为世界各国的通信现代化提供了最先进的技术手段。随着我国的“改革和开放”政策的实施,对发展计算机通信事业提出了极为迫切的需要,本书正是为帮助广大从事数字通信技术的读者学习和使用最新通信器件、部件而编写的。

我们在编写《计算机通信大全》一书时所依据的原则是:

- 在内容上尽可能齐全、新颖、实用、翔实,且重点突出;
- 在技术上力求准确、先进并有持久的实用价值;
- 在叙述上由浅入深、循序渐近,在概念上讲清本质、明晰透彻;
- 在结构上力求严谨、层次分明,既保持相对统一的叙述风格,又突出各器件和部件的特点。

这正是本书的特色,它集国际上当前最实用的计算机通信器件之大成,读者信手查阅,方便实用,实属国内外鲜见之作。

本书收编了近二百种计算机通信器件和部件,对每种部器件都分概述、主要性能指标、引脚功能与框图、功能描述、应用与示例等五个方面加以阐述。供读者通过本书的阅读,能对计算机接口与通信技术有一个较全面的了解,并形成一定的设计和运用的能力。书中特别着重收编了微型计算机的各种串、并行通信接口器件,以及以微机为基础的局部网络器件。

全书共六章:串行通信器件、并行通信器件、远程通信器件、局网通信器件、通信控制器和通信部件。读者可根据需要顺序查阅。

由于当今世界上计算机通信技术的发展十分迅猛,新器件和部件也不断推出,待本书同读者见面时,一定会出现更新的部器件,这有待本书再版时补进。鉴于本书内容纷繁,所编入的部器件经多次遴选,参加编写、校订和审阅的专家众多,为此特设有编委会和审核委员会,在通力合作奋战三年才最终完成的。在这个意义上,可以说本《大全》是近七十余名专家在计算机通信方面多年科研、教学和工程实践的结晶,现奉献给广大读者。当然,书中还难免有疏漏或欠妥之处,恳请广大读者不吝指正。

编者谨识

目 录

前言

第一章 串行通信器件

§ 1.1	Intel 8273 可编程 HDLC/SDLC 协议控制器	1
§ 1.2	Intel 8274 多协议串行控制器	19
§ 1.3	Intel 82530 串行通信控制器	39
§ 1.4	Intel 8251 A 通用同步异步收发器	91
§ 1.5	MC 6850 异步通信接口适配器	101
§ 1.6	MC 68 HC 51 异步通信接口适配器	108
§ 1.7	MC 6852 同步串行数据适配器	111
§ 1.8	MC 68 HC 53 异步通信接口适配器	124
§ 1.9	MC 6854 高级数据链路控制器	128
§ 1.10	MC 68652/MC 2652 多协议通信控制器	147
§ 1.11	MC 68681 通用双异步接收/发送器(DUART)	164
§ 1.12	HD 64941 异步通信接口	175
§ 1.13	Z 8030 串行通信控制器	178
§ 1.14	Z 8031 异步串行通信控制器	192
§ 1.15	Z 8440 串行 I/O 控制器	203
§ 1.16	Z 8441 串行 I/O 控制器	213
§ 1.17	Z 8442 串行 I/O 控制器	213
§ 1.18	Z 8470 双通道异步接收/发送器	213
§ 1.19	Z 8530 串行通信控制器	221
§ 1.20	Z 8531 异步串行通用控制器	237
§ 1.21	F 6850 异步通信接口适配器	250
§ 1.22	F 6852/F 68 A 52/F 68 B 52 同步串行数据适配器	253
§ 1.23	F 6854/F 68 A 54/F 68 B 54 先进数据链路控制器	255
§ 1.24	F 6856 同步协议通信控制器	275
§ 1.25	F 16456 多协议通信控制器	296
§ 1.26	F 38456/F 68456 多协议通信控制器	299
§ 1.27	DP 8340 串行双相发送/编码器	303
§ 1.28	DP 8341 串行双相接收/译码器	308
§ 1.29	DP 8342 高速串行发送/编码器	313
§ 1.30	DP 8343 高速串行接收/译码器	317
§ 1.31	HD 6852/HD 68 A 52 同步串行数据适配器	322
§ 1.32	HD 6350/HD 5850 异步通信接口适配器	324
§ 1.33	HD 68562 双通道串行通信控制器	327
§ 1.34	WD 2501 串行数据通信收发器	330
§ 1.35	WD 2511 串行数据通信收发器	333

§ 1.36	SC 2651 可编程通信接口器件	335
§ 1.37	SC 2661 可编程通信接口器件	338
§ 1.38	SC 2652 同步串行数据收/发器	340
§ 1.39	COM 5025 多协议通用同步收/发器	343
§ 1.40	CY 232 并/串行接口器件	345
§ 1.41	MC 2671 可编程键盘与通信控制器	348
§ 1.42	8256 多功能通用异步收/发器	362
§ 1.43	TMS 5501 多功能 I/O 控制器	366
§ 1.44	Intel 82510 串行通信控制器	373
§ 1.45	INS 8250 异步通信器件	403

第二章 并行通信器件

§ 2.1	Intel 8291 GPIB 接口	414
§ 2.2	Intel 8292 GPIB 接口	420
§ 2.3	Intel 8294 数据加密器件	433
§ 2.4	Intel 8293 GPIB 收发器	442
§ 2.5	MC 3446 A GPIB 收发器	453
§ 2.6	MC 3447 GPIB 双向收发器	454
§ 2.7	MC 3448 A GPIB 双向收发器	457
§ 2.8	MC 6820 外设接口适配器	459
§ 2.9	MC 6821 外设接口适配器	459
§ 2.10	MC 6822 工业接口适配器	465
§ 2.11	MC 6859 数据保密器件	472
§ 2.12	MC 68120 智能外设控制器	478
§ 2.13	MC 68121 智能外设控制器	512
§ 2.14	MC 68488 通用接口适配器	512
§ 2.15	MC 68H C 21 外设接口适配器	524
§ 2.16	MC 68230 并行接口/定时器	531
§ 2.17	Z 80-PIO 控制器	538
§ 2.18	Z 8036 通用外设器件	543
§ 2.19	Z 8038 先进先出 I/O 接口器件	560
§ 2.20	Z 8060 先进先出缓冲器件	576
§ 2.21	Z 8090 通用外设控制器	579
§ 2.22	Z 8094 通用外设控制器	586
§ 2.23	Z 8594 通用外设控制器	586
§ 2.24	Z 8590 通用外设控制器	599
§ 2.25	Z 8536 计数/计时器与并行 I/O 器件	600
§ 2.26	CDP 1851 可编程接口器件	615
§ 2.27	F 6821 外设接口适配器	618
§ 2.28	F 3861 外设 I/O 器件	621
§ 2.29	F 3871 外设 I/O 器件	629
§ 2.30	F 6820 外设接口适配器	642
§ 2.31	F 68A21/F 68B21 外设接口适配器	649
§ 2.32	F 68488 通用接口适配器	649

§ 2.33	F 9449 多数据通道控制器	661
§ 2.34	F 16203 四通道控制器	670
§ 2.35	F 16488 GPIB 控制器	673
§ 2.36	DS 3666 八通道双向收发器	675
§ 2.37	DS 3667 八通道双向收发器	679
§ 2.38	DS 75160 A/DS75161 A/DS 75162 A 八通道双向收发器	681
§ 2.39	DS 7641/DS 8641 高速驱动/接收器	684
§ 2.40	DP 8216/DP 8216 M 四位双向总线驱动器	685
§ 2.41	DP 8226/DP 8226 M 四位双向总线驱动器	687
§ 2.42	HD 6321 通用外设接口适配器	688
§ 2.43	Intel 8255 A 可编程并行 I/O 器件	695
§ 2.44	Intel 8291 A GPIB 发送/接收器	709
§ 2.45	Intel 82 C 55 A 可编程外设接口	726
§ 2.46	MC 68122 群集终端控制器	741

第三章 远程通信器件

§ 3.1	Intel 2910 A 脉冲编码调制 Codec	745
§ 3.2	Intel 2911 A-1 脉冲编码调制 Codec	756
§ 3.3	Intel 2912 A 脉冲编码调制线路滤波器	765
§ 3.4	Intel 2913/2914 脉冲编码调制 Codec	773
§ 3.5	Intel 2916/2917 编码译码/滤波器	802
§ 3.6	Intel 29C13/29C14 脉冲编码调制 Codec	808
§ 3.7	Intel 29C16/29C17 编码译码/滤波器	818
§ 3.8	Intel 29C53 数字循环控制器	823
§ 3.9	Intel 29C48 脉冲编码调制 Codec	833
§ 3.10	Intel 29C50A 脉冲编码调制 Codec	845
§ 3.11	Intel 2952 线路板控制器	859
§ 3.12	TP 3052 脉冲编码调制 Codec	867
§ 3.13	TP 3064/3067 脉冲编码调制 Codec	871
§ 3.14	M 5116 扩展型 Codec	875
§ 3.15	M 5156 扩展型 Codec	880
§ 3.16	TP 3053 脉冲编码调制 Codec	885
§ 3.17	TP 3054 脉冲编码调制 Codec	885
§ 3.18	TP 3057 脉冲编码调制 Codec	885

第四章 局网通信器件

§ 4.1	Intel 82586 局网协处理器	886
§ 4.2	Intel 82588 局网控制器	1027
§ 4.3	Intel 82501 Ethernet 串行接口	1088
§ 4.4	Intel 82502 Ethernet 收发器	1097
§ 4.5	MC 68605 X.25 规程控制器	1103
§ 4.6	Intel 82C501 Ethernet 串行接口	1115
§ 4.7	WD 2840 局网令牌存取控制器	1121
§ 4.8	COM 9026 局网控制器	1123
§ 4.9	Am 7990 Ethernet 控制器	1126

§ 4.10	MK 68590 Ethernet 控制器	1143
§ 4.11	Am 7991A 串行接口适配器	1149
§ 4.12	MK 3891 串行接口适配器	1152
§ 4.13	8001 Ethernet 控制器	1155
§ 4.14	8002 Ethernet 编码/解码器	1158
§ 4.15	μ PD 72105 Omninet 控制器	1161
§ 4.16	MC 68184 宽带接口控制器	1176
§ 4.17	DP 8390 网络接口控制器	1183
§ 4.18	DP 8391 串行网络接口	1195
§ 4.19	DP 8392 同轴电缆收发器接口	1199

第五章 通信控制器

§ 5.1	DSP 56001 可编程数字信号处理器	1204
§ 5.2	MC 3870 微控制器	1221
§ 5.3	F 3870 微控制器	1241
§ 5.4	Intel 2920 模拟信号处理器	1260
§ 5.5	MC 6801 微控制器	1271
§ 5.6	MC 6803 微控制器	1298
§ 5.7	MC 6804 微控制器	1298
§ 5.8	MC 6805 微控制器	1316
§ 5.9	MC 68701 微控制器	1332
§ 5.10	Intel 8044 位总线增强型微控制器	1346
§ 5.11	F 3872 微控制器	1369
§ 5.12	Z 8671 微控制器	1372
§ 5.13	Z 8681/82 微控制器	1393
§ 5.14	Z 8611 微控制器	1411
§ 5.15	Z 8601 微控制器	1429

第六章 通信部件

§ 6.1	iSBC 517 组合 I/O 扩展板	1446
§ 6.2	iSBC 519 可编程 I/O 扩展板	1450
§ 6.3	iSBC 556 光电隔离 I/O 板	1452
§ 6.4	iSBC 569 智能数字控制板	1453
§ 6.5	iSBX 311 模拟输入多模块板	1456
§ 6.6	iSBX 328 模拟输出多模块板	1459
§ 6.7	iSBX 350 并行 I/O 多模块板	1462
§ 6.8	iSBX 488 GPIB 多模块板	1466
§ 6.9	iSBC 186/51 通信计算机	1469
§ 6.10	iSBC 552/iSXM 552 通信计算机	1478
§ 6.11	iSXM 554 通信计算机	1485
§ 6.12	iiSBX 586 以太网数据链路板	1491
§ 6.13	iSBC 186/530 以太网通信单板机	1494
§ 6.14	iSBC 88/45 高级数据通信处理机板	1503
§ 6.15	iSBC 188/56 高级通信计算机	1509
§ 6.16	iSBC 534 四通道通信扩展板	1515

§ 6.17	iSBC 544 智能通信控制器板	1517
§ 6.18	iSBC 548 高性能终端控制器板	1523
§ 6.19	iSBC 561 串行 OEM 控制器板	1526
§ 6.20	iSBX 352 位串行通信板	1530
§ 6.21	iSBX 354 双通道串行 I/O 多模板板	1536
§ 6.22	iSBX 351 串行 I/O 通信板	1541
§ 6.23	iSBC1 86/410 串行通信板	1546
§ 6.24	iSBC LNK/001 MULTIBUS II/MULTIBUS I 链路板	1556
§ 6.25	iSBC CSM/001 中央服务模块	1561
§ 6.26	iPCX 344 位总线 IBM-PC 接口板	1566
§ 6.27	iRCB 44/10 位总线数字 I/O 远控板	1569
§ 6.28	iRCB 44/20 位总线模拟 I/O 远控板	1574
§ 6.29	iSBX 344 位总线智能多模板板	1578
§ 6.30	iSBC 580 多通道接口板	1584
§ 6.31	iSBC 188/48 高级通信计算机	1588
§ 6.32	iSBC 589 智能 DMA 控制器板	1593
§ 6.33	CIM-201/CIM-201 C 串行 I/O 板	1599
§ 6.34	CIM-203/CIM-203 C 双通道串行 I/O 板	1603
§ 6.35	CIM-210/CIM-210 C 通信板	1604
§ 6.36	M68KVM 33 VERSA 总线以太网控制器板	1607
§ 6.37	M 68 KVM 30 多通道通信模块	1611
§ 6.38	MVME 420 SASI 外设适配器模板	1613
§ 6.39	MP 710 数字输入系统板	1615
§ 6.40	MP 801/MP 802 数字输出系统板	1617
§ 6.41	MVME 300 GPIB 控制器板	1619
§ 6.42	MVME 310 智能控制器板	1623
§ 6.43	MVME 330 局部网络控制器板	1626
§ 6.44	MVME 400 串行端口 I/O 模板	1632
§ 6.45	iSBC 550 以太网通信控制器板	1635
§ 6.46	iSBC 186/100 MULTIBUS II 单板机	1641
§ 6.47	iSBC 286/100 A MULTIBUS II 单板机	1649
§ 6.48	iSBC 386/100 MULTIBUS II 单板机	1657

第一章

串行通信器件

§ 1.1 Intel 8273 可编程 HDLC/SDLC 协议控制器

1. 概述

Intel 8273 可编程 HDLC/SDLC 协议控制器是专为支持国际标准化组织/国际电报电话咨询委员会(ISO/CCITT)的高级数据链路控制(HDLC)和 IBM 公司的同步数据链路控制(SDLC)通信线路协议而设计的器件。该器件与 Intel 公司的高性能微计算机系统(如 MCS—88/86)完全兼容。帧级命令集利用独特的微程序控制的双处理机芯片体系结构来实现。8273 所提供的处理能力使系统 CPU 能摆脱低级的实时处理任务的负担,这种任务一般要用到控制器。

2. 主要性能指标

- 与 CCITT.25 兼容
- 与 HDLC/SDLC 兼容
- 全双工、半双工或回路 SDLC 操作
- 同步传送速率最高为 64 K 波特
- 自动产生和校验帧校验段
- 用器件内的锁相环时速率最高为 9.6 K 波特
- 可编程 NRZI(IBM 式不归零制)编码/译码
- 有两个用户可编程的调制解调器控制端口
- 数字锁相环时钟修正
- CPU 开销最小
- 与 8048/8080/8085/8088/8086 CPU 完全兼容
- 只用 +5V 一种电源。

3. 引脚说明与框图

图 1.1—1 是 8273 的引脚图,图 1.1—2 是它的内部结构框图。引脚说明如下:

V_{CC}	+5V 电源
GND	地
RESET	复位;此脚上高电平使 8273 进入空闲状态,并保持到 CPU 发一命令为止。调制解调器接口输出信号处于高电平。复位信号至少需保持 10 个 TOY。
$\overline{OS}$	片选:输入,低电平有效。片选输入启动 RD 和 WR 输入。
DB ₁ —DB ₀	数据总线;I/O,双向三态,与系统数据总线接口。
WR	写输入;写信号用于控制命令或数据从 CPU 传送到 8273。

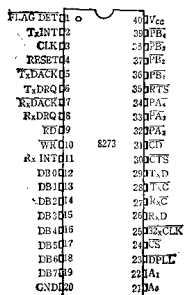


图 1.1—1 8273 引脚图

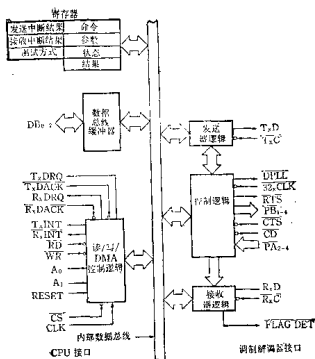


图 1.1—2 8273 内部结构框图

- RD** 读输入：读信号用于控制数据字节或状态字从 8273 传送到 CPU。
- T_xINT** 发送器中断：输出，此信号表示发送器逻辑需要中断服务。
- R_xINT** 接收器中断：输出，此信号表示接收器逻辑需要中断服务。
- T_xDRQ** 发送器数据请求：输出，在传送操作中，请求在存储器与 8273 之间传送数据。
- R_xDRQ** 接收器 DMA 请求：输出，在接收操作中，请求在 8273 与存储器之间传送数据。
- T_xDACK** 发送器 DMA 响应：输入，此信号给 8273 指明了容许的 T_xDMA 的周期。
- R_xDACK** 接收器 DMA 响应：输入，此信号给 8273 指明了容许的 R_xDMA 周期。
- A₁—A₀** 地址线：输入，这两条线是 CPU 接口寄存器选择线。
- T_xD** 发送器数据：输出，此线将串行数据发送到通信通道。
- T_xC** 发送器时钟：输入，用于发送数据的同步。
- R_xD** 接收器数据：输入，此线从通信通道接收串行数据。
- R_xC** 接收器时钟：输入，用于接收数据的同步。
- 32xCLK** 32 倍时钟：输入，当使用异步调制解调器时，此时钟用来提供时钟修正。在回路配置中，利用 32xCLK 和 DPLL 输出，不需要精确的 1x 时钟，回路站就能运行。此引脚不用时须接地。
- DPLL** 数字锁相环：输出，当不能使用 1x 时钟时，此脚输出可接至 R_xC 或 T_xC 或两者。DPLL 可用于 32x 时钟。
- FLAGDET** 标志检测：输出，此信号表示工作的接收器已接收一标志(01111110)。
- RTS** 请求发送：输出，此信号表示 8273 已准备好发送数据。

$\overline{OTS}$	清除发送; 输入, 此信号表示调制解调器已准备从 8273 接收数据。
$\overline{OD}$	载波检测; 输入, 此信号表示线路传输已开始, 8273 可开始对 R_xD 线上的数据采样。
$\overline{PA}_{2-4}$	通用输入端口; 输入, 这些线上的逻辑电平可由 CPU 通过数据总线缓冲器读出。
$\overline{PB}_{1-4}$	通用输出端口; 输出, CPU 可通过数据总线缓冲对这些输出线的写入。
OLK	时钟; 输入, 为方波 TTL 时钟。

4. 功能描述

8273 支持先进的帧级指令系统, 并用硬件实现与帧装配/拆卸和数据完整性有关的低级任务, 从而降低了 CPU 的软件开销。8273 既可用于同步通信又可用于异步通信。

在异步通信应用中, 数据可通过编程方式以 NRZI 代码进行编码/译码。时钟可利用数字锁相环从 NRZI 数据中得出。数据透明性可利用零位插入/删除技术实现。帧在接收时通过验证帧校验序列(FOS)自动检查有无错误。在发送最后一个标志之前, 自动产生和加上 FOS。

8273 能识别和产生标志(01111110)、异常中止、空闲和 GA(EOP)等字符。

8273 既可用作主(控制)站, 又可作辅站, 因此很容易配置成 SDLC 回路, 例如, 在 IBM 3650 零售商店系统中, 8273 配置成 1 位延迟方式。在此配置中, 用两条线便可有效地在控制器与回路站之间传送数据。锁相环输出可供回路站使用而不必有精确的发送器时钟。

(1) CPU 接口

CPU 接口特别适用于配备 8257 DMA 控制器的 MCS—80/85 总线, 但由于该接口十分灵活, 不仅适合 DMA 传送, 而且适合非 DMA 传送。不仅适合中断控制, 而且适合非中断控制。通过为缓冲的(仅将信息段传送给存储器)发送器命令重叠提供预中断机构, CPU 接口还可提高线路利用率。为了提高操作效率, 该接口备有独立的接收和发送中断输出通道。8273 使中断请求有效, 直到相应的中断结果读出为止。

CPU 利用其接口规定命令和数据传送。CPU 接口有 7 个经由 $\overline{CS}$ 、 A_1 、 A_0 、 $\overline{RD}$ 和 $\overline{WR}$ 信号寻址的寄存器以及两个用于接收和发送数据的独立寄存器。 A_1 和 A_0 由地址总线的两个低位引出。如用 8080 CPU, $\overline{RD}$ 和 $\overline{WR}$ 则由 8228 $\overline{I/O\overline{R}}$ 和 $\overline{I/O\overline{W}}$ 驱动。选择 7 个寄存器的编码如下表所示:

A_1	A_0	$\overline{T_xDAOK}$	$\overline{R_xDAOK}$	$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	寄存器名
0	0	1	1	0	1	0	命令
0	0	1	1	0	0	1	状态
0	1	1	1	0	1	0	参数
0	1	1	1	0	0	1	结果
1	0	1	1	0	1	0	复位
1	0	1	1	0	0	1	T_xINT 结果
1	1	1	1	0	1	0	—
1	1	1	1	0	0	1	R_xINT 结果

x	x	0	1	1	1	0	发送数据
x	x	1	0	1	0	1	接收数据

(2) 寄存器说明

1) 命令寄存器

在该寄存器中写入相应的命令便可启动它的操作。

2) 参数寄存器

要求附加信息的命令参数可写入此寄存器中。

3) 结果寄存器

保存说明执行命令输出的中间结果。

4) 发送中断结果寄存器

保存 8273 发送操作的输出结果(好/坏完成)。

5) 接收中断结果寄存器

保存 8273 接收操作的输出结果,并有附加结果,详细说明发生中断的原因。

6) 状态寄存器

反映 8273 CPU 接口的状态。

(3) DMA 数据传送

8273 CPU 接口支持两个独立的数据接口,接收数据和发送数据。在数据传送速率很高时,只要 8273 的数据传输率足够大,就适合用 DMA 进行数据传送。当 8273 工作于 DMA 方式时, DMA 接口则包括下列部分:

T_xDRQ (发送 DMA 请求): 在发送操作中请求在存储器 and 8273 之间传送数据。

$T_x\overline{DA\overline{O}K}$ (发送 DMA 响应): 给 8273 指明允许发送的 DMA 周期。还可与 $\overline{WR}$ 一起用于在非 DMA 方式中将数据传送给 8273。当 $T_x\overline{DA\overline{O}K}$ 有效时,不能发 $\overline{RD}$ 。

R_xDRQ (接收 DMA 请求): 接收操作中请求在 8273 和存储器之间传送数据。

$R_x\overline{DA\overline{O}K}$ (接收 DMA 响应): 给 8273 指明已允许接收的 DMA 周期。还可与 $\overline{RD}$ 一起用于在非 DMA 方式中从 8273 中读数据。当 $R_x\overline{DA\overline{O}K}$ 有效时,不能发 $\overline{WR}$ 。

$\overline{RD}$ 、 $\overline{WR}$ (读、写): 这两个信号用于规定数据传送的方向。

DMA 传送需要利用 DMA 控制器 (如 8257), DMA 控制器的功能是为数据传送提供顺序地址和定时,传送的起始地址则由 CPU 确定,数据块长度则由 8273 计算。

为了请求 DMA 传送, 8273 发出相应的 DMA 请求。DMA 响应和读将 DMA 数据送到总线上(与片选无关)

8273 还能用于非 DMA 数据传送方式。在此方式中, CPU 须根据状态字指明的非 DMA 数据请求将数据传送给 8273。

(4) 调制解调器接口

8273 调制解调器接口是提供专用的和用户规定的调制解调器控制功能。所有的控制信号都是低电平有效,因而可用 EIA RS-232 C 反向驱动器 (MC1488) 和反向接收器 (MC1489) 连接标准的调制解调器。在异步操作中,此接口支持可编程 NRZI 据数编码/译码,从 NRZI 数据抽取有效时钟的数字锁相环,以及能产生和检测 $\overline{CTS}$ 、 $\overline{CD}$ 和 $\overline{RTS}$ 的调制解调器控制端口;还可使 8273 工作于预帧同步方式。此时,在传送第一标志前,为了对空闲线进行同步,8273 给一个帧预先指定 16 个转变点。

应当注意, 8273 的所有端口操作都是处理逻辑值, 例如, 当 $\overline{\text{OTS}}$ 为实际 0 (逻辑 1) 时, 端口 A 的 D_0 位就是 1。

1) 端口 A (输入端口)

操作时, 8273 查询输入脚 $\overline{\text{OTS}}$ 和 $\overline{\text{OD}}$, $\overline{\text{OTS}}$ 用于规定传送启动。若在发送时 $\overline{\text{OTS}}$ 丢失, 8273 则产生中断。接收时, 若丢失 $\overline{\text{OD}}$, 8273 也产生中断。

用户规定的输入位对应于 8273 的 PA_4 、 PA_3 和 PA_2 三个脚。8273 不能查询或处理这些位。

2) 端口 B (输出端口)

在正常操作时, 若 CPU 使 $\overline{\text{RTS}}$ 置“1”, 则 8273 不改变此引脚的状态; 但若 CPU 使 $\overline{\text{RTS}}$ 置“0”, 8273 则在每次传送之前使 $\overline{\text{RTS}}$ 置“1”, 而在传送之后使 $\overline{\text{RTS}}$ 置“0”。如接收器在工作, 则每当检测到接收数据流中的标志序列时, 标志检测脚上产生脉冲。在 8273 复位之后, 就将端口 B 的所有引脚置为高电平。

用户规定的输出位对应于 PB_4 — PB_1 脚的状态。8273 不能查询或处理这些位。

3) 串行数据逻辑

串行数据由 $\overline{\text{T}_x\text{O}}$ 和 $\overline{\text{R}_x\text{O}}$ 同步, $\overline{\text{T}_x\text{O}}$ 的前沿产生新的数据, $\overline{\text{R}_x\text{O}}$ 的后沿用于采集接收数据。接收和发送数据的 NRZI 编码/译码可以编程。

串行数据逻辑的诊断功能包括可编程数据回送和接收器选择时钟。在回路方式中, T_xD 脚上的数据在内部送到取代 R_xD 脚的接收数据输入电路, 从而使 CPU 给自己发一信息, 以检查 8273 的操作。

在选择时钟诊断方式中, 当数据回送时, 外部电路可能给接收器一个错误的定时。用户可用 $\overline{\text{T}_x\text{O}}$ 取代法内的 $\overline{\text{R}_x\text{O}}$ 输入, 使得产生回路数据用的时钟可用来对该数据采样。由于 T_xD 在 $\overline{\text{T}_x\text{O}}$ 前沿结束时产生, 在后沿开始时对 R_xD 采样, 所以, 所选的时钟可以实现位同步。

4) 异步方式接口

虽然 8273 与主要用于同步通信的 HDLC/SDLC 通信线路协议完全兼容, 但是只要使用异步方式接口, 8273 也可用于异步通信。该接口用数字锁相环从接收数据流和可编程 NRZI 编码/译码进行时钟修正。NRZI 编码和 SDLC 一起使用, 保证在一帧数据内, 至少每隔 5 位时间发生数据变化, 这 5 位时间是不用零位插入时所能发送的最长的 1 的序列。只有在使用 NRZI 编码时才用 DPLL, 因为当线路发生转换时 NRZI 编码才发送零序列。DPLL 也有助于全双工和半双工异步通信的实现, 而与不用调制解调器无关。

5) 数字锁相环(DPLL)

在异步通信应用中, DPLL 可用于从接收数据流中引出时钟。DPLL 要求的输入时钟是所需波特率的 32 倍。 R_xD 可用此 $32 \times \text{OLK}$ 采样, 而 8273 DPLL 提供的采样脉冲通常以 R_xD 位单元为中心。DPLL 具有内部“抗扰性”, 用于提高抗干扰能力, 降低位失真。由于正常脉冲以 $32 \times \text{OLK}$ 的 32 计数产生, 所以, 根据数据沿所在的 4 错误象限中的哪个象限, 从正常脉冲加上或减去这些计数值。例如, 若在象限 A_1 检测到 R_xD 沿, 那么显然 DPLL 采样脉冲“A”也接收数据单元的后沿; 然后样值“B”位于 $T = T_{\text{正}} - 2$ 计数值 $= 32 \times \text{OLK}$ 的 30 计数处, 以使采样脉冲“B”移至下一位单元的正常中心。在象限 B 发生的数据沿将以 $T = 32 \times \text{OLK}$ 的 31 计数对相位作较小的调整。采用此方法, DPLL 脉冲集中于 12 数据位时

间的正常位中心。利用线路空闲获得位同步的方法要用到传送的预帧同步方式。DPLL 采样的时序如图 1.1—3 所示。

6) SDLC 回路

DPLL 可简化 SDLC 回路站的实现。在这种应用中，回路数据链路上的每个辅站都是工作于一位延迟方式的中继器。回路控制器(主站)在回路上所发生的信号从一个站传到另一站再回到该控制器。任何在 A 字段中找到地址的辅站为该站操作收集帧信息。所有收到

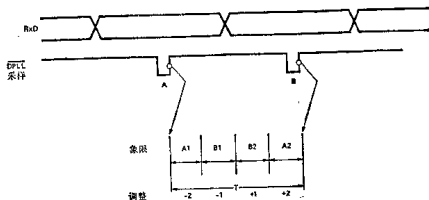


图 1.1—3 DPLL 采样时序

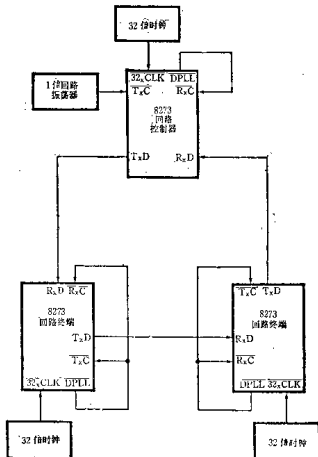


图 1.1—4 SDLC 回路接法

的帧都送到回路上的下一个站。

回路站要用来从输入 NRZI 数据流中引出位时序。DPLL 为接收数据产生采样接收 (R_s) 时钟, 并用该时钟实现发送时钟时序。SDLC 回路如图 1.1-4 所示。

(5) 操作原理

8273 是一种智能外围器件, 用于分担 CPU 与构造和接收帧有关的一类任务。它与 MCS-80/85 系统总线完全兼容。作为外围器件, 8273 能接收 CPU 来的命令, 执行这些命令, 并在执行结束时产生中断, 将结果送回 CPU。8273 与 CPU 的通信利用 $\overline{CS}$ 、 $\overline{RD}$ 和 $\overline{WR}$ 来实现, A_1 和 A_0 用来选择相应的寄存器。

8273 操作由下列事件序列组成: 命令阶段、执行阶段和结果阶段。

1) 命令阶段

在命令阶段, 软件将命令写入命令寄存器。命令字节用于说明所要求的操作类型。许多命令要用到详细的信息; 在这种情况下, 要将 4 个参数写入参数寄存器。命令阶段的流程图如图 1.1-5 所示。该图表明, 如 8273 处于忙碌状态, 则不能发命令。同样, 如在参数缓冲器满时发一参数, 则出现操作错误。

8273 是一种全双工器件, 而且发送器和接收器每个在任意时刻都执行命令或传送结果, 因此, 有独立的中断引脚。但是, 命令寄存器每次只能用于一个命令序列。

状态寄存器

状态寄存器含有 8273 操作的状态, 各位说明如下:

位 7 CBSY (命令忙) 表示命令正在执行中。当 CPU 查询命令寄存器满时该位置“1”; 命令一执行完现置“0”。当 CBSY 置“1”时写入命令就会发生操作错误。

位 6 CBUF (命令寄存器满) 表示命令寄存器已满。当 8273 接收命令字节而尚未开始执行时, 该位置“0”。

位 5 CPBF (命令参数缓冲器满) 当参数缓冲器满时, CPBF 现置“1”; 而当 8273 接收参数时就将 CPBF 置“0”。CPU 可以查询 CPBF, 来确定何时可以写入附加的参数。

位 4 CRBF (命令结果缓冲器端) 表示所执行命令的中间结果在结果寄存器中。该位由 8273 置“1”, 而当 CPU 读结果时将该位置“0”。

位 3 R_xINT (接收器中断) R_xINT 表示接收器请求 CPU 中断。它由 8273 在完成规定命令后置“1”或由非 DMA 数据传送置“1”。在 CPU 读结果字节或在非 DMA 数据传送中已从 8273 接收数据字节, 仅在此情况下将该位置“0”。

位 2 T_xINT (发送器中断) T_xINT 表示发送器请求 CPU 中断。它由 8273 完成规定

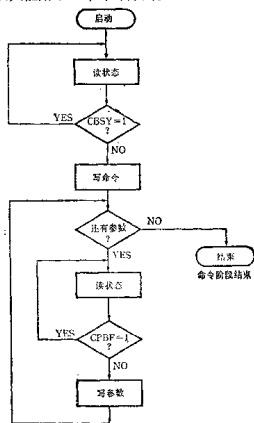


图 1-1-5 命令阶段流程