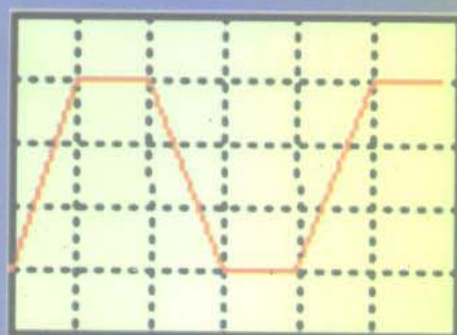
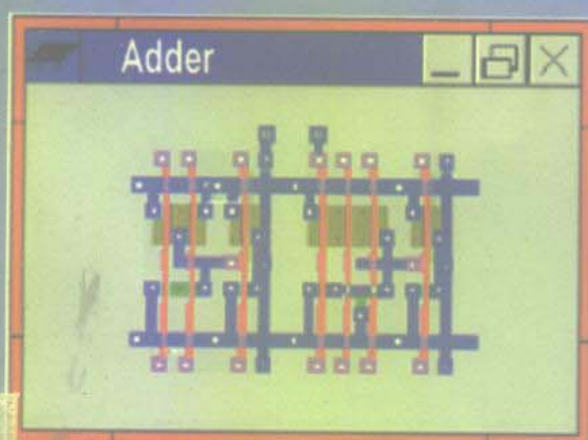
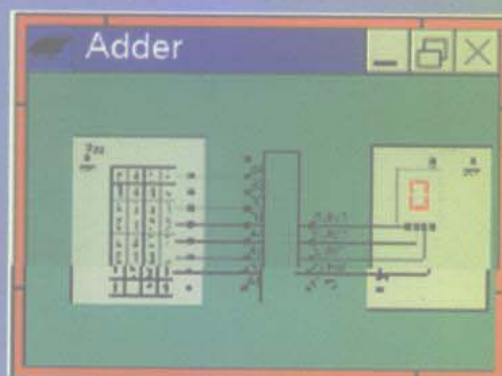


WEIDIANZI DIANLU SHEJI YUANLI JI YINGYONG

微电子电路设计原理及应用

黄建文 艾西加 编著
孟红霞 陈 希

```
module FullAdder(C,B,a,Sum,carry) :  
  input C,B,a;  
  output Sum,carry;  
  wire w1,w2,w3,w4;  
  xor xor1(a3,C,B) ;  
  xor xor2(Sum,w1,a);  
  xor xor3(w1,C,B) ;  
  and and1(w1,w3,a);  
  and and2(w2,C,B) ;  
  xor or1(carry,w4,w2);  
endmodule
```



中国铁道出版社

TN 402

H 87-2

微电子电路设计原理及应用

黄建文 艾西加 编著
孟红霞 陈 希

中 国 铁 道 出 版 社

1999年·北京

(京)新登字 063 号

内 容 简 介

VLSI 电路已进入亚微米和深亚微米级时代,对它的认识需要补充更多的知识,本书着重讲述如下内容:

亚微米电路中连接线寄生参数对电路及信号的影响;亚微米电路设计规程的应用;可编程逻辑器件;硬件描述标准语言 VERILOG HDL 的应用;ASIC 电路测试技术及测试系统软件平台等。

各章节的重要方面均有实际例子,利用书后的辅助教学软件帮助具有微电子技术基础和计算机应用基础的读者较快地领会其实质,以适应新技术发展的挑战。由于 VLSI 技术发展很快,因而参考文献中提供了一些与本书内容密切相关的网址。

本书适用于电子技术应用领域工程技术人员的再教育,也可作为大专院校计算机应用、电类专业师生作为选修课程教材。

图书在版编目(CIP)数据

微电子电路设计原理及应用/黄建文等编著. —北京:
中国铁道出版社,1999
ISBN 7-113-03324-5

DZ97/28

I. 微… II. 黄… III. 微电子技术-概论 IV. TN40

中国版本图书馆 CIP 数据核字(1999)第 18130 号

书 名:微电子电路设计原理及应用

著作责任者:黄建文 艾西加 孟红霞 陈 希 编著

出版·发行:中国铁道出版社(100054,北京市宣武区右安门西街8号)

策划编辑:殷小燕

责任编辑:殷小燕

封面设计:李艳阳

印 刷:北京彩桥印刷厂

开 本:787×1092 1/16 印张:10.5 字数:260 千

版 本:1999 年 7 月第 1 版 1999 年 7 月第 1 次印刷

印 数:1—2000 册

书 号:ISBN7-113-03324-5/TP·363

定 价:20.00 元

版权所有 盗印必究

凡购买铁道版的图书,如有缺页、倒页、脱页者,请与本社发行部调换。

序 言

微电子技术和计算机技术是当今发展最快的技术领域,它们的应用已经无所不在。如今,VLSI 电路已进入亚微米和深亚微米级时代,面对新技术的挑战,越来越多的电类/计算机类专业的大学生和教师以及工程技术人员期盼一些能够帮助他们补充与了解这一领域中最新知识的书籍。该书恰好适应了这种需求。

本书作者曾合作编著了《微电子技术 CAD/CAT 导论》和《VHDL 语言及应用》等书,书中充分利用计算机辅助教学软件,帮助学生掌握微电子设计领域所需的基本知识,引导读者步入微电子领域的大门,受到了相关师生和科技人员的欢迎与好评。

本书在上述两书的基础上,精简了当前已不太关心的方面,着重讲述一些新内容。例如,亚微米电路中连接线寄生参数对电路及信号的影响;亚微米电路设计规程的应用;半定制专用电路和可编程逻辑器件;硬件描述标准语言 VERILOG HDL 的应用;ASIC 电路测试技术等。

书中对基础理论的讲述是严谨的,各章节中的重要方面均有实际例子,它们大多数可在计算机上模拟,帮助已具有微电子技术基础和计算机应用基础的读者较快地领会其实质。

附于书后的辅助教学软件,DSCH 和 MICROWIND 是本书的重要组成部分,它们包含了丰富的教学信息,并与工业软件有良好的接口。读者在阅读该书时,若同时利用上述软件进行设计与模拟的实践,可大大提高学习兴趣,帮助理解,得到启发,收到事半功倍的效果。

由于 VLSI 技术发展很快,因而所提供的参考文献中给出有关的网址,帮助读者检索最新的发展动态。

与作者前两本书的写作风格一样,本书取材精炼、先进,理论联系实际。其中凝聚了作者的许多教学与科研成果。作者在长期的教学与科研中,利用作者及其研究生共同开发的计算机辅助教学软件,在把微电子电路课程的教与学逐步转为“启发和创造”方面做了不懈的努力,积累了丰富的经验,连同这本教材,皆是正在为中国的微电子教育而奋斗着的人们值得学习和借鉴的。

东南大学 EDA 中心 田良(教授)

1998 年 10 月

作者序言

作者曾合作编著了《微电子技术 CAD/CAT 导论》(中国电子科大出版社 1995. 8)和《VHDL 语言及应用》(中国铁道出版社 1997. 10)两书,它们以计算机辅助教学软件为引线,较全面地讲述微电子技术的基础知识,介绍 IC 计算机辅助设计和分析工具的应用。

本书在上述两书的基础上,讲述近年来发展变化较快的新内容。

全书分为三部分,共六章。

第一部分,VLSI 设计基础,包括第一章 CMOS 电路回顾;第二章亚微米电路金属连接线模型;

第二部分,计算机辅助设计技术,包括第三章 CMOS 电路计算机辅助设计;第四章半定制 IC 及可编程逻辑器件;第五章硬件描述标准语言 VERILOG HDL;

第三部分,计算机辅助测试技术。

附录 A,B,C 分别是软件应用指导和国际单位制常用符号表。

附于书后的软件 DSCH 和 MICROWIND(作者 E. SICARD, X. CHEN)是帮助读者学习的重要工具。欲购正式版本的读者可与南京东南大学“射频与光电集成电路研究所”联系(025-3793303)。

etienne@dge.insa-tlse.fr 或 hjw@jsust.edu.cn

感谢

作者引用了所在研究室的成果,特别要感谢 INSA-GERME(法)的 S. DELMA, F. CAIGNET;中科院计算所 12 室及江苏理工大学 CAT 研究室的教师和研究生们;他们出色的工作充实了本书的科学性和实用性。

作者特别感谢东南大学王志功教授,田良教授及 EDA 中心的同行们,他们在科研和教学改革中的远见和成效,给予作者很大的鼓励。

作者感谢东南大学田良教授严格细致的评阅及中国铁道出版社对本书出版的资助。

黄建文 艾西加(E. SICARD)

孟红霞 陈 希

1998. 10

[参考文献及有关网址]

- [1] The National Technology Roadmap for Semiconductors Technology Needs 1997 Edition, SIA Semiconductor Industry Association, 1997
- [2] NH. E. WESTE, K. ESHRAGHIAN, Principle of CMOS VLSI Design — A system Perspective, Second Edition, Addison-Wesley Publishing Company 1994
- [3] A. BELLAOUAR, M. I. ELMASRY, Low Power Digital VLSI Design Circuit and Systems, KLUWER Academic Publishers, 1995

- [4] X. CHEN, Gate Level Current Estimation and Simulation of CMOS Circuit, Projet de fin d'Etudes (DEA), INSA, 1998. 9
- [5] PR. GRAY, RG. MEYER, Analysis and Design of Analog Integrated Circuits 3rd Edition, JOHN WILEY & SONS Inc. , 1995
- [6] H. B. BAKOGLU, Circuits, Interconnections, and Packaging for VLSI, Addison—Wesly Publishing Company 1990
- [7] 童勤义. 微电子系统设计导论. 南京: 东南大学出版社, 1990
- [8] 沈绪榜, 杜敏. VLSI 设计导论. 北京: 高等教育出版社, 1995
- [9] 黄建文, 艾西加, 顾健. 微电子电路 CAD/CAT 导论. 成都: 电子科技大学出版社, 1996
- [10] M. J. S. SMITH, Application Specific Integrated Circuits, Addison—Wesly Publishing Company 1997
- [11] E. SICARD, Le Couplage Diaphonique dans les Circuits CMOS Sub — microniques, DIDEROT MULTIMEDIA 1998
- [12] J. M. RABAEY, Digital Integrated Circuits—A design Perspective, Prentice Hall Inc. , 1996
- [13] X. CHEN, E. SICARD, DSCH An Introduction to Logic Design for Windows 95, INSA 1997
- [14] E. SICARD, MICROWIND An introduction to Microelectronics for Windows95, INSA 1997
- [15] B. COURTOIS, CAD and Testing of Ics and Systems, Where are we going?, TIMA, 1994
- [16] 薛宏熙等. 数字系统设计自动化. 北京: 清华大学出版社, 1996
- [17] Ulrich Golze, VLSI Chip Design, with the Hardware Description Language VERILOG, Springer, Berlin Germany, 1996
- [18] D. J. SMITH, HDL DESIGN CHIP , Doone Publisher, 1997
- [19] IEEE Standard Test Access Port and Boundary Scan Architecture, The Institute of Electrical and Electronics Engineerings, Inc. , 1990
- [20] (博士论文) AH. KOCH, Regular Datapath Field Programmable Gate Arrays, Technischen Universitat Braunschweig, 1997, 07
- [21] R. LIPSETT, C. SCHAEFER etc. , VHDL: Hardware Description and Design, KLUWER Academic Publishers, 1995
- [22] 黄建文, 艾西加. VHDL 语言及应用. 北京: 中国铁道出版社, 1997
- [23] www.orcad.com (www.microsim.com)
- [24] www.doone.com
- [25] www.prep.com
- [26] www.xilinx.com
- [27] www.synopsys.com
- [28] www.wellspring.com
- [29] M. L. ALLES, Thin film SOI emerges, IEEE SPETTRUM, June, 1997
- [30] D. FOTY, MOS FET Modeling with Spice, Prentice Hall Inc. , 1997

- [31] TIMA Annual Report 1997, Grenoble, France
- [32] 杨吉祥. 数据域测试技术及仪器. 北京: 科学出版社, 1990
- [33] 孟红霞. 事件驱动体系结构的测试图形生成. 中国科学院计算技术研究所博士学位论文, 1998. 09
- [34] R. DAVID, Random Testing of Digital Circuits, Theory and Application, Marcel Dekker Inc. , 1998. 11
- [35] P. H. Bardell et al, Built In Test For VLSI, Pseudorandom Techniques, John Wiley & Son Inc. , 1987

目 录

第一部分 VLSI 电路设计基础

第一章 CMOS 电路回顾	1
§ 1.1 CMOS 电路的特点	1
§ 1.2 MOS 三极管工作原理及直流方程式	2
§ 1.3 MOS 器件模型	7
§ 1.4 CMOS 电路电流及功耗分析	10
第二章 亚微米电路连接线等效模型	14
§ 2.1 分布电阻估算	14
§ 2.2 分布电容	15
§ 2.3 分布电感的概念	21
§ 2.4 小结	25

第二部分 计算机辅助设计技术

第三章 CMOS 电路计算机辅助设计	28
§ 3.1 设计流程及设计规则	28
§ 3.2 CMOS 典型单元举例	32
§ 3.3 数据通道逻辑单元	41
§ 3.4 可读写存储单元 RAM	42
§ 3.5 BiCMOS 电路	44
§ 3.6 混合电路设计的概念	45
第四章 半定制 IC 及可编程逻辑器件	53
§ 4.1 半定制 IC	53
§ 4.2 可编程逻辑器件	54
§ 4.3 FPGA 结构生成	61
§ 4.4 选用原则	63
§ 4.5 测试结构	64
第五章 硬件描述语言 VERILOG HDL	73
§ 5.1 Verilog HDL 初貌	73
§ 5.2 在 DSCH 中应用 Verilog HDL	76

§ 5.3	结构语句.....	79
§ 5.4	变量的数据类型.....	81
§ 5.5	操作符.....	83
§ 5.6	流程控制.....	87
§ 5.7	其它.....	91
§ 5.8	建模要点.....	94
§ 5.9	样例.....	96
§ 5.10	VHDL 建模风格	102

第三部分 计算机辅助测试

第六章	计算机辅助测试技术.....	116
§ 6.1	数字电路测试的一般概念及发展	116
§ 6.2	内建自测试技术(BIST)	117
§ 6.3	自动测试系统	122
附 录	133	
A	使用 DSCH	133
B	使用 MICROWIND	145
C	国际单位制中的符号	158

第一部分 VLSI 电路设计基础

大规模集成电路的飞速进步,主要表现在其中 MOS 单元尺寸逐年下降及单位硅面积中器件集成度的逐年提高等方面,表 1.0 列出评价工艺进步的几项技术指标^{[1][5]}。

表 1.0

项 年	沟道长 μm	金属 布线 层数	芯片面积 mm^2	内部时钟 MHz	电源电压 V	阈值电压 V	门级延迟 ps
1986	1.2	2	180	40~66	5.0	0.8	840
1988	0.8	2	200	90	5.0	0.7	800
1992	0.6	3	250	120	3.3	0.6	410
1995	0.35	5	400	200	3.3	0.5	360
1998	0.25	6	600	350	2.5	0.45	260
2001	0.18	6	800	500	1.9	0.4	250
2004	0.12	6	1000	700	1.5	0.3	240

注:1:芯片面积以微处理器为代表。

2:表 1.0 中物理量,导电沟道,阈值电压,门级延迟等将在后续章节中逐一叙述。

图 1.0 是 MOS 管截面示意图,图中指出导电沟道和布线层的几何位置。

VLSI 电路的工艺技术水平常用沟道长度设计值来评价。表 1.0 表明,目前 VLSI 技术已进入亚微米级(Sub-Micron,沟道尺寸小于 $1\mu\text{m}$),和深亚微米级(Deep Sub-Micron,沟道尺寸小于 $0.5\mu\text{m}$)的时代。与微米级电路比较,其中器件模型,器件工作速度、功耗、连接线寄生参数的影响等均有较大的变化。第一、二章将解释这些变化。

附于书后的教学软件 DSCH 和 MICROWIND 是帮助读者学习的有用工具。

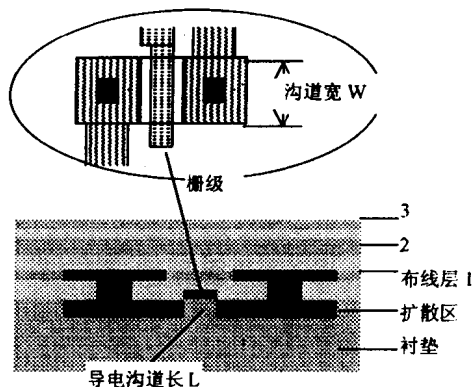


图 1.0 MOS 三极管截面示意图

第一章 CMOS 电路回顾

在 VLSI 设计领域中,目前 75%的设计人员和工艺人员在从事着与 CMOS 电路有关的工作,本章讲述 CMOS 电路基本理论,它是理解后续章节的基础。

§ 1.1 CMOS 电路的特点

CMOS 反相器是组成 VLSI 电路的基本单元,图 1.1 给出原理图及布局图。

图 1.1 中,反相器的上半部分为 PMOS 三极管,下半部分为 NMOS 三极管。输入端 V_{in} ,输出端 V_{out} ,负载电容 C_L (图中未示出)。 C_L 等效于下一级负载输入电容及金属传输线的分布电容。

图 1.2 显示 CMOS 电路输入,输出电压波形图。在静态时,当 V_{in} 处于低电平,PMOS 管导通(NMOS 管截止),电源电压 V_{dd} 通过 PMOS 管向 C_L 充电,直至 $V_{out}=V_{dd}$ 。

当 V_{in} 处于高电平时,NMOS 管导通(PMOS 管截止),输出端通过 NMOS 和 C_L 形成放电回路,放电结果 $V_{out}=0$ 。

图 1.2 同时显示了电源电流 I_{dd} 的波形。当静态时,从 V_{dd} 至 V_{ss} 没有直接的导电通路,只有漏电流(nA 级)。当上、下两个 MOS 管开关状态发生变化时,将产生瞬时的尖峰电流。

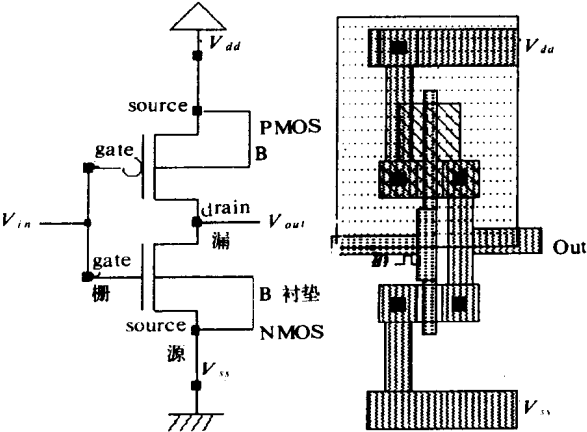


图 1.1 CMOS 基本单元的原理图及布局图

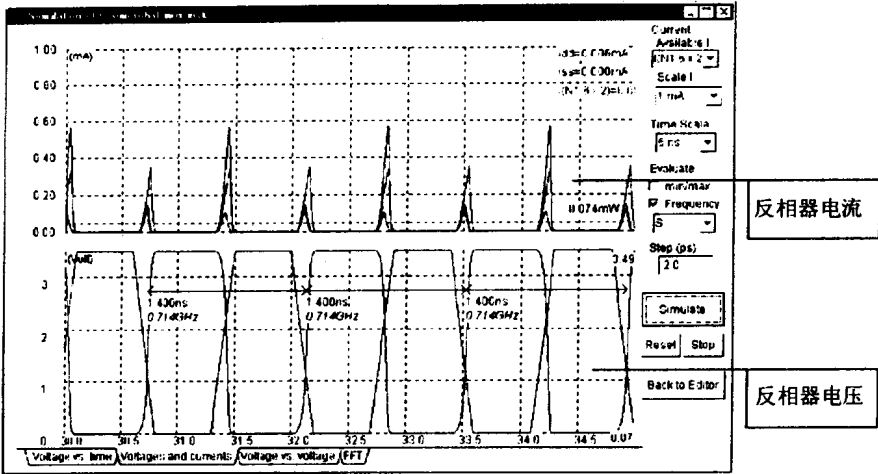


图 1.2 反相器输入,输出电压波形及电流波形图

CMOS 电路的主要特点是:结构简单,功耗极低,目前亚微米级电路的工作速度已达数百兆赫兹。由此决定了 CMOS 电路在大规模电路和超大规模电路中的统治地位。

下一节我们简要地回顾 MOS 管的工作原理和直流方程式,它是进一步分析 CMOS 电路的基础。

§ 1.2 MOS 三极管工作原理及直流方程式

1.2.1 工作原理简述

图 1.3 是 NMOS 三极管符号图及其物理结构。

NMOS 管以一块掺杂浓度较低的 P 型半导体硅为衬底(符号图中 B),在其中扩散两个高掺杂

N^- 区,分别引出源极(S)和漏极(D)。一般情况下应使得源极和衬底连接保持等电位。硅半导体的表面覆盖了二氧化硅绝缘层 SiO_2 ,在源漏间的绝缘层中间制造一层多晶硅栅区并引出栅极(G)。

由图 1.3(b)可见,当各电极上不施加任何外电压时,漏源间可以视作背靠背连接的二极管,栅极和硅衬垫间等效为以 SiO_2 为介质的平板电容器。

设 NMOS 三极管的源极和衬底等电位 $V_{bs} = 0$,漏极电压 V_{ds} ,栅极电压 V_{gs} 。当 $V_{gs} = 0$ 时,漏源间不存在导电沟道。

若 V_{gs} 逐渐增加,栅极和衬底间形成的电场将吸引 P 半导体中的少数载流子电子,而推斥其中的多数载流子空穴,从而在衬底表面形成带负电的受主离子层,又称耗尽层。

当 V_{gs} 继续增至特定的电压值 V_t 后,由于电子积累的结果,栅极下方 P 型硅表面从 P 型区转变为 N 型区,称为反型层,由此构成了漏极区和源极区之间的导电沟道。

半导体物理学中定义上述刚好生成导电沟道的栅源电压 V_t 为 MOS 管的阈值电压,它是由 MOS 管的材料,尺寸和工艺所决定的重要参数。

若 $|V_t| > 0$,则称 MOS 管为增强型的,大规模电路中均用增加型管。另一种称为耗尽型 MOS 管($|V_t| \leq 0$),只用于分立器件。

图 1.4(a), (b), (c) 分别为当 $V_{gs} > V_t$ 以后,三种情况下导电沟道的变化情况,① $V_{ds} = 0$, ② $0 < V_{ds} \leq V_{gs} - V_t$, ③ $V_{ds} > V_{gs} - V_t$ 。

情况①, $V_{gs} > V_t$, $V_{ds} = 0$, 见图 1.4(a)。

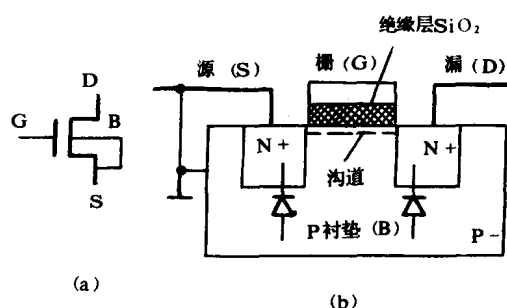
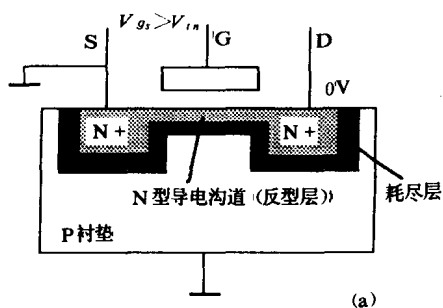
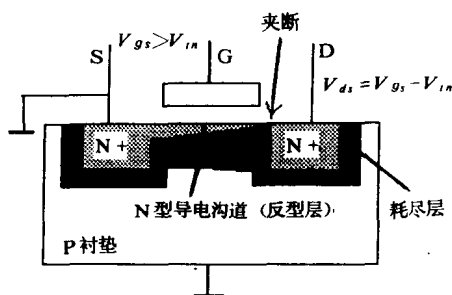


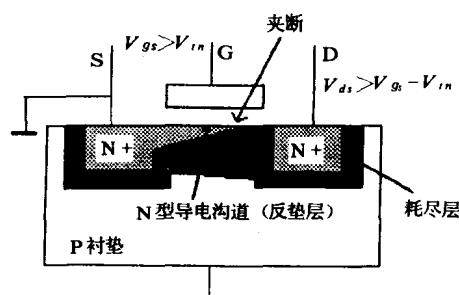
图 1.3 NMOS 三极管符号图及物理结构



(a)



(b)



(c)

图 1.4 导电沟道的变化

此时, V_{gs} 的变化将影响沟道电阻。若 V_{gs} 增加,反型层加厚,沟道电阻下降。反之,沟道电阻

将增加。

情况②, $V_{gs} > V_t, V_{ds} \leq V_{gs} - V_t$, 见图 1.4(b)。

这时沟道中各点电位是不相同的。当 $V_{ds} = V_{gs} - V_t$ 时, 在高电位端(漏区)出现“夹断”点。

情况③, $V_{gs} > V_t, V_{ds} > V_{gs} - V_t$, 图 1.4(c)。

此时, 随着 V_{ds} 增加, 夹断点将向源区方向(低电位方向)移动。但是, 导电沟道两端电压仍维持在 $V_{gs} - V_t$, 所增加的电压, $[V_{ds} - (V_{gs} - V_t)]$, 作用在漏区附近的耗尽层上, 迫使电子以较高的速度流向漏极, 从而保持了电流的连续性。

图 1.5 是 PMOS 管符号图和剖面图。PMOS 栅极仍为多晶硅材料, 它的两个 P⁺ 扩散区生成在衬底的 N⁻ 阱中。增强型 PMOS 的特性与 NMOS 是对偶的, 使用时 V_{ds}, V_{gs} 的极性与 NMOS 相反, 其阈值电压 V_{tp} 为负值 ($|V_{tp}| > 0$)。

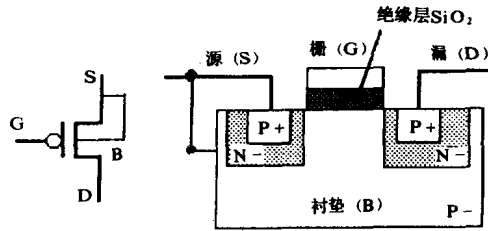


图 1.5 PMOS 三极管

1.2.2 MOS 管工作特性曲线及直流方程式[2] [9]

MOS 管的特性曲线主要有三类, 见图 1.6, 1.7, 1.8(取自 MICROWIND—Analyse)。

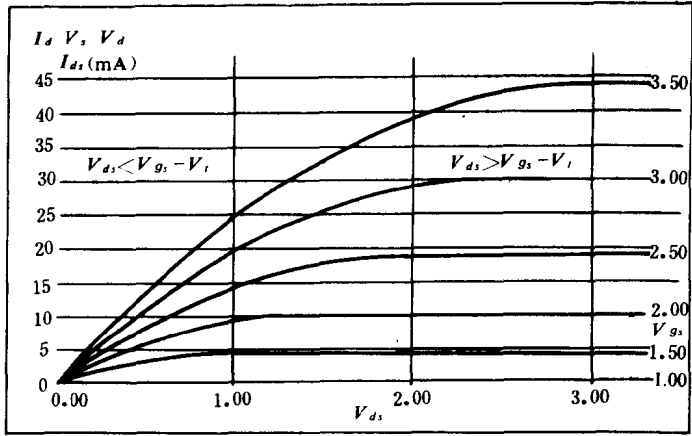


图 1.6 漏极特性 ($V_{ds}(V)$)

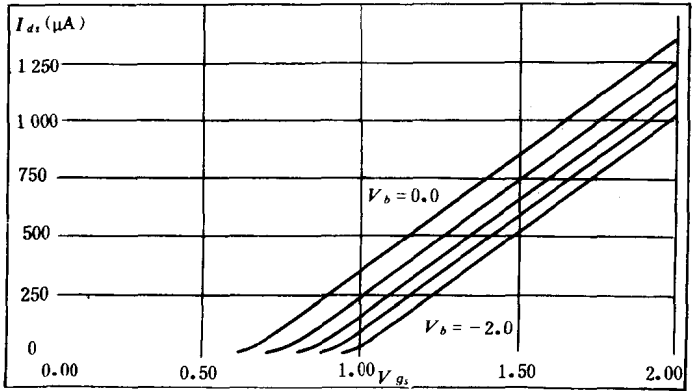


图 1.7 转移特性 ($V_{gs}(V)$)

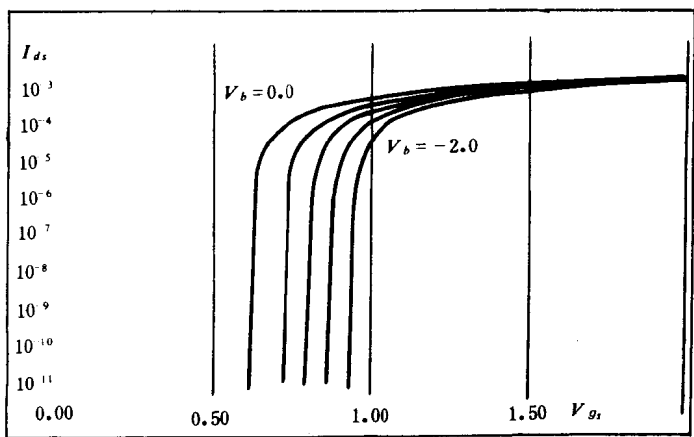


图 1.8 亚阈值区电流对数特性 ($I_{ds}(A)$, $V_{gs}(V)$)

(1)漏极特性,见图 1.6, $I_{ds}=f(V_{ds})$, 以 V_{gs} 为参变量。

该特性曲线族可分为截止区,非饱和区及饱和区。

(a) 截止区: $V_{gs} < V_t$, I_{ds} 趋于 0, 也称亚阈值区。

(b) 非饱和区: $0 < V_{ds} < V_{gs} - V_t$, 又称线性区。

直流方程式:

$$I_{ds} = \beta \left[(V_{gs} - V_t) V_{ds} - \frac{1}{2} V_{ds}^2 \right], \beta \text{ 称为 MOS 管电流放大系数;}$$

$$\text{设 } W/L \text{ 表示沟道宽度与长度之比, } \beta = \frac{\mu\epsilon}{t_{ox}} \cdot \frac{W}{L}$$

上式中其余各物理量说明于表 1.1。

表 1.1

项目 符号	定 义	单 位	数 值	说 明
μ	沟道载流子迁移率	$\text{cm}^2/\text{V} \cdot \text{s}$	$\mu_n: 500 \sim 1000$ $\mu_p: 100 \sim 400$	μ_n : 对于 NMOS 管 μ_p : 对于 PMOS 管
ϵ	SiO_2 绝缘层介电常数	F/cm	$3.9\epsilon_0$	$\epsilon_0 = 8.85 \times 10^{-14}$ F/cm(空气介电常数)
t_{ox}	栅极与衬垫间绝缘层厚度	Å(埃)	100~200	$1\text{Å} = 10^{-10}\text{m}$
β	电流放大系数		$\beta_n: 88.5(W/L)$ $\beta_p: 31.9(W/L)$	β_n : 对于 NMOS β_p : 对于 PMOS

设 C_{ox} 为单位面积栅极与沟道间等效电容, 由平板电容器基本公式可得到:

$$C_{ox} = \frac{\epsilon}{t_{ox}}$$

$$\text{故} \quad \beta = \mu C_{ox} \left(\frac{W}{L} \right)$$

(c) 饱和区, $0 < V_{gs} - V_t < V_{ds}$

$$I_{ds} = \frac{1}{2} \beta (V_{gs} - V_t)^2$$

一般来说,在放大电路中,器件工作于饱和区;在开关电路中,器件工作于截止区或线性区。

(2) 转移特性,见图 1.7, $I_{ds} = f(V_{gs})$, V_{bs} 为参变量, V_{ds} 为常数。

图 1.7 中,当 V_{bs} 不同时,阈值电压 V_t 将发生变化。

(3) 亚阈值区,见图 1.8, $I_{ds} = f(V_{gs})$,以 V_{bs} 为参变量。

当 $V_{gs} < V_t$,且 V_{ds} 很小时,随着 V_{gs} 减小, MOS 管电流以指数方式趋于 0。

此时沟道处于弱反型层物理状态。亚微米级低功耗电路中, MOS 管将工作于亚阈值区。

注:上述各直流方程中,若是 PMOS 管,则 V_{gs} , V_{tp} , V_{ds} 均为负值。

$$\beta_p = \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L} \right)_p$$

1.2.3 电路的二级效应[2]

上面给出的基本方程式,对于微米级器件 ($L > 1\mu\text{m}$),当源极与衬底间 $V_{bs} = 0$ 时,能够很好地估算其工作特性。若电路进入亚微米或深亚微米级时,则应进一步计及以下三方面的影响因素(又称二级效应)。

(1) 阈值电压 V_t 不是常数, $V_t = V_{t0} + V_{fb}$ 。

V_{t0} 为 $V_{bs} = 0$ 时的阈值电压, V_{fb} 为 $V_{bs} \neq 0$ 时的影响电压。

$$V_t = V_{t0} + \gamma [\sqrt{2\phi_b + |V_{bs}|} - \sqrt{2\phi_b}]$$

式中: γ 为影响阈值电压的体效应系数,典型值 1.0~1.2。

$2\phi_b$, 反型层中的表面电势。

例如见图 1.7,当 V_{bs} 不为 0 时,阈值电压将会上升。即外加工作电压相同时, I_{ds} 将下降。

在低功耗设计中,电路的工作电压较低,实际运行表明,当 $V_{dd}/V_t < 5$ 时,由于漏极电压对载流子的驱动能力下降,将会引起电路工作速度下降。因而功耗和工作速度是相互牵制的。其中 V_t 值是一个重要的影响参数[3]。

(2) 实际沟道长度小于设计沟道长度

设计沟道长度即在布局图中绘制的沟道长度 L 。

对于短沟道器件,由于实际工艺过程的影响及半导体物理过程的变化,实际沟道长度 L_{eff} 与 L 值并不相等,必须对电流计算公式作出修正。

$$\text{在饱和区} \quad I_{ds} = \frac{1}{2} \beta (V_{gs} - V_t)^2 + (1 + \lambda V_{ds})$$

式中 λ 为沟道长度调制系数,通常 $\lambda = 0.02 \sim 0.005$

(3) 沟道中载流子运动速度饱和的影响

MOS 管沟道中,当电场强度达到 $1\text{V}/\mu\text{m}$ 时,载流子运动速度即接近饱和速度 V_{max} 。此时, I_{ds} 的变化将独立于沟道长度, I_{ds} 的计算公式可修正为:

$$I_{ds} = V_{max} \cdot C_{ox} \cdot W \cdot (V_{gs} - V_t)^2$$

目前通用 IC 和专用 IC 均进入亚微米,深亚微米级。因而电路的计算机辅助分析模型在上述基本方程式的基础上作了很多修正。被工业界所认可的数学模型,普遍应用 SPICE(Level1

至 Level4)及 MM9(PHILIPS 公司)。模型的公开部分可参考 [30]。

下节将以 MICROWIND 为工具,将计算机模拟曲线与通过测试所得结果作比较,来了解一些主要参数对电路特性的影响。

§ 1.3 MOS 器件模型

VLSI 电路的设计过程是从系统级,电路级直至版图级的反复迭代过程,一旦芯片实现后是没有修改余地的。因而在各个层次的设计过程中均需包括模拟和测试环节,它们是建立在器件模型基础上的。

MICROWIND 中有两类模型:基于 SPICE 和基于 MM9。

SPICE 是各国大学和工业界普遍承认的电路和器件模拟器,它所用的 MOS 长沟道模型 (Level 1)与上节给出的基本方程式对应。MOS Level 3 模型是针对 1μm 器件的半经验一半物理参数模型。Level 4 又称 BSIM 窄沟道模型,已释放的 4 个版本,由于它的精确性也导致了对其应用的复杂性(定义 80 多个参数)。

1990 年,PHILIPS 公司公开了基于实验进行参数提取的 MM9 模型,该模型强调参数的物理基础和工艺基础,避免传统模型日益复杂的多项表达方式[30],因而在欧洲各大学和研究机构中被广泛地采用。

下面仅以 MOS Level 3 模型为例,说明其应用。

1.3.1 MOS Level 3 简化模型

基本 Level 3 模型中共计定义 50 多个参数。MICROWIND 中应用 Level 3 简化模型,它采用一种折衷算法,旨在调和模型的精确性和计算速度之间的矛盾。

表 1.2 列出了计算公式中主要参数的定义。

表 1.2

项 参数	默认值(CMOS 1μm 技术)	单 位	说 明
VTO (V _t)	NMOS 0.5~0.7 PMOS (-0.5)~(-0.7)	V	V _{bs} =0 时阈值电压
KP (K _p)	2.0 * 10 ⁻⁵	A/V ²	固有传输电导系数,μ * ε/tox
W		μm	沟道宽
L	1.0	μm	沟道长
TOX (tox)	0.01~0.02	μm	栅区与沟道间氧化层厚度
GAMMA (γ)	0.2~0.6	V ^{1/2}	V _{bs} /=0 时,影响阈值电压的体效应系数
COX (C _{ox})	(35~17) * 10 ⁻⁴	F/m ²	单位面积栅区与沟道间电容 ε/tox
KAPPA	0.01~0.02	1/V	饱和区电流变化系数
PHI (φ)	0.74	V	反型层表面电势(短沟道时,影响阈值电压)
VMAX (V _{max})	(1.5~2.0) * 10 ⁻⁵	m/s	载流子最大漂移速度
LD	0.01~0.1	μm	导电沟道扩散长度 Leff=L-2LD
THETA (θ)	0.05~0.15	1/V	载流子迁移率下降系数(影响 K _p)
NSS		V	亚阈值区影响电流指数变化斜率

简化的算法中,把 MOS 工作状态分为截止状态,正常状态和亚阈值状态。

(1)截止状态:

$$V_{gs} < 0, I_{ds} = 0$$

(2)正常状态:

$$V_{gs} \geq V_{on}, V_{on} = 1.2V_t$$

$$I_{ds} = K_{eff} \frac{W}{L_{eff}} (1 + KAPPA \cdot V_{ds}) V_{dr} ((V_{gs} - V_t) - \frac{V_{dr}}{2}) \quad (1)$$

(1)式中,

$$V_{on} = 1.2V_t$$

$$V_t = V_{to} + GAMMA(\sqrt{PHI} - V_{bs} - \sqrt{PHI})$$

$$V_{dr} = \min(V_{ds}, V_{dsat})$$

$$V_{dsat} = V_t + V_{sat} - \sqrt{V_c^2 + V_{sat}^2}$$

$$V_{sat} = V_{gs} - V_t$$

$$V_c = V_{max} \frac{I_{eff}}{0.06}$$

$$L_{eff} = L - 2LD$$

$$K_{eff} = \frac{K_p}{(1 + THETA(V_{gs} - V_t))}$$

(3)亚阈值状态(计算电流时以 V_{on} 替代(1)式中 V_{gs})

$$V_{gs} < V_{on}$$

$$I_{ds} = I_{ds}(V_{on}, V_{ds}) e^{((V_{gs} - V_{on})/N_{ss})} \quad (2)$$

(2)式中 $N_{ss} = nkT/q$

$n=2$,

k : 波尔兹曼常数, 1.38×10^{-23}

T : 300°K

Q : 电子电荷, $1.6 \times 10^{-19}\text{C}$

1.3.2 Level 3 模型参数对工作特性的影响

样本电路经实测后所得的特性曲线文件,在 MICROWIND 中名为 * .MES,见表 1.3。

当屏幕上同时显示基于模型的特性曲线和基于仪器测量的特性曲线时,若改变一些主要参数,即可直观地表现出模型参数对工作特性的影响。

表 1.3

W • L(NMOS) $\mu\text{m} \cdot \mu\text{m}$	W • L(PMOS) $\mu\text{m} \cdot \mu\text{m}$	说 明
80 • 1.2	80 • 1.2	缓冲器
10 • 10	10 • 10	参考样品
10 • 2.0	10 • 2.0	低功耗设计
1.0 • 0.4	1.0 • 0.4	亚微米级
10 • 0.4	10 • 0.4	亚微米级, (特殊 W)
.....		

第一步,进入 MICROWIND,点击主界面上“MOS 特性”图标,进入特性曲线模拟窗口,如图 1.9。