

微机总线规范

VESA PCI VME EISA

刘显庆
刘仁普 编译

机械工业出版社
北京大恒图像视觉有限公司

7-11256 00

386170

微机总线规范

——VESA PCI EISA VME

刘显庆 刘仁普 编译

TP366-65

1.75

机械工业出版社
北京大恒图像视觉有限公司

本书介绍了当前个人计算机中常见的几种 32 位总线。包括 EISA 总线、VME 总线、VESA 局部总线和 PCI 局部总线。

其中,对 EISA 和 VME 总线规范只作了概要介绍,读者可参阅其它资料了解它们的详细规范。

本书中,对 VESA 局部总线、PCI 局部总线的机械、电气、物理等特性作了详细的说明,给出了这两种局部总线详细的操作时序。希望对读者有所帮助。

本书可作为研究生、工程技术人员的参考书。

JS/57/05

图书在版编目(CIP)数据

微机总线规范/刘显庆等编译. —北京:机械工业出版社,
1995.7

ISBN 7-111-04762-1

I. 微… II. 刘… III. 微型计算机-总线-规范 IV. TP3-66

中国版本图书馆 CIP 数据核字(95)第 06302 号

出 版 人 马九荣(北京市百万庄南街 1 号 邮政编码 100037)

责任编辑:李振标 版式设计:冉晓华 责任校对:丁丽丽

封面设计:姚 毅

北京市密云县印刷厂印刷·新华书店北京发行所发行

1995 年 9 月第 1 版·1995 年 9 月第 1 次印刷

787mm×1092mm 1/16·15.125 印张·378 千字

0 001-2 500 册

定价:40.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

前 言

个人计算机的系统总线主要用途是主 CPU 和磁盘驱动器、显示器和打印机等外设之间传送数据。

至今为止,最成功的计算机系统总线是 IBM 的 16 位工业标准总线(ISA)。其成熟及支持度都是别的总线所不能及的。但 ISA 总线由于制定时间较久,不可避免地带有一些局限性:其数据宽度为 16 位,总线同步时钟也只有 8MHz。所以,随着半导体技术的发展,CPU 也从 8086 发展到现在的 80486 及 Pentium,CPU 的数据宽度和工作频率有了很大提高,ISA 总线显然就满足不了芯片的要求,造成了 CPU 与外设之间的数据瓶颈问题。如不能解决这个问题,无论 CPU 及外设的发展有多快,也终究还是不能得到充分的发挥和利用。

为解决这个问题,计算机界也作出了不懈的努力。出现了多种计算机总线,比较典型的有 EISA、VESA、PCI 等。

Compaq 等计算机厂商联合推出了 ISA 总线的 32 位扩展标准(EISA)。EISA 总线将 ISA 总线的的数据宽度扩展到 32 位,同时也将寻址能力扩展到 4G。而且 EISA 总线还推出了一种新的传送方式:猝发传送。数据传送率大有提高。最重要的一点是:EISA 总线与 ISA 总线保持向下兼容,ISA 外插卡能用于 EISA 插槽内,最大限度地保护了用户的利益。

与 EISA 同期出现的总线还有美国 Motorola 公司的 VME 总线。这也是一种 32 位总线。但它谈不上系统同步时钟,因为它是一种串行总线。由于它主要用于 Motorola 公司的 68000 系列 CPU,在国内较为少见,熟悉它的人并不多。

随着 CPU 的不断发展,486、Pentium 成为当今的主流芯片。而且 Intel 的 P6 芯片也在逐步露出锋芒。

象 Pentium 这样的高速 CPU,无论在容量上还是在图像处理等应用上,均要有极高的数据通过量来支持。显然这已远远超过象 ISA、EISA 这些标准总线的传送能力。所以,各种“局部总线”就应运而生。在许多局部总线中,VESA 局部总线和 PCI 局部总线是最具代表性的两种。

VESA 局部总线是视频电子标准委员会(Video Electronics Standards Association)制订的一种局部总线。其目的是解决 CPU 与视频设备(例如 VGA 等)之间的数据传送的瓶颈问题,当然,其他诸如磁盘驱动器、网卡等外设也可从其高数据宽度和高操作频率上获益。

VESA 局部总线是一种 32 位总线,并且具有 32 位寻址能力。总线的最高同步时钟可达到 50MHz。数据传输能力最高可以达到 160MB/s。VESA 总线还可以扩展到 64 位,相应地,最大数据传输能力也提高到 267MB/s。

VESA 总线只定义了一种 5V 信号环境,对于 3.3V 则没有定义。VESA 总线有一个较大的缺点是它只能带最多 3 个插槽。这严重限制了这种总线的应用。

到目前为止,VESA 总线规范的最新版本是 2.0 版。VESA V1.0 版只限于主板上器件使用,无扩展总线槽。VESA 2.0 版总线是目前 486 主机上最常见的一种总线类型。在本书中介绍的 VESA 总线规范就是 2.0 版。

外围元件互连(Peripheral Component Interconnect)是一种为主 CPU 和外设之间提供高性能数据通道的总线(PCI 总线)。

PCI 元件互连(Peripheral Component Interconnect)是一种为主 CPU 和外设之间提供高性能数据通道的总线(PCI 总线)。

PCI 总线规范是由 Intel 公司为首的一个 PCI 特别兴趣小组(Special interest Group)制订并维护的。PCI 总线也是一种 32 位局部总线,可进行 32 位寻址。可作单数据操作,也可作猝发传送。PCI 局部总线的一个与其他总线最大的区别是它有一个特别的地址空间:配置空间(Configuration Space)。

PCI 总线有许多的优点,如下所列:

- * 数据线和地址线采用多路复用结构,减少了引脚数。一般而言,目标设备可以只用 47 条引脚,而总线主控可以只用 49 条引脚。
- * PCI 总线定义了两种信号环境:5V 和 3.3V。这两种信号环境可以很容易地转换。同时,3.3V 信号环境的定义也为 PCI 总线用于便携机开辟了道路。
- * 独立于处理器。因而可支持多系列的处理器及未来的处理器。
- * 32/64 位总线透明性,允许 32 位和 64 位器件相互协作。
- * 允许 PCI 局部总线扩展板和元件的自动配置。在 PCI 器件上包含有寄存器,上面带有配置所需的器件信息。

目前,PCI 总线是 Pentium 主机所带的最常见的总线。其最新版本是 2.0 版,2.1 版尚在审定中。本书介绍的 PCI 总线规范是 2.0 版。

本书介绍的四种总线规范是相互独立的,读者可以挑选自己感兴趣的章节阅读。

参加本书编译工作的还有:何进,张晓池,刘冰,王睿,刘明,孙真贵,吴伟莲,李明,王屹,朱佳玮,许轶俊,赵怡然。

目 录

第 1 章 EISA 总线规范	(1)
第 1 节 EISA 总线的功能及特点	(1)
第 2 节 总线规范	(4)
第 3 节 定时规范	(18)
第 2 章 VME 总线规范	(33)
第 1 节 VME 总线综述	(33)
第 2 节 数据传送总线	(39)
第 3 节 DTB 仲裁总线	(43)
第 4 节 总线中断	(47)
第 5 节 VME 总线中的公共总线	(52)
第 6 节 VME 总线电气规范	(54)
第 7 节 VME 总线机械特性	(55)
第 3 章 VESA 总线规范	(58)
第 1 节 前言	(58)
第 2 节 VL-BUS 信号	(63)
第 3 节 VL-BUS 传送	(72)
第 4 节 总线主控	(86)
第 5 节 时序	(90)
第 6 节 64 位 VL-BUS	(97)
第 7 节 直流特性	(104)
第 8 节 物理特性	(106)
第 9 节 要求的支持	(111)
第 4 章 PCI 总线规范	(116)
第 1 节 前言	(116)

第 2 节 信号定义.....	(120)
第 3 节 总线操作.....	(126)
第 4 节 电气规范.....	(173)
第 5 节 机械规范.....	(194)
第 6 节 配置空间.....	(216)
PCI 附录 A 特殊周期信息.....	(230)
PCI 附录 B 操作规则.....	(231)
PCI 附录 C PCI 词汇表.....	(234)

第 1 章 EISA 总线规范

第 1 节 EISA 总线的功能及特点

1.1.1 概述

EISA 总线规范是由 COMPAQ 等兼容机厂商联合,于 1989 年推出的一种开放式总线规范。其目的是与由 IBM 推出的封闭式 MC 总线相抗衡。

由于 EISA 向下兼容,并且是开放式结构,故它给用户带来很多好处:

- (1)提供了较为稳定的软/硬件开发平台,应用系统易于向深处发展。
- (2)从扩展板及外设来看,保护了用户的投资。
- (3)兼容性较强,用户能快速有效地利用新技术。
- (4)用户选择余地大,故用户可以根据自己的实际需要来选择适当的外设、计算机及软件。

EISA 总线有两种用法,第一种是用作计算机底板总线,第二种是用作多处理机的输入输出总线。两种用法的示意框图见图 1.1。

1.1.2 EISA 总线及系统

EISA 总线有两层含意。首先在逻辑上,它是指各设备之间进行数据传送或信息操作的一组信号,这些信号满足 EISA 总线规范的电气特性及定时关系,并实现相应信号交换规范。其次,在物理意义上,它是指在计算机系统每个 EISA 连接器上的所有引脚及其在系统底板上的联接。

EISA 的扩展板连接器由上下两部分组成。上部是符合 ISA 标准的 98 个引脚,其组成与 ISA 之 AT 总线相同;下部是 EISA 特别的 90 个引脚(正反各 28+17 个)。EISA 扩充的这 90 个引脚包括:

- (1)数据线 16 条 $D<31..16>$ 。
- (2)地址线 27 条 $LA<16..2>$ 、 $LA^{\#}<31..24>$ 、 $BE^{\#}<3..0>$ 。
- (3)控制线 12 条。
- (4)电源、地线 26 条。
- (5)保留 5 条。
- (6)系统制造商专用引脚 4 条,这几条引脚不能用于扩展板。

EISA 总线连接器的下半部分有 5 个引脚位置的凸起(Access key),当 ISA 总线扩展卡插入时,这五个缺口阻止它插入下半部分,故它只与上半部分的 ISA 信号相连,实现对 ISA 板的向下兼容。而 EISA 总线扩展板则在相应的引脚位置开有口,可以深插,能较好地连接 ISA 及 EISA 总线扩展信号。

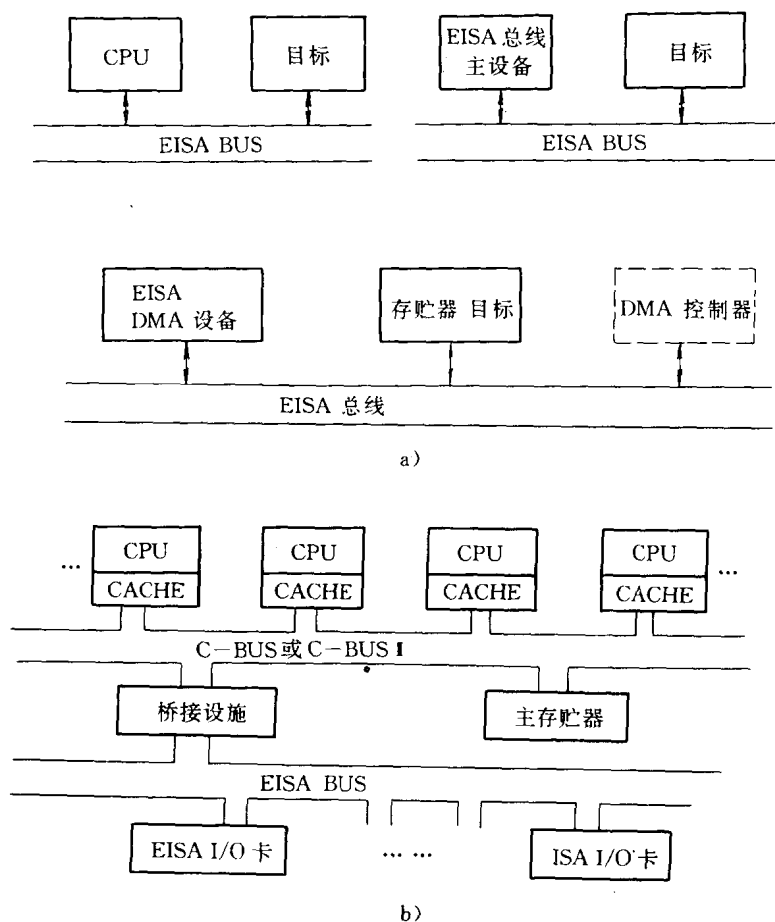


图 1.1 EISA 使用方法

a) 用作底板总线 b) 用作多处理机 I/O 总线

EISA 总线共有 143 个信号,其中数据线 32 条,地址线 54 条,控制线 57 条。故 EISA 系统能进行 32 位数据传送和 32 位寻址,而且具有更强的功能,使它较 ISA 总线系统具有快得多的数据传送率。

EISA 计算机系统由系统板、EISA (ISA) 扩展板及 EISA 总线组成。系统板上最多允许有 15 个联接器,但实际上系统配置一般不多于 8 个。

1.1.2.1 系统板

通常系统板应包括以下内容:主 CPU、总线仲裁控制器、动态存储器刷新控制器及许多基本 I/O 控制电路,如,系统 DMA 数据传输控制电路、中断管理控制电路、系统定时控制电路和系统 ROM 等。

1.1.2.2 EISA 扩展板

在 EISA 计算机系统中可以安装有多块扩展板。由于每个联接器具有一个 I/O 地址译码电路,故插入联接器的扩展板就有一个单独的 1K 字节的特别 I/O 地址空间,这个地址空间对应于此扩展板上的 I/O 寄存器。

1.1.2.3 总线主控

EISA 总线的总线主控是指一种设备,它可以使用 EISA 的控制信号,独立于主 CPU 操作总线。总线主控可以申请控制总线,经系统板上的总线仲裁器允许其控制总线后,它就可以完全控制总线信号。总线主控可以执行 EISA 总线上所有的存储器及 I/O 操作。

总线主控可以分成许多类,如:标准总线主控、猝发总线主控及下移型猝发总线主控。或分成 32 位 EISA 总线主控、16 位 EISA 总线主控、16 位 ISA 总线主控等。其中 16 位 EISA 总线主控与 16 位 ISA 总线主控的区别在于前者使用了所有 EISA 控制信号而后者只用了 ISA 控制信号。

1.1.2.4 目标

EISA 系统中的目标是指一个存储设备或一个 I/O 设备,它使用 EISA 总线上的相应控制信号来与总线接口。目标不能启动一个总线周期,它只能响应主 CPU 或其它总线主控所启动的总线周期。

同样,目标也可以分成许多类:猝发型目标或非猝发型目标。也可分成 8 位 ISA 目标、16 位 ISA 目标、16 位 EISA 目标及 32 位 EISA 目标。

1.1.2.5 注意事项

在使用 EISA 总线时,必须注意下述问题:

- (1)各信号的功能及电气特性,必须保证系统板与扩展板之间,及扩展板相互之间的有效接口。
- (2)系统定时关系及同步传输规程要使系统能进行正常的操作及传送。
- (3)总线的锁定及总线仲裁。这些规范用来实现闭锁性操作及在多个设备争用总线时根据优先权进行总线允许。
- (4)总线数据的自动转换。
- (5)EISA 系统的 DMA。
- (6)中断。
- (7)定时控制及存储器刷新。
- (8)系统的自动配置。

1.1.3 EISA 总线的特点

EISA 总线在向下兼容 ISA 总线的同时,也有许多自己的特点,与 ISA 总线相比较,EISA 总线具有如下一些特点:

- (1)主 CPU、DMA 设备、总线主控具有 16 位或 32 位数据传送能力。

32 位数据保证了 EISA 系统性能的提高。高性能的总线主控与 DMA 设备之间最大能做到 33MB/S 的数据传送率。

- (2)主 CPU、DMA 设备、总线主控都可以具有 32 位存储器寻址能力。

32 位寻址能力大大扩展了存储器空间。主 CPU、总线主控及 DMA 设备都可以操作整个 80x86 的存储器空间。对于已存在的 ISA 存储器板,可以不作修改地用于低 16MB 空间。32 位的寻址能力意味着 EISA 系统所提供的存储容量已不再受到系统体系结构的制约。

- (3)加强了对总线主控的支持。

各种 EISA 系统都能支持智能型复杂外设所组成的总线主控体系结构,从而构成功能强大的 EISA 系统。EISA 每个联接器上+5V 电源最大电流可达到 4.5A,这也为支持复杂的智能型外围设备创造了条件。

(4)采用了有效的同步传输规范。这种规范适用于常规的一次传送,也可以用于猝发方式传送。

EISA 的同步传输规范使 EISA 总线获得了高速性和灵活性,这个规范的主要特点是:

- a. 采用一个基准公共时钟,让各总线主控及多个处理机同步各自的总线周期,从而达到优化的性能。而且系统板还能调整这个基准公共时钟的频率及相位,这样,CPU 存储器能达到优化的性能。
- b. 提供多种类型的总线工作周期方式,从而可以适应不同应用类型中,具有不同的时间限制或复杂程度不同的各类需求。

(5)采用集中的总线仲裁方案,并允许锁定总线,这样就加强了系统的并发控制能力。

各种类型的 EISA 系统板上都设有集中总线仲裁控制器,允许 CPU、DMA 控制器、动态存储器刷新控制器及各类总线主控能有效地共享总线。

总线锁定是指主 CPU 或总线主控可以使 LOCK[#] 为高,从而锁定总线,由 CPU 或总线主控作锁定的存储器操作。

(6)加强了 DMA 功能并提高了 DMA 的传输速率。

EISA 的 DMA 功能使得更多的 DMA 设备能得到使用,包括外围接口不要求有局部智能能力的各种 I/O 设备,及简单或复杂的 8 位、16 位或 32 位 DMA 设备。

(7)任一中断可通过编程定为边缘触发或电平触发。

边缘触发方式可以与 ISA 设备原有的中断驱动方式完全兼容,电平触发方式则可以使多个设备去共用单个系统的中断。

(8)总线操作中,数据位数可以自动转换,保证了总线操作的顺利进行。

(9)具有自动配置系统的机制,可根据配置文件自动地去初始化和配置系统板及各扩展板。

第 2 节 总线规范

在本节中,介绍 EISA 总线的机械物理规范、信号功能规范、电气规范及定时规范。由于已有许多图书介绍 EISA 总线,所以在这里只介绍规范,而对于具体的总线操作,请参见别的资料。

1.2.1 EISA 总线的机械物理规范

1.2.1.1 EISA 联接器

1.2.1.1.1 与 ISA 总线标准的兼容性

EISA 总线标准的机械物理规范与 ISA 标准有良好的兼容性,使得 EISA 联接器上,既可插 32 位扩展板,也可插 16 位扩展板或 8 位扩展板。

它们的兼容性主要表现在以下几个方面:

(1)EISA 联接器上的两层插入结构设计成可插入 EISA 扩展板,也可插入 ISA 扩展板。

(2)EISA 连接器的高度及长度与 16 位的 ISA 连接器相同。

(3)每个 EISA 连接器在系统板上所占有的空间不超过一个标准的 ISA 连接器。

(4)并不因为上下两层而要求插入时要用更大的推力。

1.2.1.1.2 EISA 引脚与信号排列

EISA 连接器在外形上完全类似于 ISA 连接器,差别在于 EISA 连接器中有上下两排触片与扩展板的插脚相连。EISA 连接器中有浇铸而成的 ACCESS KEY 阻止 ISA 扩展板深插,而 EISA 扩展板因有相应的缺口槽,故可深插,使上下两排触片都能保持良好接触。

EISA 总线连接器引脚排列如图 1.2,其中 A、C、B、D 排信号为 ISA 信号,而其余排信号为 EISA 扩充的信号。

A	1 2 3 4 5 ... 30 31	1 2 3 ... 17 18	C
E	1 2 3 4 5 ... 30 31	1 2 3 4 5 ... 19	G
B	1 2 3 4 5 ... 30 31	1 2 3 ... 17 18	D
F	1 2 3 4 5 ... 30 31	1 2 3 4 5 ... 19	H

图 1.2 EISA 连接器引脚编号

在这些信号中,有几个信号引脚位置因设置 ACCESS KEY 而被占用,它们是:E6、F6、E16、F16、E25、F25、G6、H6、G15、H15。因此这几处没有信号引脚。下面具体叙述每条引脚上的信号分配:

A 排:

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15
IOCHK [#]	D7	D6	D5	D4	D3	D2	D1	D0	CHRDY	AEN	SA19	SA18	SA17	SA16

A16	A17	A18	A19	A20	A21	A22	A23	A24	A25	A26	A27	A28	A29	A30	A31
SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

C 排:

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18
SBHE [#]	LA23	LA22	LA21	LA20	LA19	LA18	LA17	MRDC [#]	MWTC [#]	D8	D9	D10	D11	D12	D13	D14	D15

B 排:

B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14
GND	RES	+5V	IRQ9	-5V	DRQ2	-12V	NOWS [#]	+12V	GND	SMWTC [#]	SMRDC [#]	IOWC [#]	IORC [#]
B15	B16	B17	B18	B19	B20	B21	B22	B23	B24	B25	B26	B27	B28
DAK3 [#]	DRQ3	DAK1 [#]	DRQ1	REFRESH [#]	BCLK	IRQ7	IRQ8	IRQ6	IRQ4	IRQ3	DAK2 [#]	T-C	BALE
B29	B30	B31											
+5V	OSC	GND											

D 排:

D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13
M16 [#]	IO16 [#]	IRQ10	IRQ11	IRQ12	IRQ13	IRQ14	DAK0 [#]	DRQ0	DAK5 [#]	DRQ5	DAK6 [#]	DRQ6
D14	D15	D16	D17	D18								
DAK7 [#]	DRQ7	+5V	MASTER16 [#]	GND								

以上四排与 ISA 总线的布置相同。

E 排:

E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	
CMD [#]	START [#]	EXRDY	EX32 [#]	GND	×	EX16 [#]	SLBURST [#]	MSBURST [#]	WR	
E11	E12	I3	E14	E15	E16	E17	E18	E19	E20	
GND	保留	保留	保留	GND	×	BE1 [#]	LA31	GND	LA30 [#]	
E21	E22	E23	E24	E25	E26	E27	E28	E29	E30	E31
LA28 [#]	LA27 [#]	LA25 [#]	GND	×	LA15	LA13	LA12	LA11	GND	LA9

G 排:

G1	G2	G3	G4	G5	G6	G7	G8	G9	G10
LA7	GND	LA4	LA3	GND	×	D17	D19	D20	D22
G11	G12	G13	G14	G15	G16	G17	G18	G19	
GND	D25	D26	D28	×	GND	D30	D31	MREQX [#]	

F 排:

F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	
GND	+5V	+5V	×	×	×	×	×	+12V	M-10	
F11	F12	F13	F14	F15	F16	F17	F18	F19	F20	
LOCK [#]	保留	GND	保留	BE3 [#]	×	BE2 [#]	BE0 [#]	GND	+5V	
F21	F22	F23	F24	F25	F26	F27	F28	F29	F30	F31
LA29 [#]	GND	LA26 [#]	LA24 [#]	×	LA16	LA14	+5V	+5V	GND	LA10

H 排:

H1	H2	H3	H4	H5	H6	H7	H8	H9	H10
LA8	LA6	LA5	-5V	LA2	×	D16	D18	GND	D21
H11	H12	H13	H14	H15	H16	H17	H18	H19	
D23	D24	GND	D27	×	D29	+5V	+5V	MAKX [#]	

以上四排信号位于联接器的下层,是 EISA 总线增加的信号。其中×表示因 ACCESS KEY 而占用的引脚位置,××信号表示留给系统商专用,保留的引脚留作今后使用。

EISA 联接器与扩展板的连接见图 1.3。

1.2.1.2 EISA 联接器的机械物理规范

联接器的特征如下:

- (1)插入力——对于上排(ISA),为 12.6kg 左右,对于上下两排组合最大为 15.7kg 左右。
- (2)耐磨性——至少允许 100 次插拔。
- (3)接触力——至少大于 75 克。
- (4)接触电阻——初期小于 30mΩ,末期小于 40mΩ。
- (5)电流负载能力——下部引脚,每条为 1A,上部引脚为 3A。

联接器的材料组成:

- (1)本体——玻璃熔铸 UL94V-0。
- (2)触片——磷青铜。

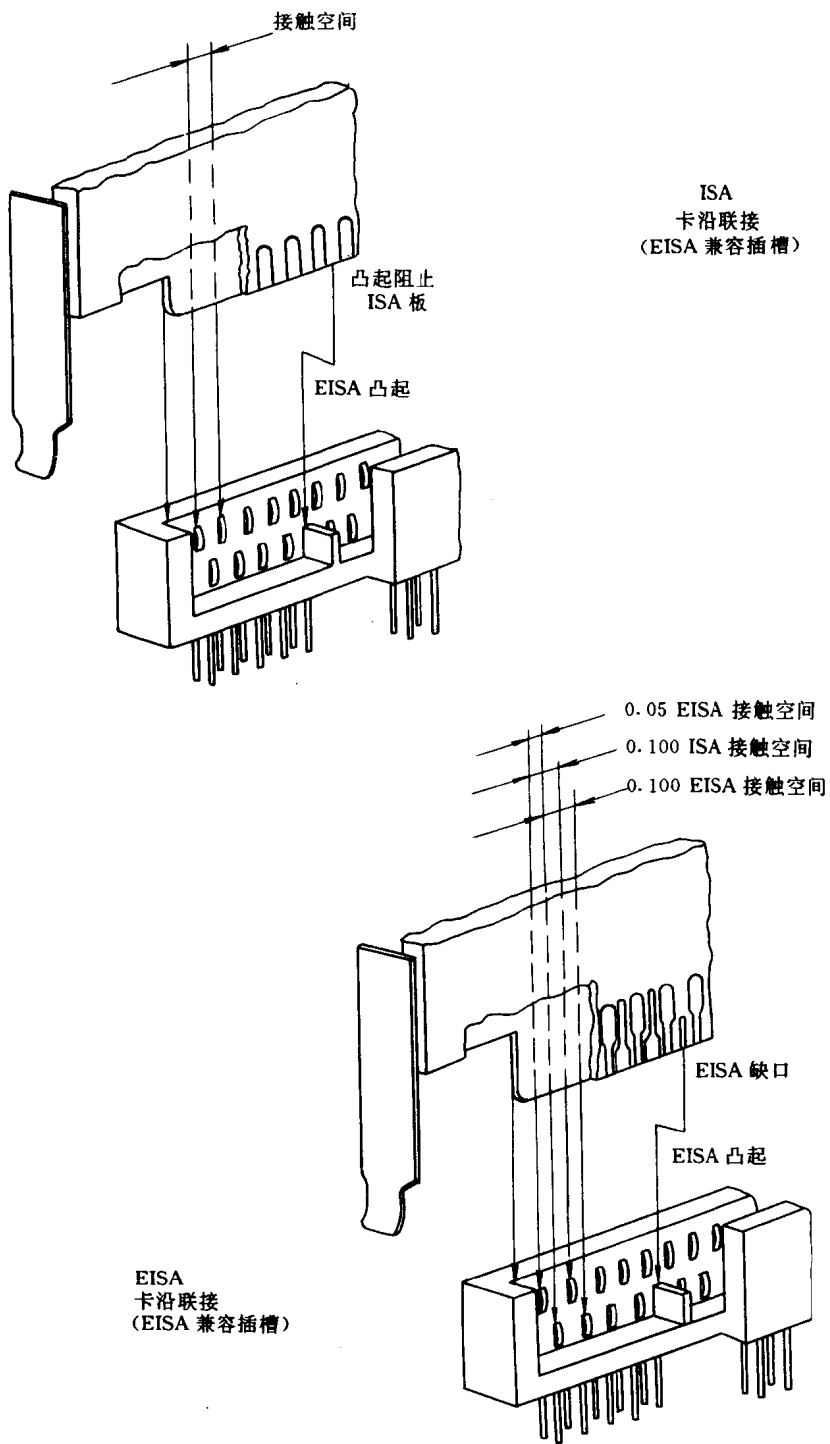


图 1.3 EISA 连接器与扩展板插头的相应连接

(3)触片镀层——接触区至少 50min 的镍镀至少 40min 的金。
扩展板的插头尺寸见图 1.4。

0.045/0.050
(1.14/1.27)

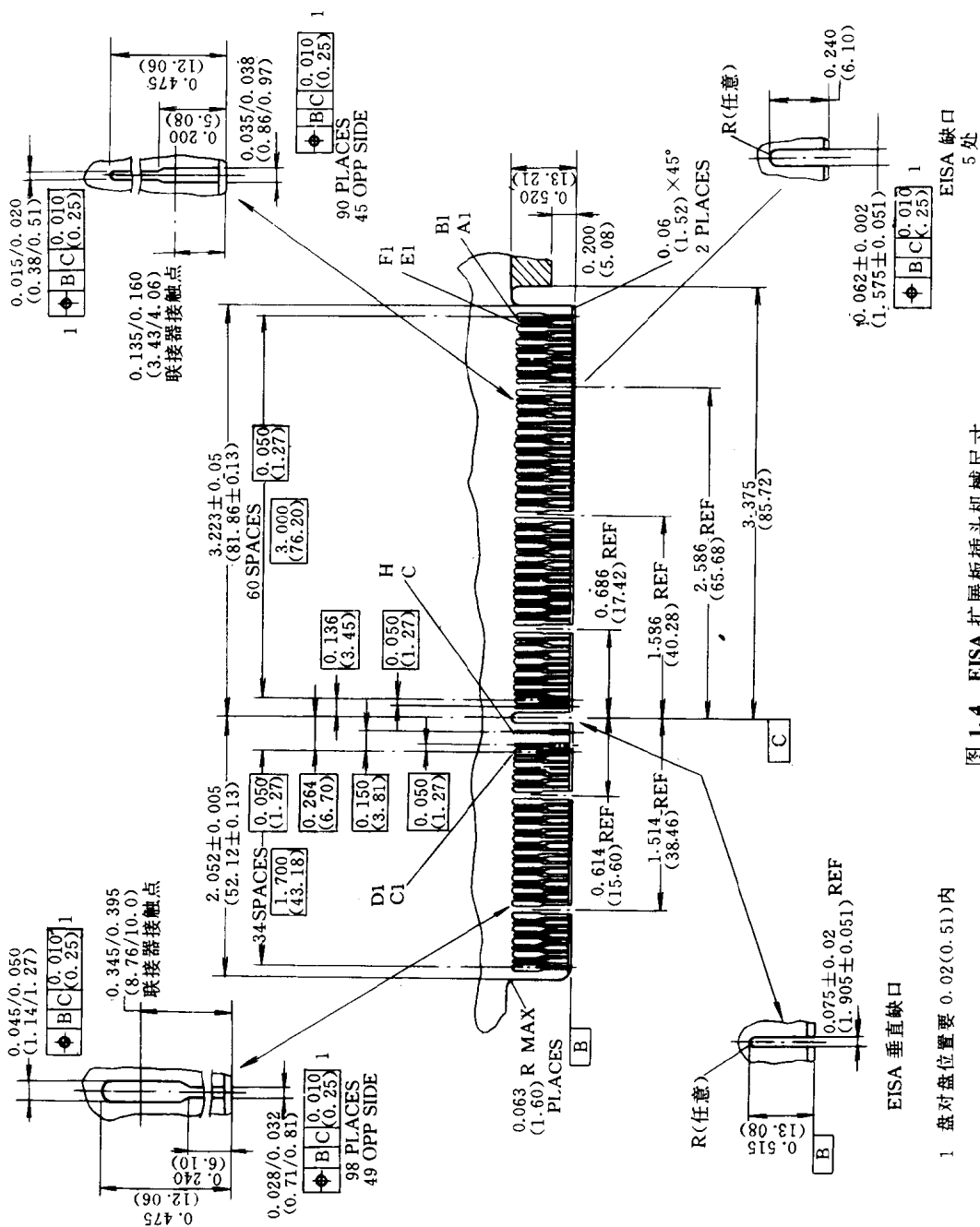


图 1.4 EISA 扩展板插头机械尺寸

1.2.2 EISA 总线的信号功能

EISA 总线信号如按其内容及作用来分类,可分成数据、地址、定时控制及其他控制四类。定时控制包括地址、数据的有效时间,其他控制包括传送的方式及传送的位数等。

在 EISA 总线上进行一次从 32 位总线主控到 32 位存储器目标的传送,其过程大致如下:

- (1)总线主控给出存储器地址 LA 及存储器标志 M/IO。
- (2)存储器译码该地址。
- (3)总线主控使 START[#] 为低,同时也指明是读或写操作(W/R),并给出 BE。
- (4)系统采样到 START[#] 为低,则使 BALE 为高,说明地址线上已有有效地址信号。
- (5)存储器目标使 EX32[#] 有效(为低),向系统说明它能支持 32 位数据传送。
- (6)系统采样 EX32[#],若有效则使 BALE 变低,同时使 CMD[#] 为低,允许传送进行,同时,总线主控也采样 EX32[#],若为低,则使 START[#] 为高。
- (7)总线主控采样 EXRDY,判断存储器是否需要等待周期。此时,总线主控也可以准备下一次传送的地址。
- (8)存储器目标发出数据 DATA,并使 EX32[#] 为高。
- (9)如果没有更多的周期要进行,那么此时系统就要使 CMD[#] 为高,同时,总线主控读出数据并锁存起来。这样就完成了一次 32 位数据的存储器目标读至总线主控。

EISA 总线信号还可以有另外一种分类方法,这种方法是把信号按其功能特性分成四类:

- (1)数据传送控制信号。
- (2)地址和数据。
- (3)总线仲裁信号。
- (4)实际运用信号。

下面就按这四类来分别描述各信号的功能。

1.2.2.1 数据传送控制信号

这类信号共 22 个,用于控制 8 位、16 位及 32 位的各种总线传送,或用于控制数据交换中的驱动及锁存。22 个信号中,12 个是 ISA 的基本信号,10 个是 EISA 扩展的信号。下面逐个讲述:

- (1)BCLK、总线时钟、ISA 信号,用于与系统主时钟同步。由系统板驱动,工作频率介于 6MHz 与 8.33MHz 之间,通常占空比 50%。在总线定时工作中,所有事件必须与 BCLK 的边缘保持同步。
- (2)START[#]、EISA 信号,低电平有效,用于控制一个 EISA 总线周期的开始。在地址线 LA<31..2>及 M/IO[#]有效后,由 CPU 或总线主控使 START[#]有效。这样就为一个 EISA 总线周期的开始提供了定时控制,在一个 BCLK 周期之后,在 BCLK 的上升沿,START[#]无效。

注意:在 START[#]的前沿,BE[#]<3..0>及 W/R[#]可能还是无效的。

- (3)CMD[#]、EISA 信号,用于一个周期内部的定时。在此周期结束之前,系统板应保持该信号有效。在 BCLK 的上升沿,由系统板使其有效并同时使 START[#]无效,这样由 CMD[#]提供这个周期的定时。在周期结束时,系统板使该信号无效。通常,周期的结束与 BCLK 上升沿同步,但有时也可能是异步的。

注意:CMD[#]意为 EISA COMMAND,是系统控制信号,总线主控不能驱动 CMD[#]。

- (4)CHRDY、通道准备好、ISA 信号,用于因 ISA 存储器或 I/O 设备速度慢而延长总线周期。也就是说,ISA 存储器或 I/O 设备可使 CHRDY 无效而获得等待周期。EISA 目标不应该去使 CHRDY 无效。
- (5)EXRDY、EISA 信号,用于 EISA 存储器或 I/O 设备请求等待状态,即由 EISA 的存储器或 I/O 设备使 EXRDY 无效,请求产生等待状态。每个等待状态为一个 BCLK 周期。在系统使 CMD[#]有效后,它就在每个 BCLK 的下降沿去采样 EXRDY。若 EXRDY 无效,则系统保持 CMD[#]有效;在采样到 EXRDY 有效后,至少应保持 CMD[#]有半个 BCLK 有效。EXRDY 是集电极开路输出,由系统板上的上拉电阻提供驱动。如果 EISA 目标想增加等待状态,在 START[#]期间或在 START[#]结束时 BCLK 的上升沿,它就要使 EXRDY 无效。EXRDY 的浮空必须在 BCLK 的下降沿进行。EXRDY 有效的最长时间是 2.5 μ s。
- (6)NOWS[#]、无等待状态、ISA 信号,ISA 目标用此信号来说明不需要增加等待状态。在译码有效地址及命令后,ISA 目标使该信号有效,指出不要等待。在 ISA 操作时,在识别的那个 BCLK 上升沿之前,NOWS[#]应有效。在 EISA 操作时,EISA 目标可以在主 CPU 使 START[#]无效之前使 NOWS[#]有效。目标不能在同一个周期同时使 NOWS[#]有效和使 EXRDY 或 CHRDY 无效。
- (7)MSBURST[#]、总线主控猝发、EISA 信号,用于由 EISA 系统的 CPU 或总线主控向目标提供猝发周期。也就是由 EISA 的 CPU 或总线主控使 MSBURST[#]有效,向目标说明此 CPU 或总线主控能做猝发操作。MSBURST[#]与地址线 LA<31..3>同时有效,能在猝发周期中第二个及以后的周期中保持有效。目标在 BCLK 的下降沿采样该信号。
- (8)SLBURST[#]、目标猝发、EISA 信号、目标用此信号表明它能作猝发操作。该信号的产生并不考虑 MSBURST[#]信号,只是根据有效地址而得出。主 CPU、DMA 控制器或总线主控在 BCLK 的上升沿采样 SLBURST[#]。
- (9)M/IO[#]、EISA 信号、主 CPU 或总线主控用此信号说明进行的周期是存储器周期还是 I/O 周期。为高时表示存储器周期,为低时表示 I/O 周期。被寻址的目标应锁存此信号。注意,M/IO[#]信号不能用于译码产生 M16[#]或 IO16[#]。
- (10)W/R[#]、EISA 信号、用于识别是读周期还是写周期。为高时是写,为低时是读。在 START[#]有效之后,CMD[#]有效之前,W/R[#]有效,只要地址线有效,则该信号就保持有效。

上述 10 个信号用于周期控制。

- (11)LOCK[#]、EISA 信号,用于保证主 CPU 或总线主控对存储器的锁定操作。主 CPU 或总线主控可以使 LOCK[#]有效,保证在 LOCK[#]有效期间,对存储器进行锁定操作。当然,总线主控也可以在 LOCK[#]有效期间对 I/O 口进行锁定操作。
- (12)BALE、ISA 信号,用于指明地址线上已有有效信号。EISA 设备不能使用 BALE 来锁存地址,而要使用 START[#]的后沿或 CMD[#]的前沿。
- (13)MRDC[#]、存储器读控制、ISA 信号,系统板或总线主控用此信号指明所寻址的 ISA 存储器目标应当在存储器总线上驱动某数据(读存储器数据)。通常而言,系统板或 ISA 总线主控使 MRDC[#]有效用于读出数据,但有一个例外,那就是当 EX32[#]或 EX16[#]有效时,该信号不能有效。