

超大规模集成电路 工艺技术

[日] 西泽润一 著 秦勋 韩伟清 译

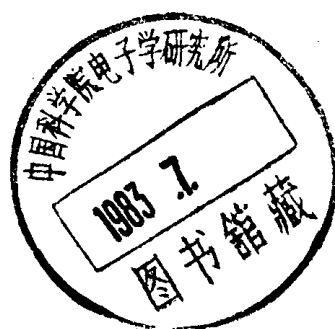
国防工业出版社

73.7551

187

超大规模集成电路 工艺技术

〔日〕 西泽润一 编
秦 勋 韩伟清 译



国防工业出版社

1110700

内 容 简 介

DS93/23

本书以超大规模集成电路中的工艺技术为主要内容,阐述了外延生长工艺、离子注入技术、高精度扩散技术、栅氧化膜、硅上的金属薄膜、半导体表面稳定化、带电离子束测试技术、工艺诱生缺陷及其消除以及工艺最佳化等。

本书可供从事半导体集成电路研制和生产人员以及大专院校有关专业师生参考。

超LSI技術〔3〕半導体プロセス

財団法人 半導体研究振興会

西沢潤一 編

工業調査会 発行

1979

*

超大规模集成电路工艺技术

〔日〕 西沢潤一 編

秦 勋 韩伟清 译

*

国防工业出版社 出版

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印装

*

787×1092¹/₁₆ 印张 21 485 千字

1983年5月第一版 1983年5月第一次印刷 印数: 0,001—5,000册

统一书号: 15034·2420 定价: 2.15元

译 序

集成电路诞生于五十年代后期，至今仅有二十多年的历史，但经历了从小规模集成到中规模、大规模乃至超大规模集成几个阶段；从开始单片集成几个元件发展到今天单片集成约 60 万个元件。它的发展速度之快，制作之复杂和精细，涉及的技术部门之多，应用之广泛，是其它技术领域所不能比拟的。

在半导体技术发展史上，八十年代被人们称之为超大规模集成电路年代。在这十年中，超大规模集成电路技术将进一步得到发展和完善，预计集成度将以每两年提高一倍的速度发展。

所谓超大规模集成电路，目前尚无确切的定义。通常认为在一块芯片上集成 10 万个以上的元件、图形线条宽度在 2 微米以下的集成电路，称之为超大规模集成电路。从这个意义上说，64 千位动态随机存储器的出现就是超大规模集成电路的起点。从大规模集成电路到超大规模集成电路，在微细加工技术、电路设计技术和工艺技术方面都有显著的进展。而在工艺技术中，与大规模集成电路密切相关的物理、化学等基础技术，对超大规模集成电路的发展也起着很大的作用。

本书译自日本“半导体研究”第 16 卷——《超 LSI 技術〔3〕半導体プロセス》，记述了日本半导体研究振兴会组织的第 16 次半导体专业讲习会的演讲内容。它既阐述了超大规模集成电路的工艺技术，同时又指出了各种工艺最佳化的途径和整个工艺最佳化的必要条件。本书涉及的内容广而深，与国内已翻译出版的“半导体研究”第 14 卷——《超 LSI 技術〔1〕微细加工》，第 15 卷——《超 LSI 技術〔2〕回路設計》一起，集中了超大规模集成电路的许多最新研究成果。

本书虽是超大规模集成电路工艺技术的专著，但很多方面也同样适用于中小规模集成电路，因此，本书不仅对我国从事超大规模集成电路研制的技术人员，而且对一切从事半导体集成电路的科研、生产、教学人员都有较大的参考价值。

为了突出重点，翻译时删除了原书每章后的讨论部分，并对业已发现的错误作了更正。但由于译者的水平所限，译文中难免存在一些不妥之处和错误，欢迎读者批评指正。

主要英文缩写词

- | | |
|----------------------------|-------------------------------|
| A/D——模/数 | OJT——工作训练 |
| AES——俄歇电子能谱仪 | OSF——氧化诱生堆垛层错 |
| BS——背散射能谱仪 | PSA——多晶硅自对准 |
| BSS——位·读出/存储 | PCB——点接触击穿 |
| CCD——电荷耦合器件 | PCM——脉冲编码调制 |
| CMOS——互补 MOS | POGO——背面预氧化吸除 |
| CTRW——连续时间随机移动 | PROM——可编程序 ROM |
| CVD——化学气象淀积 | PSG——磷硅玻璃 |
| D/A——数/模 | RAM——随机存取存储器 |
| DLTS——深能级瞬变能谱学 | RHEED——反射高能电子衍射仪 |
| DSA——扩散自对准 | ROM——只读存储器 |
| EBIC——电子束感应电流 | SCL——空间电荷限制 |
| ECL——发射极耦合逻辑 | SBD TTL——肖特基箝位晶体管-晶体管
逻辑电路 |
| E/D型——增强/耗尽型 | SEM——扫描电子显微镜 |
| ELS——电子能量损耗能谱仪 | SIMS——二次离子质谱仪 |
| FAMOS——浮栅雪崩注入 MOS | SIT——静电感应晶体管 |
| FEB——电场增强击穿 | SOP——选择氧化法 |
| FPD——火焰光度分析器 | SOS——硅蓝宝石 |
| FTG——膜厚测量仪 | SRP——扩散电阻探测 |
| HEED——高能电子衍射仪 | STEM——扫描透射式电子显微镜 |
| HTCVD——高温CVD | SITL——静电感应晶体管逻辑 |
| IC——集成电路 | TCS——瞬变电容频谱学 |
| I ² L——集成注入逻辑电路 | TDS——热分解能谱仪 |
| IMA——离子微探针分析仪 | TEM——透射式电子显微镜 |
| ISS——离子散射能谱仪 | TSC——热激励电流 |
| LEED——低能电子衍射仪 | TSSD——热激励电荷减少 |
| LPCVD——低压化学汽相淀积 | TSSP——热激励表面电位 |
| LSI——大规模集成电路 | UPS——紫外线光电子能谱仪 |
| LVR——低电压释放 | VMOS——V型槽 MOS |
| MCM——并合电荷存储器 | VUV——真空紫外线 |
| MES FET——金属半导体场效应管 | XD——X射线衍射仪 |
| MFC——质量流量控制器 | XMA——X射线微量分析仪 |
| MNOS——金属-氮化物-氧化物-半导体 | XPS——X射线光电能谱仪 |
| MOS——金属-氧化物-半导体 | |

1110700

目 录

主要英文缩写词	VII	第五章 微细元件的栅氧化膜	120
第一章 高性能、高集成度集成电路的发展动向	1	5.1 微细化引起的变化	120
1.1 前言	1	5.2 微细化带来的问题	121
1.2 MOS IC	3	5.3 Si-SiO ₂ 界面存在的问题	165
1.3 双极型IC	11	5.4 多晶硅上氧化膜的性质	174
1.4 其它型式 IC 和新型 IC	12	5.5 SiO ₂ 和 Si-SiO ₂ 界面特性的最新评价方法	179
1.5 将来的方向	13	5.6 结束语	182
参考文献	14	参考文献	182
第二章 高密度双极 LSI 的外延生长工艺	16	第六章 硅上的金属薄膜	188
2.1 序论	16	6.1 前言	188
2.2 外延生长工艺的原料和设备等问题	17	6.2 问题的提出和研究方法	188
2.3 外延层的评价法	18	6.3 硅表面的金属吸附层结构	191
2.4 外延层的厚度和电阻率的控制及其均匀性	24	6.4 单晶硅表面上的金属薄膜	193
2.5 自掺杂	32	6.5 结束语	206
2.6 图形的塌边和错位	39	参考文献	206
2.7 外延层中的晶体缺陷	41	第七章 半导体表面的稳定化	209
2.8 结束语	44	7.1 序言	209
参考文献	44	7.2 等离子体氮化膜钝化	211
第三章 离子注入技术	48	7.3 表面净化	216
3.1 前言	48	7.4 高压氧化法	220
3.2 低密度离子注入	49	7.5 结束语	225
3.3 高密度离子注入	64	参考文献	225
3.4 在 LSI 上的应用	78	第八章 用带电粒子束进行测试的工艺技术	226
3.5 结束语	82	8.1 用带电粒子进行测试的方法	226
参考文献	84	8.2 离子微分析的原理	227
第四章 高精度扩散技术	88	8.3 设备和测量	234
4.1 前言	88	8.4 应用	242
4.2 扩散技术的现状	89	8.5 结束语	250
4.3 扩散的基础	95	参考文献	250
4.4 扩散的异常性	99	第九章 工艺诱生缺陷	253
4.5 工艺模拟	115	9.1 前言	253
4.6 结束语	116	9.2 工艺诱生缺陷的种类	253
参考文献	117	9.3 热应力位错	255
		9.4 氧化和热处理引起的堆垛层错	260

9.5 缺陷对器件特性的影响.....	268	参考文献	286
9.6 吸除工艺.....	270	《特约稿件》 薄膜外延生长	287
9.7 结束语.....	272	1. 前言.....	287
参考文献	272	2. 超高真空电子显微镜“现场”观察法.....	290
第十章 工艺最佳化	276	3. 核生长和逐层生长的基本特征.....	291
10.1 前言	276	4. 逐层生长的几个问题.....	299
10.2 工艺设计	276	5. 有关核生长的几个问题.....	308
10.3 工艺改进	285	参考文献	325
10.4 结束语	286		

第一章 高性能、高集成度集成电路的发展动向

林 丰

1.1 前 言

“IC 是一种综合艺术”，这是西泽先生爱用的一句名言。IC 和 LSI 的高性能、高集成度，只有在电路设计和所有制造技术中的每项工艺都达到一定的水平，而且各项技术都能互相配合、取长补短的情况下，才有可能实现。而且，生产 IC 的厂家的特色和指导方针都会在产品特性中体现出来，这如同艺术作品一样，实在饶有兴味。

一般情况下，常常认为只有微细图形形成技术才是使集成电路达到高性能、高集成度的决定性因素，这在直观上容易理解，因此也不是没有道理的。但只有亚微米图形形成技术，而无综合技术的研究作基础，别说制造亚微米 IC，就连晶体管的制作也难于实现。这一点可以通过笔者的亲身体会加以说明。

大约十年前，我们研究室用电子束曝光技术试制 $1\mu\text{m}$ 沟道的 MOS 管时^[1]，笔者担任了除电子束曝光外的全部工艺设计。

当时 MOS 管的标准结构参数是：沟道长度 $10\mu\text{m}$ ，漏结深为 $2\mu\text{m}$ 以上，栅氧化膜厚度为 $1500\sim 2000\text{Å}$ 。很明显，虽然用电子束曝光技术能够单纯地把平面图形线宽做到 $1\mu\text{m}$ 左右，但仍得不到可资实用的器件。因此，在作电子束曝光试验的同时，为了弥补电子束曝光之不足，还要进行 MOS 管平面图形设计和当时尚未报导的亚微米晶体管综合设计等器件结构设计的研究，以及进行亚微米扩散技术、优质绝缘薄膜的低温生长技术、电子束曝光引起的放射线损伤的退火技术等研究。这些新制造技术所需要的人力和时间，都超过了电子束曝光技术本身。

因此，通过图形微细化来实现 IC 的高性能、高集成度，不仅需要研究微细图形形成技术，而且也必须综合研究与其相应的各种基础技术。此外，实现高性能、高集成度的另一个重要因素，是研制新的器件和采用新的器件结构。要理解它们的作用，需从各个方面加以考虑。作为实例可列举如下：最先实现 LSI 的以 MOS 管为负载管的 MOS IC；最先使双极 LSI 达到高集成度的 SBD TTL；进而使双极 LSI 达到与 MOS IC 有相同集成度的 1^2L ；使 MOS LSI 达到高速和高集成度的以硅栅技术为代表的各种自对准技术；包括 V MOS 在内的 DSA MOS LSI；以及能使动态 MOS RAM 达到 16 k 位的双层多晶硅单元结构，等等。

上述例子中，MOS 动态存储器从 4 k 位向 16 k 位发展时所采用的存储单元的变化如图 1-1 所示。图中的存储单元是由一个晶体管和一个电容器构成的单管单元。在图 (b) 所示 16 k 位用的单元中，不仅减小了图形的最小尺寸，而且通过采用双层多晶硅结构（需要研究层间绝缘性能良好的双层多晶硅技术），省去了实际上不必要的 n^+ 源区，这就不仅缩小了单元面积，而且大大地放宽了接触孔对位公差；进而使位线、字线结构也发生了变化，

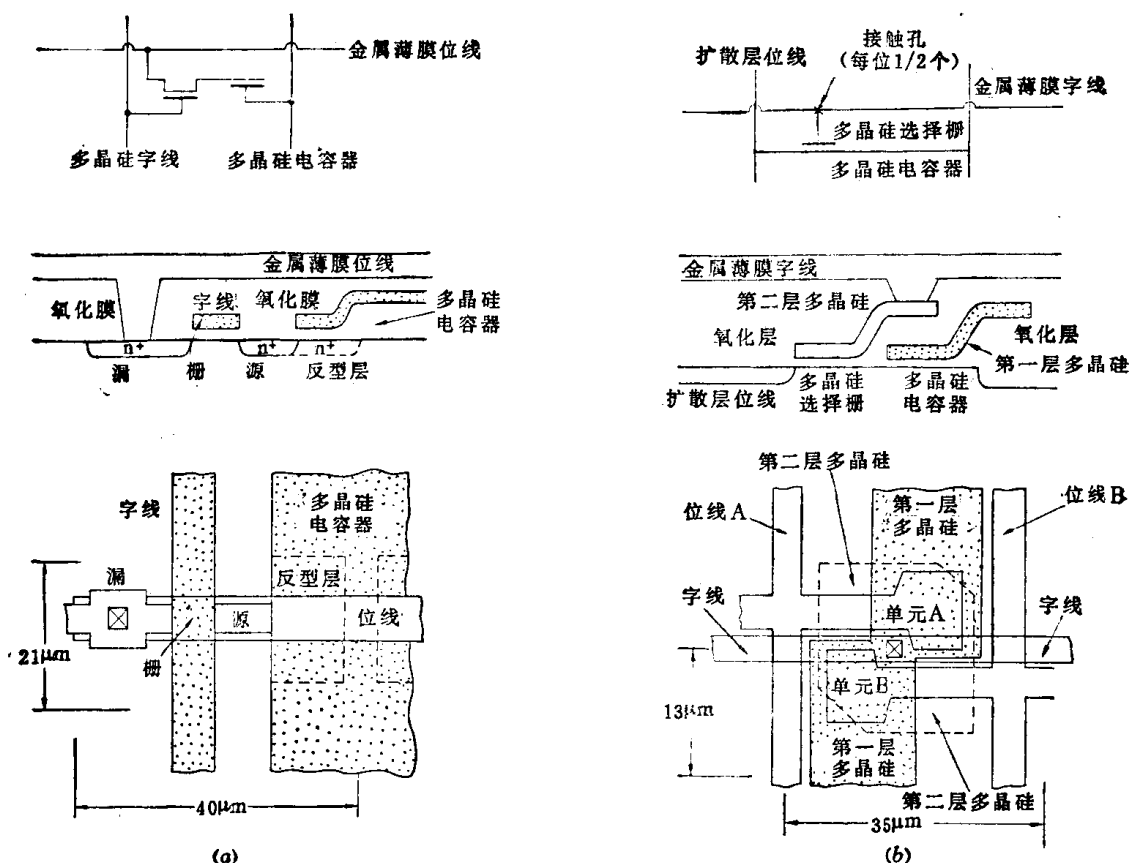


图1-1 MOS动态存储器（单管单元）从4 k 位向16 k 位发展而研制的双层多晶硅单元
(a) 4 k 位单元；(b) 16 k 位单元。

每单元的位线长度减小了三分之二。由于每位位线的杂散电容变小，故能缩小存储电容器的面积。换言之，可以增加配置在每条位线上的位数。当然，为了使存储器实现16 k 位，还必须对低功耗外围电路和高灵敏度读出放大器进行相应的研究。

具体说来，实现高集成度的重要因素可分为：(a) 电路、器件的设计和制造技术；(b) 图形形成技术；(c) 晶片尺寸。对半导体存储器来说，三者的比例为4:1:2^[3]。由此可看出，微细图形形成技术所占比重很小，而电路、器件设计和制造技术所占的比重最大。如图1-2所示，今后这些技术可能仍将以与过去大体相同的比例影响着集成度的提高。

这样，今后为了达到高集成度、高性能，电路设计、器件设计、制造和微细图形形成等各种技术的承担人员，应互相取长补短，共同努力。从这个观点来看，本文不仅用数字说明高性能、高集成度IC的动向，而且尽可能地阐明为了达到这一性能在电路器件设计和制作方面所作的努力。

当前，IC按器件类型大致可分为MOS型和双极型，此外还有正在研制的SIT和砷化镓肖特基势垒栅FET IC等新型IC。如按功能分类，大致可分为数字IC和模拟IC。数字IC又分为存储器和随机逻辑。下面各节将根据这种分类来叙述各种IC的动向。

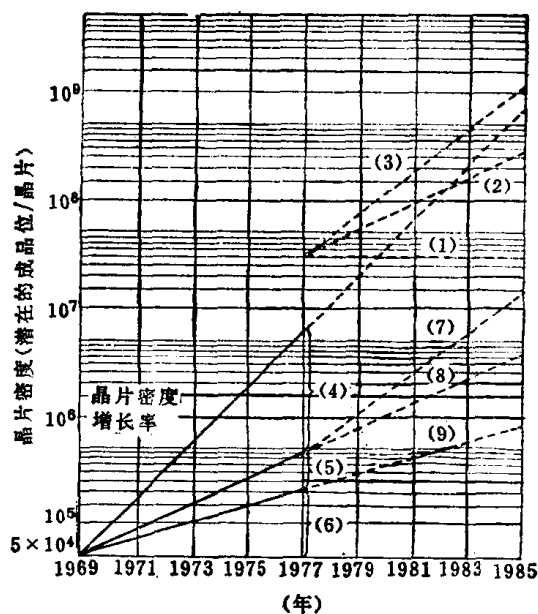


图1-2 过去集成度增长的情况及今后集成度增长的预测

(1) 按现在的晶片尺寸和最小图形尺寸的理论极限；(2) 当晶片尺寸的增长率和图形尺寸的缩小率同过去一样继续发展下去时的理论极限；(3) 当晶片尺寸的增长率不变，图形尺寸缩小率却进一步增大时的理论极限；(4) 由于设计技术和制造技术的改进所增加的部分；(5) 由于图形尺寸的缩小所增加的部分；(6) 由于晶片尺寸的增大所增加的部分；(7) 图形尺寸按预测的缩小率缩小；(8) 图形尺寸继续按过去的缩小率缩小；(9) 晶片尺寸继续按过去的增长率增大。

1.2 MOS IC

就集成度而言，历史上最早出现的LSI是MOS LSI。从功能上看，它分为存储器和随机逻辑；而从元件形态来看，还要对CCD另立专节加以说明。MOS IC最初的制作工艺较为简单，为了实现高性能、高集成度，引进了多层布线技术和三次以上的离子注入技术，从此工艺变得复杂起来。

1.2.1 MOS 存储器

(1) 动态型

因为MOS动态存储器的性能可以用较少的参数表示，而且需要量最大，所以最适于用来说明LSI的动向。MOS存储器的集成度（指一块芯片上的位数），差不多以每年提高1倍的速度连续增长。据各公司报导，现在动态型存储器已做到64k位（见图1-3）。这种集成度增长趋势今后仍将会以同样的速率继续下去，预计到1985年可达到100万位/片。

在动态型MOS存储器的集成度增长过程中，从1k位向4k位发展时，结构形式从3管单元变成单管单元（为此研制了高灵敏度触发器型读出放大器）；从4k位向16k位发展时，引进了双层多晶硅单元技术，并且使读出放大器达到低功耗、高灵敏度。从1k位向16k位发展期间，最小线宽由 $10\mu\text{m}$ 降至 $5\mu\text{m}$ 左右，电源电压由24V降至12V，而取数时间从 μs 级减少到150ns。进而在以高速为目标的存储器中，采用沟道长度为 $2\mu\text{m}$ 、氧化膜厚度为 $400\text{\AA}$ 的铝栅工艺，获得了65ns的取数时间^[6]。为实现64k位，目前采用的方法是使图形微细化、降低外围电路的功耗和提高读出放大器的灵敏度。

现在，日本发表的4种^[4]64k位RAM中，1种是按 $4\mu\text{m}$ 规则，其它都是按 $2\sim 3\mu\text{m}$ 规

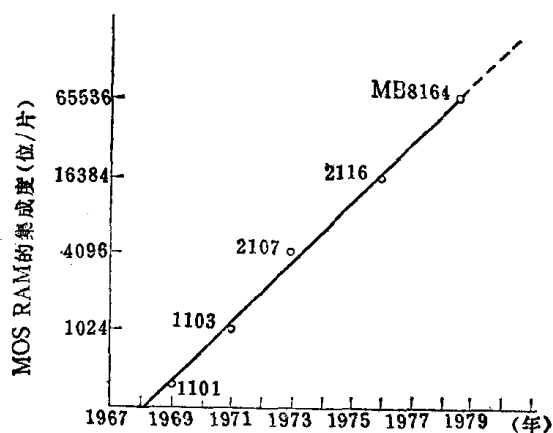


图1-3 MOS RAM集成度的增长情况
(差不多以每年提高1倍的速度连续增长)

则试制的。大多数样品的栅绝缘膜厚度为 $300 \sim 500 \text{ \AA}$, 电源电压为 $+7 \text{ V}$ 和 -2 V , 取数时间为 150 ns 左右。但当美国莫斯特克公司的 P. R. Schroeder 正设想采用 5 V 单一电源, 以获得 $50 \sim 150 \text{ ns}$ 的取数时间时, 美国得克萨斯仪器公司 (TI) 发表了采用 5 V 单一电源、取数时间为 $100 \sim 150 \text{ ns}$ 的 64 k 位 RAM 产品 TMS-4164 (沟道长度为 $2.5 \sim 3 \mu\text{m}$), 从而展示了工业标准化的方向。而且在美国国际商用机器公司 (IBM) 的通用小型计算机系统中, 采用了 64 k 位 RAM。这些情况表明 MOS RAM 的集成度依然以很快的速度向前发展。

照这样的速度发展, 将有两种途径。一种是采用西德西门子公司和美国微系统公司 (AMI) 的 VMOS 结构 (见图 1-4), 或者 IBM 公司 H. S. Lee 提出的 MCM (并合电荷存储器) 单元^[7] (见图 1-5) 等基于新原理的小尺寸单元, 另一种是采用有短沟道效应的有效沟道长度小于 $2 \sim 3 \mu\text{m}$ 的单元。根据表 1-1 列出的按比例缩小原则, 用砷离子注入形成亚微米结的技术和形成陷阱少的薄栅氧化膜 ($500 \text{ \AA}$ 以下) 的技术是极为重要的。

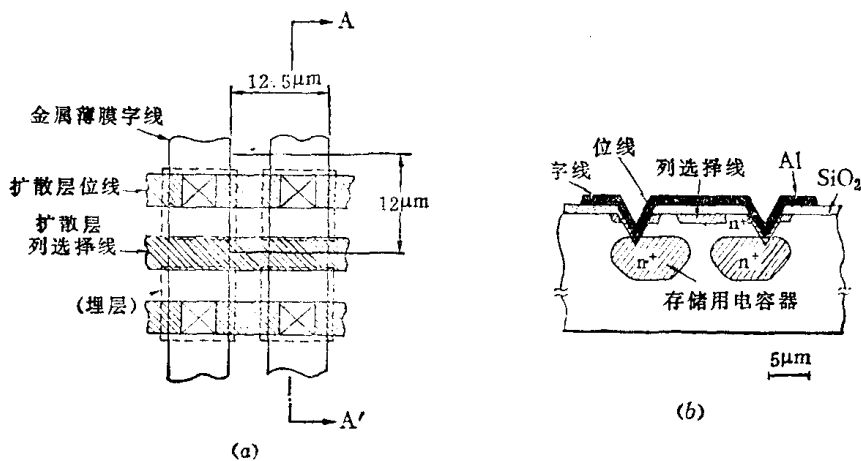


图1-4 VMOS单管单元
(a) 平面设计图; (b) 剖面图。

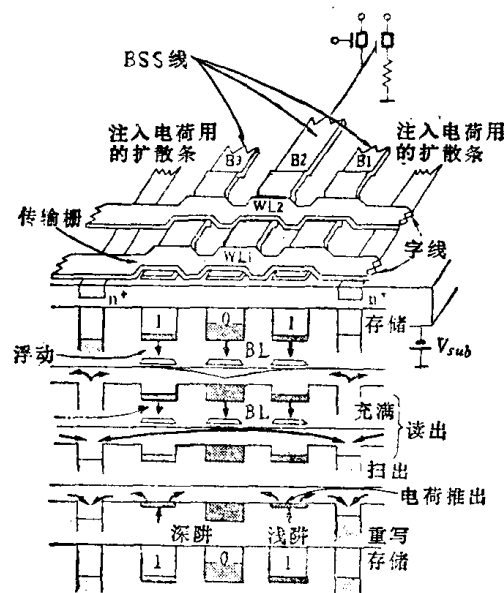


图1-5 MCM阵列

[电荷存储在位·读出/存储(BSS)线和传输栅字线交迭部分下方的硅表面上。在读出/重写周期内, 由于表面势阱变化, 故电荷有时向右流, 有时向左流。每单元所需要的面积接近于二条正交线形成的理论极限 $4f^2$ (f 为最小线宽)。]

表1-1 按比例缩小原则引起各个参数的变化

参 数	按 比 例 缩 小 因 子
器件尺寸 t_{ox}, L, W	$1/\kappa$
杂质浓度 N	κ
电 压 V	$1/\kappa$
电 流 I	$1/\kappa$
电 容 $C = \epsilon \cdot S / t_{ox}$	$1/\kappa$
电路延迟 $t_p \propto C \cdot V / I$	$1/\kappa$
电路功耗 $p \propto VI$	$1/\kappa^2$
时延·功耗积 $t_p \cdot p$	$1/\kappa^3$
功耗密度 VI/S	1
布线电阻 $R_l = \rho L / W$	κ
布线压降比 IR_l / V	κ
布线时间常数 $R_l C$	1
布线电流密度 I / W	κ

(2) 静态型

静态型MOS存储器 and 动态型相比, 由于不需要再生, 所以从微型计算机的存储器到大型计算机的缓冲存储器都已广泛使用。但由于单元面积较大, 故集成度的提高总要比动态型晚一步。目前产品的最高集成度为16 k位(TI公司的TMS4016型, 取数时间为50ns), 4 k位产品的取数时间接近双极型, 为40ns, 1 k位产品的取数时间已达到10 ns^{[8]~[10]}。电源以5V单一电源为主流。为了取得这些性能, 采用了E/D型基本反相器结构(见图1-6)和3~3.5 μ m的栅长。

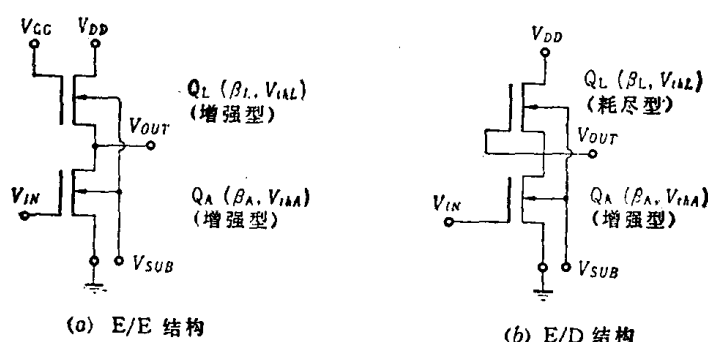


图1-6 E/E结构和E/D结构
(E/D结构多一道工序, 但适合于低电压和高速。)

即使是静态存储器, 为了达到高速和低功耗, 也需在读出放大器上下功夫, 并用多晶硅作高电阻负载, 以达到减小单元面积和降低维持功耗的目的。据美国英特尔公司预测, 下一代静态存储器单元, 如表1-2所示, 将由2 μ m规则的晶体管构成, 电源电压以3V为最佳。这里有一个是否要打破以前TTL电源电平(5V)限制的问题, 这牵涉到系统方面要求, 假如经济上合算的话, 从外部加5V电源在芯片上产生最佳的电源电压也是可能的。但电源电压一定会向低电压方向发展, 那时系统电压恐怕也不得不发生变化。

最近, 动态存储器出现了软误差问题。现已证实这是由于在封装材料中含有ppm数量级的放射性物质放出 α 射线所引起的。对上述问题想了各种对策, 同时静态存储器的大容量化也变得更加重要了。

一般认为, 静态存储器也会向64 k位或更高集成度发展, 在这个过程中迟早会从现在的4~6管单元发展成2管单元。

(3) ROM PROM

表1-2 MOS集成电路尺寸缩小的效果与变迁

器 件 或 电 路 参 数	增强型负载 nMOS (1972年)	耗尽型负载 nMOS (1976年)	HMOS (1977年)	MOS (1980年) (预测)
沟道长 L (μm)	6	6	3.5	2
横向扩散长度 L_D (μm)	1.4	1.4	0.6	0.4
结深 X_j (μm)	2.0	2.0	0.8	0.8
栅氧化膜厚 T_{ox} ($\text{\AA}$)	1200	1200	700	400
电源电压 V_{cc} (V)	4~15	4~8	3~7	2~4
每门的最小传递延迟时间 t_{pd} (ns)	12~15	4	1	0.5
每门的功耗 p_d (mW)	1.5	1	1	0.4
时延功耗积 $t_{pd} \cdot p_d$ (pJ)	18	4	1	0.2

在数字系统中, ROM 广泛用于微程序存储和函数发生等软件硬化和高速化领域, 同 RAM 一样, 其需要量越来越大。ROM 的单元结构, 可以通过改变 MOS 管的阈值电压等来永久存储信息, 而且在原理上单管单元是可行的, 因而能实现高集成度。在制作时, 固定存储内容的掩模式 ROM 已达到 64 k 位, 性能指标分别达到 5 V、150 mW、80 ns。

在 IC 制成后, 使用者能编写存储内容的 PROM, 大多采用 MOS 电路, 并具有可用紫外线或电气擦除的特性。目前主要研制的有图 1-7 所示的 MNOS 型和图 1-8 所示的浮栅型。后者信息保持良好, 读出次数多, 故目前多数采用浮栅型。MNOS 型在增加读出次数^[11]和改写次数等方面尚需改进的地方很多, 这有待于今后作进一步研究。

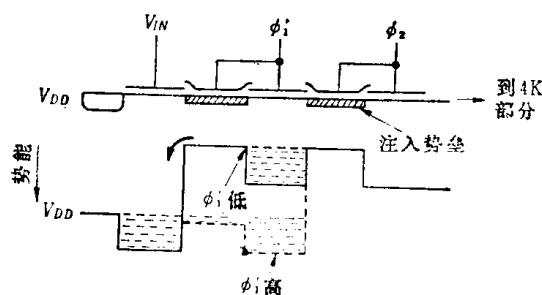


图1-7 MNOS晶体管的剖面图

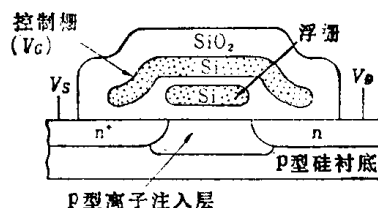


图1-8 浮栅型PROM单元

(由于栅绝缘层厚, 故信息的保持特性良好, 工艺与硅栅MOS技术相容。)

PROM 的集成度达到了 16 k 位/片, 美国英特尔等公司已出售^[12]。图 1-8 所示为单管单元的紫外线擦除型产品。这种存储器当在控制栅和漏极上加 20~30 V 的高电压时, 在沟道区伴随着雪崩现象产生热载流子, 并注入浮栅造成半永久性的带电状态^[13], 从而实现信息的存储。最近, 有的存储器是把逻辑操作中所需要的电源电压在芯片内部加以提升而产生写入电压, 从而可以减少电源数目和消除使用不便的高电压。

可是, 根据按比例缩小的原理, 很明显, 为了做出高集成度所需要的微细图形, 就要降低整个电路电压。因此, 降低 PROM 的写入电压也是将来的一个努力方向。作为表示可以降低浮栅型 PROM 写入电压的一个试算例子, 图 1-9 示出了光注入或少数载流子注入^[14]的浮栅 PROM 的写入电压随栅绝缘膜厚度的变化以及实验值。虽对保持特性还需进

行详细的探讨, 但写入电压降低到 5 V 左右将是可能的^[15]。此时控制写入的外围电路的沟道长度有可能达到略小于 $1\mu\text{m}$ 的亚微米级。无论提高 PROM 的集成度, 或随着单片微处理器的发展, 为了提高面积的利用率, 把亚微米沟道的逻辑电路和 PROM 做在同一芯片上, 都要求缩短外围电路的沟道长度。

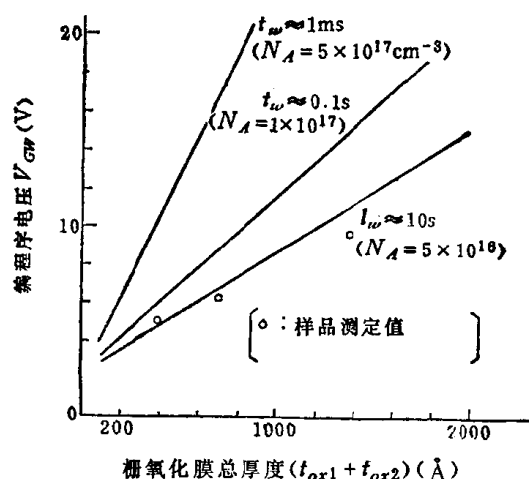


图1-9 浮栅型 PROM 写入电压的降低

1.2.2 MOS随机逻辑电路

即使提高了集成度, 存储器 LSI 的需要量仍不会减少, 但可以预期随机逻辑 LSI 的需要量多半将随集成度的提高而减少。在这种情况下, 由用户来规定控制方式或运算顺序的微处理器, 可以说是一种适于批量生产的随机逻辑 LSI。目前已试制的 16 位微处理器, 每片的门数大多在 3000 门左右。其中, 也有象英特尔公司的双处理器^[16]那样包 含有 22000 个器件的产品。通常, 在高速微处理器中, 机器周期为 $1\mu\text{s}$ 左右。

目前这种 LSI 广泛采用的技术有选择氧化隔离的 n 沟硅栅技术 (参照图 1-1)、E/D 结构 (参照图 1-6) 和离子注入技术。

最近, 在驱动电路和缓冲器中部分采用 CMOS 结构, 试制了高速低功耗 16 位微处理器, 其集成度达 15000 个晶体管/片。在栅长为 $4\mu\text{m}$ 、栅绝缘膜厚为 $500\text{\AA}$ 的条件下, 最高时钟频率达 10MHz , 功耗为 530mW ^[17]。MOS 随机逻辑不仅在速度上追上了双极 LSI, 而且在集成度和制造工艺上, 有效利用 DSA-MOS 管的高驱动能力, 已制成计算机用的具有 MOS 特征的 920 门母片逻辑^[18]。其基本反相器的剖面图如图 1-10 所示。

环型振荡器的传递延迟时间为 0.32ns , 延迟时间、功率积为 0.05pJ , 构成 720 门的 ALU (算术逻辑装置) 时, 可以实现平均时延为 3ns/级 , 功耗是 3W/片 。图 1-11 表示在集成度和速度方面对 ECL 母片和 DSA MOS 母片所作的比较。从上例可看到, 因为随机逻辑 LSI 中的各部分之间的布线在芯片内纵横交错, 其杂散电容比单个门的输入电容大得多, 有数量级的差异, 所以工作速度低, 因而布线长的逻辑通路的运算时间限制了微处理器的工作速度。为了克服这一缺点, 获得高速微处理器, 目前正在研究采用 SOS 衬底制作 LSI。

它是在蓝宝石单晶衬底上生长一层硅单晶薄膜, 除晶体管部分和交叉布线部分外, 其余的部分在器件制作时除去, 或者像图 1-12 所示那样, 将其余部分氧化生成绝缘膜 (共平

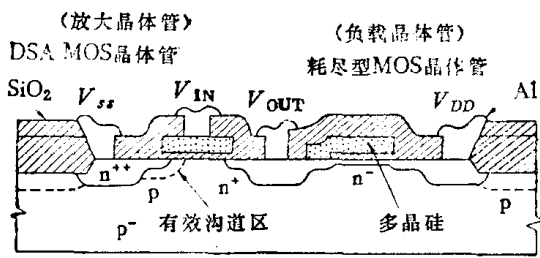


图1-10 高速MOS LSI用的DSA E/D MOS 单元剖面图

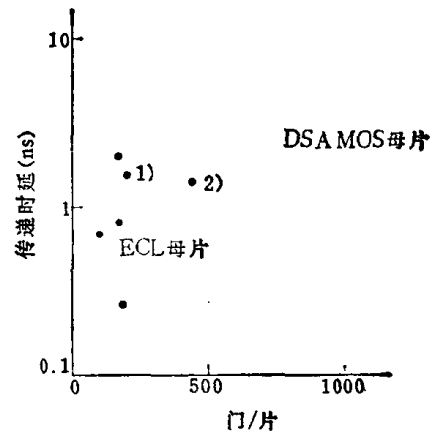


图1-11 DSA MOS母片与 ECL 母片的比较

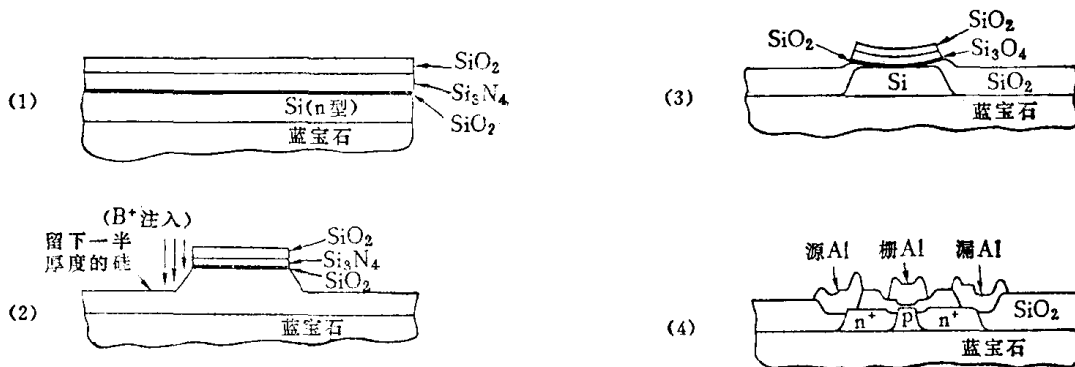


图1-12 高可靠性的 SOS 共平面 I 工艺

(1)、(2) 以 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 为掩模，留下蓝宝石上做器件用的硅薄膜，而腐蚀掉场区部分的硅薄膜（腐蚀厚度为 $\frac{1}{2}$ ），注入硼离子作为沟阻层；(3) 把场区部分的硅薄膜全部做成 SiO_2 ，其结果获得平坦的布线结构和使硅侧面的寄生 MOS 管不能工作的结构，所以，断线和漏电都减少了；(4) 在留下的硅薄膜中制作晶体管。

面-I 法)，因而可在器件之外的表面上进行布线，其杂散电容比用单晶硅体衬底要小得多。即使在 SOS 衬底上，也可以采用不同的器件工艺，当以速度为主时，可采用硅栅工艺制作 E/D 型器件，而追求低功耗时，则可采用 CMOS 结构作单元电路。

SOS 衬底最适于做高密度的 CMOS 结构。美国 HP 公司在 SOS 衬底上采用 $6\mu\text{m}$ 规则的 CMOS 结构，试制出 16 位微处理机（芯片上集成了 9600 个晶体管），在 0.5W 的功耗下，平均指令执行时间达到 $1\mu\text{s}$ ^[10]。SOS 器件在制作时很难控制其小电流时的漏极漏电和布线断线等，但通过制造工艺的改进，如采用上述的共平面 I 工艺法等，如图 1-13 所示，情况已逐年好转。

日本东芝公司从研究蓝宝石衬底抛光技术和硅膜生长技术开始，采用具有上述共平面结构的 E/D 型器件，试制成相当于 7000 门的 16 位微处理机（图 1-14）。采用 $4\mu\text{m}$ 设计规则，在 5V 电源和 1.5W 的功耗下，机器周期达到 200ns 。该微处理机和日本电气公司的 4k 位 DSA 静态 MOS RAM（取数时间 60ns ，作缓冲存储器用）、日立公司的 16k 位动态 MOS RAM（作主存储器用）组合在一起，已用于日本工业技术研究院的大型研究项目“图

形信息处理”的研究计划中。

今后随机逻辑将以微型计算机为主流，正如图 1-15 所示那样，向 32 位和内有缓冲存储器的多位方向发展，同时各种设备的专用控制逻辑的研制工作也将日趋活跃。

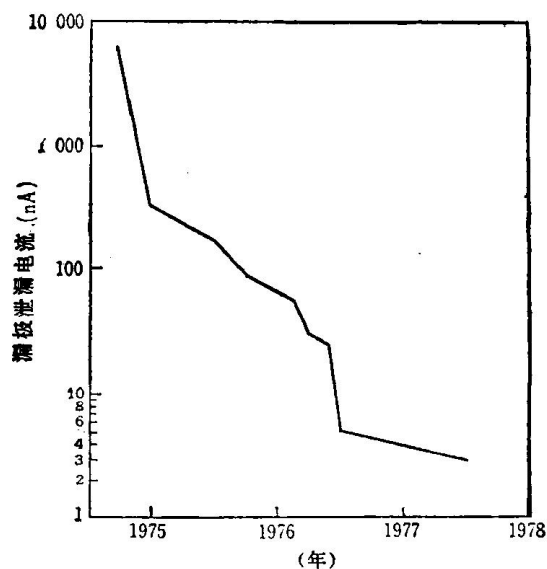


图1-13 漏极漏电流的改进
(表明工艺控制性和可靠性逐年提高。漏电包括硅薄膜表面、侧面、背面和pn结的漏电。)

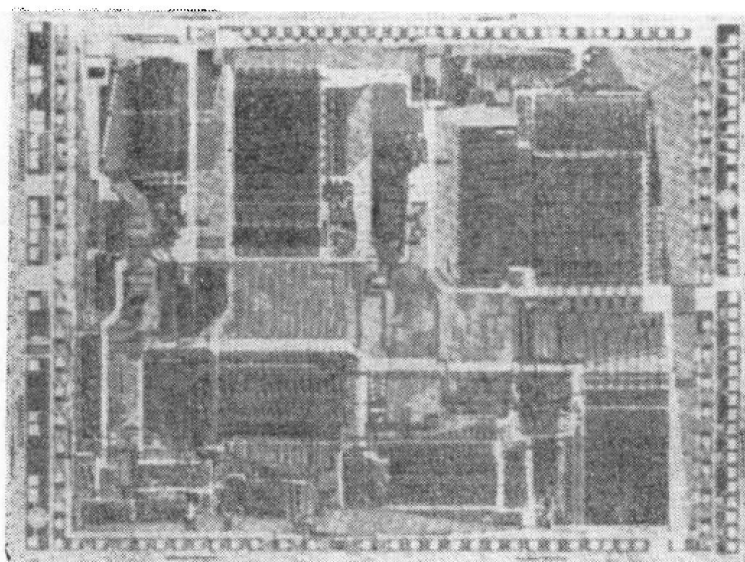


图1-14 16位SOS微处理机(7000门)

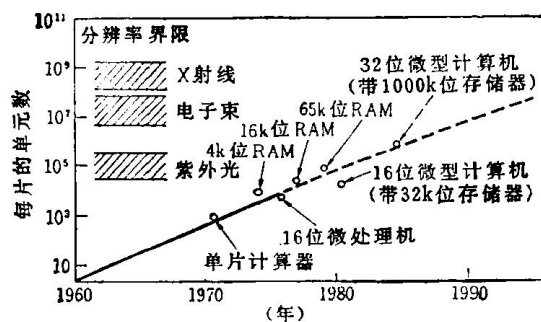


图1-15 微型计算机的发展动向
(图中也示出所用的图形形成技术)

1.2.3 CCD

CCD 的应用领域大体有摄像器件、串行存储器、延迟线、数字滤波器、乘法器等逻辑器件，从集成度来看，摄像器件和存储器占有重要位置。就摄像器件来说，目前已用三相三层埋沟结构（见图 1-16）试制成 500×500 单元的面阵，其图象质量已超过电视^[22]。

CCD 存储器的结构比采用 MOS 管单元的存储器简单，所以集成度总是比 MOS 存储器先行一步。考虑到 16k 位 MOS RAM 使用的双层多晶硅技术起源于 CCD 的制造技术这一点，为了获得高性能，在技术上还需作独特的努力。存储器采用如图 1-17 所示的具有注入势垒的二相时钟结构，已经实现 64k 位的集成度，能交替传送数据，工作频率 5MHz、功耗 220mW^[23]。

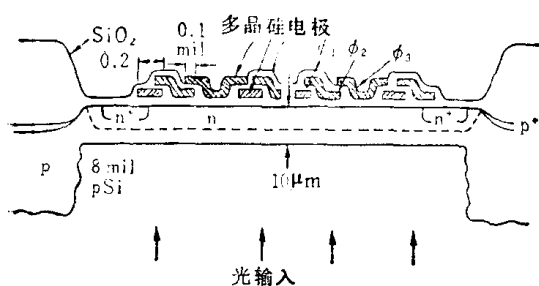


图1-16 用于 500×500 单元摄像器件的三相三层埋沟结构
(把受光面的硅衬底减薄，以使光能从背面射入。)

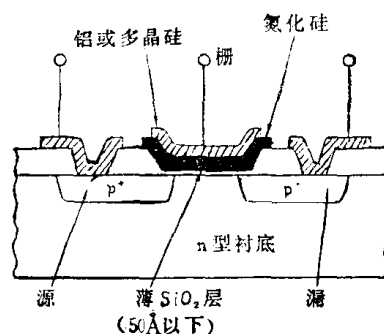


图1-17 带注入势垒的二相时钟
CCD 单元结构（同时示出输入部分）

为了进一步提高集成度，在 LSI 系统结构上也作了一番努力。如图 1-18 所示，仅对良好的电路部分接地址信号，而不把地址信号接到有缺陷的电路路上，用这种方法，把 10 个时钟频率为 1MHz 的 92k 位的芯片封装在一个管壳里，便能获得一个 921k 位的存储器组件^[24]。

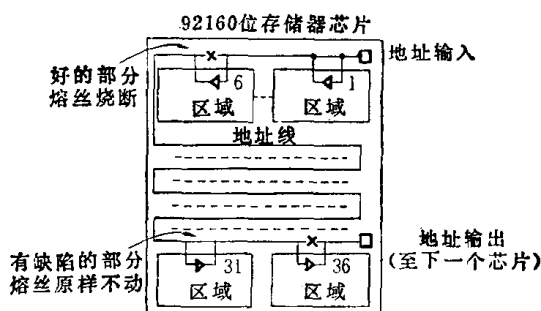


图1-18 用回避缺陷法（容错法）构成的
的 CCD（对缺陷来说是“透明”的）