



全国高技术重点图书·信息获取与处理技术领域

可测性设计技术

陈光稿 潘中良 编著

電子工業出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

URL: <http://www.phei.co.cn>



全国高技术重点图书·信息获取与处理技术领域

可测性设计技术

陈光 禔 潘中良 编著

電子工業出版社

内 容 提 要

本书是一本系统论述“可测性设计技术”的专著。本书在介绍了数字电路可测性设计原理的基础上,重点叙述了边缘扫描测试技术的基本概念、工作原理以及硬件结构和描述语言。同时,还给出了若干实例和测试策略,以及管理方面应采取的措施。

本书具有很强的实用性。它适合于从事集成电路 CAT 和 CAD 的工程技术人员参考;对于计算机、电子测试及通讯工程等领域的电路、系统和印制电路板的设计者也具有参考价值;也可作为高等学校有关专业的教材或在职工程技术人员的培训教材。

可测性设计技术

陈光祚 潘中良 编著

责任编辑:魏永昌 陈燕生

*

电子工业出版社出版

北京市海淀区万寿路 173 信箱(100036)

电子工业出版社发行 各地新华书店经销

电子工业出版社计算机排版室 排版

北京市顺义县李史山胶印厂印刷

*

开本:850×1168 毫米 1/32 印张:10.375 字数:280 千字

1997 年 2 月第一版 1997 年 2 月第一次印刷

印数:2000 册 定价:20.00 元

ISBN 7-5053-3744-0/TN·986

《全国高技术重点图书》出版指导委员会名单

主 任:朱丽兰

副主任:刘 杲

卢鸣谷

委 员:(以姓氏笔划为序)

王大中 王为珍 王守武 牛田佳 刘 仁

刘 杲 卢鸣谷 叶培大 朱丽兰 孙宝寅

师昌绪 任新民 杨牧之 杨嘉墀 陈芳允

陈能宽 罗见龙 周炳琨 欧阳莲 张钰珍

张效祥 赵忠贤 顾孝诚 谈德颜 龚 刚

梁祥丰

总干事:罗见龙 梁祥丰

序 言

测试是人们认识客观世界取得定性或定量信息的基本方法，是信息工程的源头及重要组成部分。在科学技术高度发展的今天，测试工作将处于各种现代装备系统设计和制造的首位，并成为生产率、制造能力及实用性水平的重要标志。据资料报道：目前，测试成本已达到所研制装备系统总成本的 50%，甚至达 70%，而且编制测试程序所花的时间比系统设计所花的时间长得多。因此，在未来的激烈竞争的世界中，测试将与现代装备系统的设计和制造构成一个完整的整体，是保证现代装备系统实际性能指标的重要手段。有人认为，微电子技术、计算机技术和电子测试技术将是现代电子装备系统的三大基础。因此，国际上先进的工业国都投巨资对电子测试技术、自动测试设备(ATE)和自动测试系统(ATS)进行研究，并取得了惊人的进展。

随着科学技术的飞速发展，各学科领域对测试技术提出了愈来愈高的要求。而且，电子测试技术的发展往往应超前发展。一个新的科学理论和现代装备如果没有先进的测试技术和仪器的支持，其研究、设计及试验均是不可能的。科学技术的发展，尤其是微电子技术和计算机科学的发展又极大地推动了电子测试技术和仪器的发展，并使常规的测试原理和仪器设计发生了重大的变革。可以预料，在未来的十年中，将会在现代测试技术领域产生一系列强有力的新颖的测试概念和测试仪器，从而大大提高测试质量、降低测试成本，并缩短新产品进入市场的时间。为此，在 90 年代的测试技术的激烈竞争中，人们提出了“可测性设计(DFT — Design For Testability)”的新概念。它要求在现代电子装备系统设计的开始就同时考虑系统的测试问题，并同时进行系统的可测性设计。

技术的兴盛和激烈的市场竞争给测试领域提出了一些亟待解决的课题。具体表现在产品复杂性的增加和生存期的缩短、要求产品更快进入市场、长期保持产品的高质量及降低测试费用。

随着一些芯片(ASIC 及标准部件)和印制电路板密度的增加,已经在可测性等基本测试问题上作出了努力。尽管有大量的引脚,但在一块集成芯片中的大部分结点是无法探测的。如果把一些芯片封装在一起,安装在电路板上,尤其是放在双面板上,这一问题就更难以解决。在引脚间距小于 0.05 英寸、片与片的间距小于 0.1 英寸时,探头的设计和测试点的可达性问题将使人感到更加困难。

电路板的设计者不得不提供更多的测试点,这就需要额外增加 10%~30% 的板面积,否则他们就要利用表面安装技术(SMT)来节省空间,以弥补这些测试点所需的面积。无论就芯片或电路板而言,最终均是电路的状态或工作情况难以检测或预置,使得综合性测试成为一项相当艰巨的工作。

时钟及数据传输速率的剧增,模拟和数字电路混合程度的提高,以及板上总线、电路功能和半导体工艺(CMOS, BiCMOS, bipolar, GaAs 等)的各异性,使测试的困难程度进一步大大增加。各种可编程逻辑器件——PLD, PAL, PLA, i²PGAL(系统可再编程 GAL)、门阵列及类似器件的出现,又产生了新的困难因素。随着可编程芯片密度的增加和速度的加快,设计人员正利用它们实现主干功能,而不仅仅当做一个密结逻辑使用。这样,他们就可以获得双重效益,即工作周期快和无需预支不可回收的费用。

设计人员所不喜欢的就是对一次性编程芯片或对可编程器件组装的电路板进行测试。然而,在一块电路板上安装 50~60 个可编程器件是常见的事。而且当传输延迟时间降到 5ns 以下,集成密度提高到 10,000 个门以上时,可编程器件的应用将波及前沿设计。对于某些器件,传统的逻辑测试方法将不能满足要求,需要用新的测试方法。测试问题肯定会变得严峻。ASIC 的集成度已提高到 100,000 个门级,而且还在继续提高;微处理器也已集成了上百万个晶体管,而且集成上千万个晶体管已近在眼前;一个芯片有 512 个管脚已经常见,安装 1024 个管脚指日可待。时钟速率正在向 100MHz 迈进,而且在 CMOS, ECL, GaAs 器件中开拓超高速

芯片的工作正在进行中。到 90 年代末,新型器件将成为主流,将成为如同“弹道”及“高速电子迁移”一样的话题。人们所议论的不再是 MHz,而是 GHz 的速率。

测试工作承受着来自世界贸易的各种压力。首先是对质量的迫切要求。可以断言,下一个十年的优胜者将是可靠性致胜的,其最终的目标毫无疑问是零故障。实际上,至少必须高到能保证应用中不出现故障,可以自动修正制造过程。因此,测试要极精确地给出产品性能或指出故障;测试必须同时进行,成为设计和制造过程中不可分割的一部分。

诸如 HP, IBM 和 Motorola 这些处于领先地位的制造公司,已经认识到制造过程的极端重要性,并已相应着手建立零故障质量程序。这样做的动机是:“在这种惊人压力的世界里,要快速生产低成本、高性能产品,其制造技术正变得与产品革新同等重要”,并把电路板的测试放到了竞争的焦点上,要想改善制造过程,就必须通过测试方法来了解制造过程是怎样进行的。

显然,军事对质量的要求是特别重视的。美国国防部所采取的方法是建立一种检查跟踪,以追踪从战场上换下的失效器件或模块来找出产品故障的制造缺陷。Motorola 公司已经建立了所谓 Six-Sigma 程序,希望在全公司范围达到零故障。达到这一目标的唯一方法是加强产品本身的质量控制,而不是靠查出废品。在今后,人们设计出无故障的产品时,产品的售后维修将会大大下降。据国外仪器公司统计,大约 15 年前,75% 的示波器需要售后维修,而目前产品的售后维修率则大大降低。

测试的任务是有助于大大地改善产品的生产率,而又保持测试本身的成本不致太高。在 90 年代,重点是降低成本,尤其是在大规模集成电路 IC ATE(IC CAT 和 IC CAD)领域。如果设计师把可测性设计技术纳入其产品的设计中,将使测试设备的复杂性减小,从而大大地削减了测试设备的成本。其次,测试工作最大的一项成本是测试程序的编制,但这将受到新兴软件技术的冲击。新兴软件技术将使测试模式及测试程序的设计过程自动化。此外,测试

工作者将推出新的测试方法以使测试成本进一步下降。他们将开发新一代的点测产品,成为面向狭窄产品或工业的专用测试仪器。只要可能,他们将重复利用这些硬件模块和软件模块。

随着经济及其它方面压力的加剧,一种新的观点正在形成,即可测性设计和测试/设计联成一体成为基本宗旨,使测试与产品设计以及产品的设计与制造,也许还有产品设计与售后维修之间的分立最终会消失。据有关资料表明:一个研究可测性设计的公司可以削减掉4/5的测试成本,而且可增加数十倍的市场效益。平均每年节约的测试费用大约为一千五百万美元。因此,要想在90年代生存下去,就必须在价格策略和可测性设计方面有比目前大得多的变化,这就需要一种崭新的工程方法论。

在这种新方法中,传统的纵向设计流程(其中各自独立的设计、测试和制造工作难于彼此交换信息)必须让位于并行工程。其中,每一项工作都要把信息反馈到工程中心,以便于与设计部门联系。然后,设计部门把可测性、可制造性以及可靠性等项指标综合处理,使生产产品的每一步都不再需要进行重复性的测试。按照新的规程,特定目标的可测性设计必须让位于结构可测性设计。前者是特指所涉及产品的各种可测性设计技术,是目前系统设计常采用的方法。而后者则是超前设计出一种具有共性的方案,并直接放进硅片里。

边缘扫描测试(BST——Boundary Scan Test)技术就是一种将可测性直接设计到硅片里的技术。为了提高可测性设计的通用性,1985年飞利浦(Philips)公司的哈里·布里克(Harry Bleeker)倡导成立了欧洲联合测试工程工作组JETAG(Joint European Test Action Group),后因北美及亚洲国家的一些电子公司加入该组织,故改名为联合测试工作组JTAG(Joint Test Action Group),开展了可测性设计工业标准的研究,提出了边缘扫描测试技术的概念及结构框架。并同时开始了边缘扫描集成电路的设计,德克萨斯仪器公司(TI)率先推出了用边缘扫描测试技术开发的SCOPE八脚产品。同时,Teradyne公司1989年推出了第一个称为BSID

的边缘扫描诊断软件;之后,于1991年该公司又推出了供自动生成测试程序用的 VICTORY 软件。

美国电气与电子工程师学会(IEEE)于1990年正式承认了 JTAG 标准,并定为 IEEE1149.1-90,它把在器件设计中加入边缘扫描测试技术及应用该技术来测试器件的方法标准化。同年,边缘扫描描述语言 BSDL (Boundary-Scan Description Language) 被提了出来,并被广泛地采用。

边缘扫描测试技术提供了一种新的完整方法,它能够克服测试复杂数字电路板的技术障碍。在实际测试电路板时,不再需要借助于复杂和昂贵的装置,并且提供了一种独立于电路板技术的测试方法。边缘扫描测试技术借助于一个简单的4芯连接器连到PCB板上的所有内部测试点上,这个连接器能够使电路板内部连接电路正常运行,并实现快速测试。边缘扫描测试技术的优点是相当多的。它在减少投资和制造费用,提高产品质量,最大限度地利用最新技术(在元件和电路板小型化、复杂的ASIC和其它VLSI装置)等方面迈出了重要的一步。此外,边缘扫描测试技术提供了快速的样品测试及生产线测试。

边缘扫描测试技术现今已被世界上几乎所有的印制电路板(PCB)生产厂所接受,其主要原因是节省了PCB电路板不同生产阶段的成本。在电路板设计阶段的初期,节省了测试时间,在工厂,由于测试准备时间和故障诊断时间的节省,以及使用更低档的测试设备,因而使测试费用减少50%以上,而且提高了工厂的生产能力。在现场维修阶段,测试设备的价格,测试准备时间,备用电路板库存的减少等几方面都可节省大量的开支。这样,边缘扫描测试将导致PCB电路板生产费用包括对IC采取预防措施的开发费用减少达70%。

简易的边缘扫描测试也使小规模PCB电路板生产的成本降低,能从中获利。由于边缘扫描测试涉及PCB电路板的整个使用期,它不仅仅是引入一种新的设计方法,更是一种集成生产处理技术。因此,边缘扫描测试已成为一个公司上层管理者应注意的一个

全局策略,它的重要性决不低于一个公司的利润率和生产能力。

本书在介绍数字电路可测性设计原理的基础上,重点叙述了边缘扫描测试技术的概念及工作原理,并重点介绍了边缘扫描测试技术的应用。第一章介绍了可测性设计的基本概念和方法,这也是边缘扫描测试技术的基础。第二章阐明 PCB 电路板的测试问题及提出了边缘扫描测试概念。第三章为边缘扫描结构提出了一些标准的基本知识。第四、五章分别描述了边缘扫描测试支持的硬件与软件,并借助于世界上领先的电子公司已取得和公布的许多例子与结果,讨论了边缘扫描测试的开发。第六章描述了若干实用的测试技术,PCB 电路板产品故障的寻求,以及怎样检测及能在什么级别上进行诊断。第七章给出了边缘扫描测试技术的应用例子。第八章为引进边缘扫描测试技术将采取的管理方面的措施。在本书最后的附录中,给出了 IEEE1149.1 标准的一些主要规范,这是为那些手头上没有正式 IEEE1149.1 标准文本的读者准备的。目前在国内尚无系统论述边缘扫描测试技术的专著或教材,本书的出版将填补我国这一测试技术的空白。

本书适合于从事集成电路 CAT 和 CAD 的工程技术人员参考;同时对于计算机、电子测试及通讯工程等领域的电路、系统和印制电路板的设计者,都具有十分重要的参考价值;也可作为高等学校有关专业的教材或在职工程技术人员的培训教材。

在本书编写过程中,得到了本研究室的顾亚平教授、王厚军副教授、徐建南高级工程师、匡实博士、谭钧、田书林讲师及陈朝阳、章小兵、王勇、李翔宇、甘卫东、赵晖、陈华等博士、硕士研究生的支持与帮助,电子工业出版社魏永昌、陈燕生同志为本书的出版作了大量的工作,付出了辛勤的劳动,在此一并表示感谢。

由于作者水平有限,加之时间仓促,书中难免存在缺点和错误,殷切希望读者批评指正。

陈光 稿

1996 年元月于电子科大 CAT 室

目 录

第一章 可测性设计基础	(1)
1.1 可测性的测度	(2)
1.1.1 基本定义	(3)
1.1.2 标准单元的可测性分析	(5)
1.1.3 可控性和可观测性的计算	(9)
1.2 可测性设计方法	(10)
1.2.1 可测性的改善设计	(11)
1.2.2 结构可测性设计	(14)
1.2.3 其它可测性设计简介	(21)
1.3 组合电路的异或门串联结构	(23)
1.3.1 Reed-Muller 展开式	(23)
1.3.2 异或门串联电路结构测试分析	(26)
1.4 内测试设计	(28)
1.4.1 多位线性反馈移位寄存器	(29)
1.4.2 伪随机数发生器	(32)
1.4.3 特征分析器	(34)
1.4.4 特征分析器的故障侦出率	(38)
1.4.5 内测试电路设计	(42)
第二章 边缘扫描测试的基本概念	(46)
2.1 问题的提出	(46)
2.2 传统 PCB 电路板测试的困难	(48)
2.3 边缘扫描测试的基本原理	(50)
2.3.1 测试控制逻辑	(56)
2.3.2 边缘扫描电路的举例	(60)

2.3.3 边缘扫描测试通路的结构原理	(62)
---------------------------	------

第三章 边缘扫描测试标准 (64)

3.1 边缘扫描测试的结构.....	(64)
3.2 测试存取通道.....	(66)
3.3 TAP 控制器	(66)
3.4 指令寄存器.....	(77)
3.5 测试数据寄存器.....	(80)
3.5.1 旁路寄存器	(81)
3.5.2 边缘扫描寄存器	(83)
3.5.3 边缘扫描单元	(83)
3.5.4 系统管脚相关单元	(85)
3.5.5 器件标志寄存器	(88)
3.5.6 专门设计的数据寄存器	(90)
3.6 指令.....	(90)
3.6.1 公用和专用指令	(91)
3.6.2 旁路指令	(91)
3.6.3 采样/预装指令	(92)
3.6.4 外部测试指令	(95)
3.6.5 内部测试指令	(95)
3.6.6 运行内建自测试指令.....	(98)
3.6.7 组件指令	(99)
3.6.8 器件标志代码指令	(99)
3.6.9 用户代码指令	(99)
3.6.10 高阻态指令	(100)
3.7 文本要求	(100)

第四章 硬件测试的新方法 (102)

4.1 板级测试	(102)
4.1.1 即时采样	(102)
4.1.2 边缘扫描主控器	(105)

4.1.3	存储器板测试	(108)
4.2	系统级测试	(111)
4.2.1	具有 BST 的嵌入式通过/不通过测试	(112)
4.2.2	系统底板测试总线	(113)
4.3	芯片设计	(120)
4.3.1	单晶片集成的边缘扫描测试	(120)
4.3.2	用多芯片组件设计的边缘扫描测试	(122)
4.3.3	用 MOS 设计的边缘扫描测试	(124)
4.3.4	数字总线监视器	(127)
4.3.5	可调整的扫描通路长度	(132)
4.3.6	通路延迟测量	(134)
第五章	BST 设计语言	(139)
5.1	BSDL 描述	(139)
5.1.1	整体部分	(140)
5.1.2	组件描述	(148)
5.1.3	组件体	(149)
5.1.4	BSDL 的其它功能	(150)
5.2	BSDL 设计举例	(152)
5.2.1	设计方法	(152)
5.2.2	电路	(153)
5.3	边缘扫描寄存器的编辑器	(158)
5.3.1	工艺库	(159)
5.3.2	编辑器的输入与输出文件	(160)
5.3.3	测试结果	(162)
5.4	测试规范语言	(163)
5.4.1	测试接口层	(163)
5.4.2	通用格式的测试向量	(168)
5.4.3	串行向量格式	(175)
第六章	电路板测试	(177)
6.1	BST 链的完备性测试	(177)

6.1.1	功能测试	(177)
6.1.2	测试步骤	(181)
6.2	电路板的故障	(186)
6.2.1	互连结构	(187)
6.2.2	开路故障	(188)
6.2.3	短路故障	(190)
6.2.4	多故障	(193)
6.2.5	故障模型	(194)
6.3	测试算法	(194)
6.3.1	二进制计数测试序列	(195)
6.3.2	最小权序列	(198)
6.3.3	走步“1”序列	(199)
6.3.4	单对角线序列	(200)
6.3.5	最大独立集	(201)
6.3.6	顺序独立测试序列	(202)
6.4	诊断	(203)
6.4.1	两结点短路	(203)
6.4.2	多结点短路	(204)
6.4.3	误判测试结果	(206)
6.4.4	混淆测试结果	(206)
6.4.5	单步和多步测试	(207)
6.4.6	自适应测试算法	(207)
6.4.7	应用最大独立集的算法	(208)
6.4.8	结点的组合故障	(209)
6.5	逻辑组件测试	(211)
6.5.1	对故障检测的影响	(214)
6.5.2	存储器组件的互连测试	(216)
6.5.3	随机存储器(RAM)	(217)
6.5.4	只读存储器(ROM)	(220)
6.5.5	存储器组件	(221)
6.6	边缘扫描测试流程的结构	(221)

第七章 边缘扫描测试技术的应用	(229)
7.1 应用概况	(229)
7.2 应用基础	(232)
7.2.1 基本结构	(232)
7.2.2 工作方式	(236)
7.2.3 边缘扫描单元的级连	(238)
7.2.4 应用举例	(239)
7.3 应用边缘扫描测试的策略	(241)
7.3.1 边缘扫描描述语言的验证	(242)
7.3.2 边缘扫描描述器件和电路的验证	(243)
7.3.3 自动测试图形的生成	(243)
7.3.4 利用实体存取进行测试	(244)
7.3.5 测试边缘扫描电路	(245)
7.3.6 测试非扫描器件	(246)
7.3.7 内部测试	(247)
7.3.8 诊断	(248)
7.3.9 使用边缘扫描测试的方法	(248)
7.4 边缘扫描测试的实际应用	(251)
7.4.1 设计认证工具	(253)
7.4.2 测试图形的生成	(254)
7.4.3 数据要求	(255)
7.4.4 测试的实现	(256)
7.5 边缘扫描测试选件	(258)
7.5.1 边缘扫描选件	(260)
7.5.2 智能边缘扫描反汇编软件	(261)
7.6 用 BST 进行电路板级编程	(262)
7.6.1 概述	(262)
7.6.2 器件级编程	(262)
7.6.3 电路板级编程	(263)
7.6.4 并行及串行电路板接口	(264)
7.6.5 串行接口	(265)
7.6.6 边缘扫描的串行方法	(267)

7.6.7 用 IEEE1149.1 编程	(268)
7.6.8 未来的发展	(269)
7.6.9 结论	(270)

第八章 管理措施	(271)
8.1 标准的形成	(271)
8.2 管理部门的作用	(275)
8.2.1 引进并行工程	(275)
8.2.2 强制实行可测性设计	(279)
8.2.3 可靠性检查	(280)
8.2.4 重视质量	(282)
8.3 边缘扫描测试技术的优点	(285)
8.3.1 缩短产品的上市时间	(285)
8.3.2 降低投资	(287)
8.3.3 IC 费用的考虑	(288)
8.3.4 PCB 板费用的考虑	(289)
8.4 总结	(292)

附录	(293)
1. 边缘扫描寄存器	(293)
1.1 在二态输出管脚上的单元	(294)
1.2 在三态输出管脚上的单元	(295)
1.3 在双向管脚上的单元	(295)
1.4 在系统时钟输入管脚上的单元	(295)
1.5 在系统输入管脚上的单元	(296)
2. 器件标志寄存器	(297)
3. 文件要求	(297)
3.1 边缘扫描寄存器	(297)
3.2 器件标志寄存器	(298)
3.3 指令寄存器	(298)
3.4 指令	(298)

3.5 性能	(299)
3.6 自测试操作	(299)
3.7 测试数据寄存器	(299)
3.8 定时规定	(300)
4. 指令寄存器	(300)
5. 指令	(301)
5.1 BYPASS(旁路)指令	(301)
5.2 组件指令	(301)
5.3 外测试指令	(302)
5.4 高阻指令	(303)
5.5 标志码指令	(303)
5.6 内测试指令	(303)
5.7 运行自测试指令	(304)
5.8 公用指令	(305)
5.9 采样/预装入指令	(305)
5.10 使用代码指令	(306)
6. TAP 控制器	(306)
7. 测试数据寄存器	(307)
参考文献	(309)