

MICROPROCESSOR
SUPPORT
CHIPS HANDBOOK

〔美〕 T.J.拜厄斯 编

美国微处理器支持芯片手册

机械工业出版社

TP331.1
FES/1

美国微处理器支持芯片手册

〔美〕 T.J.拜厄斯 编

陈本智 岳润玲 译
王宝光 陈兴梧

吴继宗 校



机械工业出版社

本书囊括了当前美国主要的22家集成电路生产厂家所生产的97种微处理器支持芯片。对各芯片的用途、结构、工作原理、引脚功能和芯片的使用方法等都一一作了详细的说明。此外,为使读者更好地了解和掌握芯片的使用方法,还提供了每种芯片的一种典型应用的硬件接线图。本书根据用途把97种芯片归旧类为六章。第一章通讯芯片,第二章电源和专用芯片,第三章接口芯片,第四章控制芯片,第五章视频芯片,第六章A/D、D/A转换芯片。
本书可供从事微型计算机系统设计、应用研究的工程技术人员及高等院校师生使用。

MICROPROCESSOR SUPPORT CHIPS,

Theory, Design, and Applications

T.J. Byers

Micro Text Publication, Inc. 1983

Mc Graw-Hill Book Company

美国微处理器支持芯片手册

[美] T.J. 拜厄斯 编

陈本智 岳润玲 译

王宝光 陈兴梧

吴继宗 校

责任编辑: 黄克勤

封面设计: 方 芬

机械工业出版社出版(北京阜成门外百万庄南里一号)

(北京市书刊出版业营业许可证出字第117号)

通县曙光印刷厂印刷

新华书店北京发行所发行·新华书店经售

开本 787×1092^{1/16} 印张 18 插页 3 字数 467 千字

1988年3月北京第一版·1988年3月北京第一次印刷

印数 0,001-3,300 定价: 4.80元

ISBN 7-111-00373-X/TP·24

JS334/06

译者的话

本书是美国Mc Graw-HILL图书公司1983年出版的“MICROPROCESSOR SUPPORT CHIPS: THEORY DESIGN, AND APPLICATIONS”一书的翻译本。

该书虽然为手册性图书，但与一般手册比较具有自己的特点。首先，它不但对芯片引脚作了详尽的说明，而且能把这些功能与芯片内部结构，工作原理，以及内部操作紧密结合起来加以介绍。这样使读者加深了对芯片功能的理解，从而保证能够正确和灵活地使用它们。此外，本图书配有大量的图例。除了每个芯片的引脚图外，还提供了每个芯片的一种典型应用实例的硬件接线图。可作为使用芯片时非常有用的参考。

本书由天津大学精仪系教师翻译。序言及第一章由岳润玲翻译，第二章，第三章及第四章4.1~4.4由陈本智翻译，第四章4.5到第五章5.7由王宝光翻译，第五章5.8到第六章由陈兴梧翻译。全书译文由陈本智合稿。全书译文承蒙吴继宗教授校阅。

在翻译过程中，发现原版书中的不妥及错误之处，均在译文中更正，不再说明。但图中的符号仍按原版书未动。

在本书的翻译和出版过程中，曾得到不少同志的支持与帮助，在此向他们表示衷心感谢。

由于译者水平所限，译文中难免有错误和不妥之处，恳请读者批评指正。

译者

1987年1月于天津

原 序

在所有小型计算机的心脏部分，都具有微处理器，遗憾的是微处理器常常在完成那些既简单但又绝对必要的工作上耗费了很多潜力，而这些工作是能够由其它部件更有效地去执行的。人们逐渐觉察到这一事实，已使得几乎所有大型半导体厂家都去生产完成这些一般性例行工作的微处理器支持芯片。

但应用哪些芯片最合适呢？在您选择好芯片后如何去使用它呢？这是待解决的问题。

着手一项设计，其所得可能是失败的经历。一般地说，一页技术资料只不过是统计资料的大致梗概。本书中所收集的97种反映目前先进水平的微处理器支持芯片，将会对新选芯片在现行设计中的使用起着极大的推动作用。关于这些芯片的一切必须的应用概念和资料，都以高度精炼、简明易懂的形式组织在本书中。

读者从本书中读到的内容，大多属于器件硬件方面的内容。书中不但列出器件的每个引脚，而且还详细地说明了它们的功能，以及如何使用它们。当期望一个引脚完成一个以上的任务时，则对该引脚加以详细描述。若生产厂家要求某引脚使用外接电路时，则就这方面加以说明。如果对设计有特殊要求，则对该要求加以解释和说明。事实上，通过书中所附的“工作原理电路图”就会了解这些芯片，并能付诸使用。

必要时也对软件程序加以解释。有时软件比安排和运行硬件花费更大。此外，每一章还介绍了一组芯片内所含各芯片的总功能。希望这本书成为工程技术文库中一本有价值的图书。

凯尼昂·康特利
1983年于加利福尼亚州

目 录

第一章 通讯芯片	1
1.1 8251A—可编程序通讯接口	1
1.2 WD2501—包网络接口	4
1.3 WD2511—包网络接口	7
1.4 MC6854—先进的数据链控制器	9
1.5 2651—可编程通讯接口	12
1.6 2661—增强型可编程通讯接口	15
1.7 Z 8030—串行通讯控制器	20
1.8 Z 8530—通用串行通讯控制器	22
1.9 8274—多约定的串行控制器	25
1.10 SC 2652—多约定的通讯控制器	28
1.11 COM5025—多约定通用同步接收器/发送器	31
1.12 WD2840—局部网络标记存取控制器	33
1.13 COM 9026—局部地区网络控制器	36
1.14 MC 6860—数字调制解调器	39
1.15 TMS99532—300BPS FSK 调制解调器	42
1.16 DP8340—串行双相发送器/编码器	45
1.17 DP8341—串行双相接收器/译码器	48
1.18 COM9004—兼容的同轴接收器/发送器	51
1.19 Am 7990—以太网局部地区网络控制器	53
1.20 MK 68590—以太网局部地区网络控制器	56
1.21 68590—以太网局部地区网络控制器	59
1.22 Am 7991—以太网串行接口适配器	62
1.23 MK 3891—串行接口适配器	64
1.24 8001—以太网数据链控制器	66
1.25 8002—以太网网络编码器/译码器	70
1.26 82586—局部通讯控制器	72
1.27 82501—以太网网络串行接口	74
第二章 电源和专用芯片	77
2.1 UC 1524—可调整脉冲宽度的调制器	77
2.2 MC 34060—开关型脉冲宽度调制控制电路	79
2.3 CDP 1871—键盘编码器	82
2.4 8279—可编程键盘/显示器接口	84
2.5 CY 300—字符液晶显示器 LCD 控制器	88
2.6 10937—文字数字显示控制器	90
2.7 10938和10939点阵式显示器控制器	92
2.8 8254—可编程时间间隔定时器	95
2.9 MC 6840—可编程定时器	97

2.10	Z8430—计数器/定时器电路	100
2.11	8294—数据加密单元	102
2.12	MC 6850—数据保密器件	105
第三章 接口芯片		108
3.1	Z 8036—计数器/定时器和并行 I/O 单元	108
3.2	Z8536—计数器/定时器与并行I/O单元	110
3.3	CDP1851—可编程I/O接口	113
3.4	CY 232—并行/串行接口器件	116
3.5	MC68122—集群终端控制器	119
3.6	8255A—可编程外设接口	123
3.7	MC 68230—并行接口/定时器	127
第四章 控制芯片		130
4.1	CY500—存储程序步进电机控制器	130
4.2	CY512—智能定位步进电机控制器	132
4.3	8295—点阵式打印机控制器	135
4.4	CY480—通用打印机控制器	139
4.5	FD1792—软磁盘格式器/控制器	142
4.6	FD1791—软磁盘格式器/控制器	145
4.7	FD1795—软磁盘格式器/控制器	147
4.8	WD 2791—软磁盘格式器/控制器	150
4.9	FD1771—软磁盘格式器/控制器	152
4.10	8272—软磁盘控制器	156
4.11	μPD 765A—软磁盘控制器	158
2.12	TMS 9909—软磁盘控制器	160
4.13	FDC 9216—软磁盘数据分离器	163
4.14	WD 1691—软磁盘支援逻辑	165
4.15	WD1100—Winchester磁盘控制器芯片组	168
4.16	WD1100—Winchester磁盘控制器芯片组	169
4.17	WD 1100—Winchester 磁盘控制器芯片组	172
4.18	WD1100—Winchester磁盘控制器芯片组	175
4.19	DP 8460—数据分离器	178
第五章 视频芯片		181
5.1	CRT 5027—视频定时器和控制器	181
5.2	CRT 5047—视频定时器和控制器	185
5.3	CRT8002—CRT视频显示属性控制器	188
5.4	MC 6845—CRT控制器	191
5.5	MC 6835—CRT 控制器	194
5.6	SY6545—CRT控制器	195
5.7	MC6847—视频显示发生器	199
5.8	2672—可编程视频定时控制器	202
5.9	SC2473—视频属性控制器	206
5.10	SC 2670—显示字符和图形发生器	209

5.11 SC 2671—可编程键盘和通讯控制器	212
5.12 CDP 1861—视频显示控制器	214
5.13 CDP 1862—彩色发生器控制器	216
5.14 CDP 1864—PAL兼容彩色电视接口	219
5.15 TMS9918—视频显示处理器	222
5.16 TMS 9928—视频显示处理器	225
5.17 TMS 9329—视频显示处理器	228
5.18 CRT 9007—视频处理器和控制器	231
5.19 8275—可编程 CRT 控制器	236
5.20 CRT96364—CRT 控制器	242
第六章 A/D及D/A转换器	245
6.1 AD558—与全部微处理器兼容的8位D/A转换器	246
6.2 MC6890—8位MPU总线兼容D/A转换器	247
6.3 DAC-888—3位高速“微处理器兼容”倍乘D/A转换器	250
6.4 AD 7524—8位缓冲倍乘D/A转换器	252
6.5 AD7528—双8位缓冲倍乘数字—模拟转换器	255
6.6 Am6108—微处理器兼容8位A/D转换器	258
6.7 Am6148—微处理器兼容8位A/D转换器	260
6.8 DAS-952 R—16通道8位数据采集系统	263
6.9 CA 3300—视频速度6位快速模拟—数字转换器	266
6.10 TM1070—快速转换器	268
6.11 MC10315—7位并行A/D快速转换器	271
6.12 MC10317—7位并行A/D快速转换器	273
英文缩写字	276
制造厂商	278
参考文献	279

第一章 通讯芯片

1.1 8251A—可编程序通讯接口

Intel 公司推出的 8251A 是一种可编程的通讯接口控制器，它可用于各种微型计算机。如同微处理器系统中其它智能化 I/O 器件一样，8251A 具有可编程性，因此可以通过软件非常灵活地设置它的功能。

8251A 基本上是优于工业标准通用同步/异步收发器 Intel 8251 的先进设计。它可与各种各样的 CPU 一起运行，同时保持与 8251 兼容。该控制器能够支持大多数使用中的串行数据技术，其中包括 IBM 的双同步通讯。

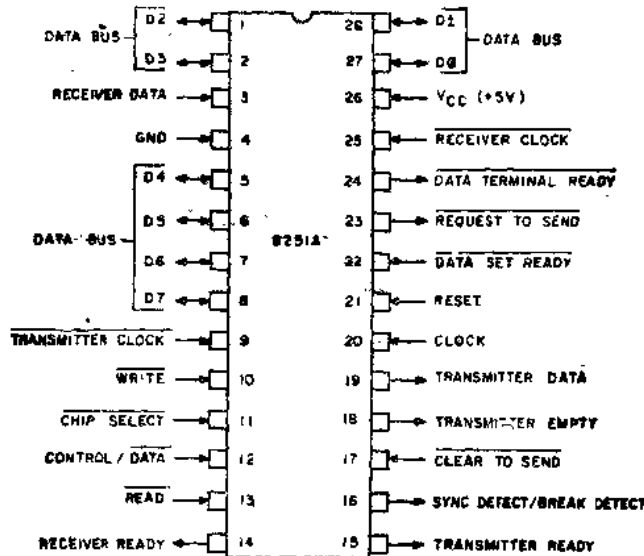


图 1-1-1

一般操作

如果微处理器不跟外界通讯，它本身实际上是无用的。在某通讯环节中接口器件，如 8251A，必须把并行的 CPU 数据转换成串行格式的数据，以便发送。而且也要把输入的串行数据转换成并行格式，以便 CPU 进行求值计算。此外，通讯器件也应当能插入或删除预先指定的位或字符，而这些位和字符按照所规定的约定都具有唯一的功能。对 CPU 来说，接口应当简单，也就是要求有一个简单的信息输入或输出。

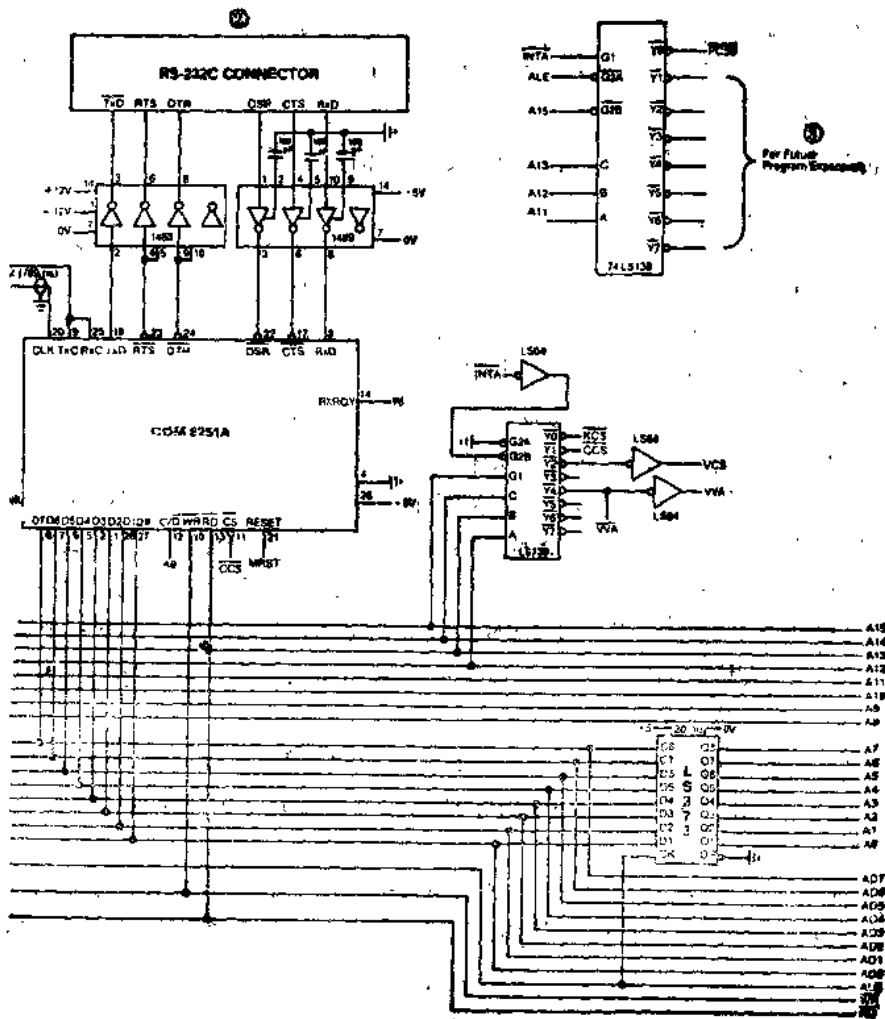
CPU 接口

通过三态 8 位数据总线 (DATA BUS, 引脚 27、28、1、2、5—8) 把 8251A 联接到 CPU 系统上。不论总线上的数据是器件的控制字、状态信息，还是数据字符，都要由控制/数据端 (CONTROL/DATA, 引脚 12) 的输入跟“写” (WRITE, 引脚 10) 和“读” (RE-

AD，引脚13)的输入相结合来确定。当 **CONTROL/DATA** 的输入是高电平时，则该芯片不是正处在被编程状态，就是正处在被服务状态。然而，为了在 8251A 和系统之间传送数据，此时就要使该输入端为低电平。

所有数据传送都发生在芯片选择 (CHIP SELECT引脚11)控制端为低电平选通之下。当该引脚是高电平时,DATA BUS处于高阻状态,将使器件处于既不“读”也不“写”的状态。

大多数的通讯器件，为了通讯连接都需要一个调制器，例如调制解调器，8251A 也不例



④—RS-232C 连接器 ⑤—用于今后程序扩展

外。为此，该芯片有一组用于调制解调器连接的输入输出控制端。

数据装置准备就绪端（DATA SET READY，引脚22）是通用输入端，它的用途是通知该通讯芯片，对通讯数据已作好调制解调准备。相反，数据终端准备就绪端（DATA TERMINAL READY，引脚24）的输出可对调制解调发信号，用以表明 8251A 对于处理数据已准备就绪。

当汇编完信息而准备发送时，控制器用请求发送（REQUEST TO SEND，引脚23）输出信号请求调制解调器，而调制解调器用一个清除发送（CLEAR TO SEND，引脚17）这样的

回答信号作为对请求信号的响应。随后数据就由发送数据端(TRANSMITTER DATA, 引脚19)的端口发送出去。输入的信息在接收数据(RECEIVER DATA, 引脚3)输入端被接收。

发送器/接收器的控制

8251A 控制器既能用于同步通讯, 又能用于异步通讯, 而其发送器和接收器操作根据所约定的约定来确定。

发送器的控制管理着与串行数据发送有关的一切情况。当发送器准备运行时, 则通过使发送准备就绪(TRANSMITTER READY, 引脚15)端输出高电平作为向CPU发出的通知信号。每当发送器没有要发送的字符时, 不管它是处于等待还是正在发送, 发送“空”(TRANSMITTER EMPTY, 引脚18)输出端, 都会变成高电平。

同样, 接收器的控制则管理着接收器所涉及到的- 切事情。当接收器判明一个有效的同步字符时, 数据接收按同步方式开始, 通过使同步检测端(SYNC DETECT, 引脚16)输出的高电平作为表示。如果为了响应双同步字符, 对控制器进行了编程, 则在双同步方式通讯时, 在处于第二个同步字符中间处时, 同步检测(SYNC DETECT)输出端变成高电平。

接收准备就绪端(RECEIVER READY, 引脚14)的输出表明字符已经被汇编好, 并已准备就绪, 以供CPU读取。随后读操作使SYNC DETECT输出端复位。在下一个数据字符汇编好之前, 不能去读取接收的字符, 否则就置一个溢出错误标志, 并把输入的数据写在原来字的上面, 从而破坏了原来的字。

在异步通讯方式中, 同步检测 SYNC DETECT 输出端变成断开检测 BREAK DETECT 输出端, 每当 RECEIVER DATA 输出端由于通过两个连续的停止位序列而保持低电平时, 该输出端输出高电平。

发送器和接收器的波特率分别由发送器时钟(TRANSMITTER CLOCK, 引脚9)和接收时钟(RECEIVER CLOCK, 引脚25)的输入来决定。在大多数通讯系统中, 8251A 将控制一个单独链中的接收器和发送器两者的操作。因而 TRANSMITTER CLOCK 和 RECEIVER CLOCK 将是相同的, 而且能够被联接在一起, 用同一频率源驱动。虽然芯片是由时钟(CLOCK, 引脚20)信号进行内部驱动, 但它对波特率或DATA BUS的操作没有影响。

1.2 WD2501—包网络接口

WD 2501 是由 Western Digital 公司生产的芯片, 它是基于大规模集成电路的包网络接口器件。它用于处理符合 CCITT X.25 标准的面向位、全双工串行数据通讯。实际上, 由于使用内部固件, 就使收发机完全符合 X.25 LAP 约定, 而且除数据输入和输出, 所有的操作对用户来说都是了如指掌的。

面向位通讯

2501 按照 X.25 标准进行通讯, 而 X.25 是面向位的约定。现已有几种工业标准满足向位的格式, 其中包括同步数据链控制规程 SDLC 和高级数据链控制规程 HDLC。按照 X.25 标准而定义的 Level2 约定, 是由 IBM 公司所规定的 HDLC 规程的分支, 2501 所执行的正是这一约定。目前已被国际电话电报咨询委员会(CCITT)采用为标准。

信息是在称为帧的数据包内部各站之间进行交换的。一个帧组成一个数据包。帧是面向位的, 也就是说, 在帧的结构内部每一位, 而不是字符, 都有一特定的含义。

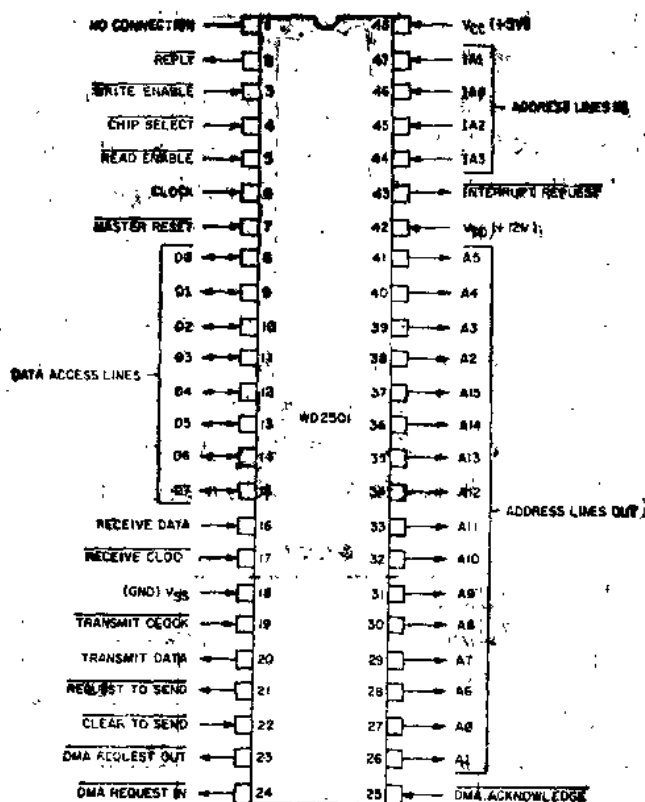


图 1-2-1

帧的格式

所有的帧都是一个标志作为开始和结束的。该标志是一个独特的二进制代码组成的图样(01111110)，用它标志帧的开始。接收器总是不停地搜索这个标志，而且用它建立同步和容帧分界线。

跟在这个标志后面的是8位地址字段和8位控制字段。这两个字段是指令，它为通讯内的提供指令，而且这两个字段的功能还常常扩大到自动寻址和巡回检测功能(例如，2501内就是如此)。

通讯规则一经建立，信息段就被发送。这个段的内容就是实际数据信息。它可以在5~8位长度中的任何地方。帧显而易见的一个重要特征是自动插入和删除“0”的方法，使它的内容成为简明的编码。假如信息(信息字段)中含有5位以上的连续的逻辑“1”时，则发送器自动地把“0”插入到数据串中去。这种方法防止接收器把数据错读成标志。

在信息段被发送之后，计算并附加一个检查错误的帧检查序列。而且用另外一个标志结束帧。由于面向位的约定基本是同步数据链，所以它不允许空帧，因此当没有数据可发送时，2501用连续的标志占满这些空闲的时间。

数据发送

输出数据通过数据存取线(DATA ACCESS LINES, 引脚8—15)被输入到2501，然后汇编成包，并从发送数据输出端(TRANSMIT DATA, 引脚20)顺次发送出去。其发送波特率由发送时钟(TRANSMITCLOCK, 引脚19)的频率所决定。

本地通讯可使用线驱动器,如ETA-422或RS-232C,把两个站联接起来。但对远距离的通讯线路,则需要调制解调器。

两根控制线控制着发送器的操作。在发送器已经组成帧,并且发送数据包准备就绪之后,就使得集电极开路的需求发送端 (REQUEST TO SEND, 引脚21) 的输出有效。因为它是一集电极开路器,所以 REQUEST TO SEND 输出端在大多数情况下需要一个提拉电阻。用清除发送端 (CLEAR TO SEND, 引脚22) 的输入启动发送。

发送器的异常终止

下述三种情况出现时,可以终止数据的发送。由于这三种情况都代表异常状态,所以一定要把已被发送的数据从信息中消除。为此,发送一个“0”后面跟上七个“1”的命令,以便按接收站不理睬帧的方式,去实现终止帧的目的。

不论何时,只要产生发送数据的丢失,则异常终止就会发生。这种情况发生在输入数据的速率跟不上输出数据速率时。如果收到接收站发来的拒绝响应信号,则发送也会终止。

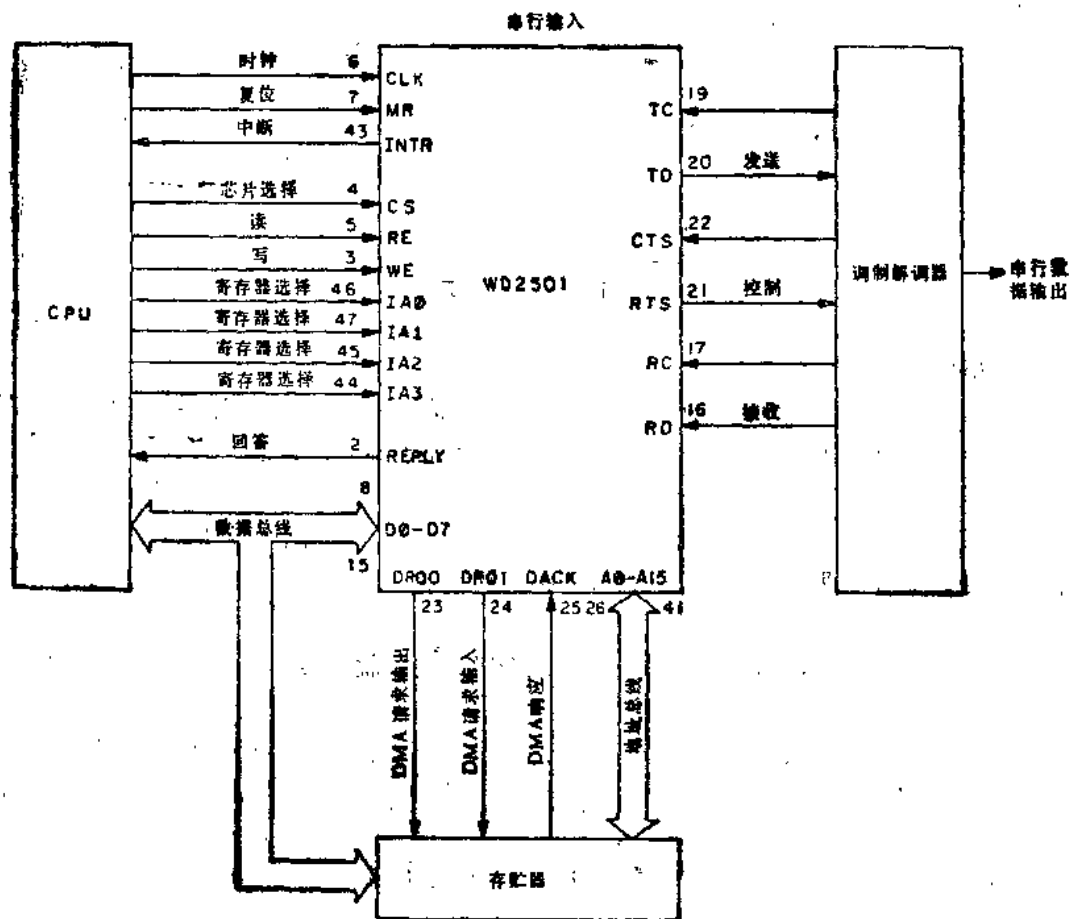


图 1-2-2

时钟输入(引脚6)必须是频率大于250Hz的方波

第三种情况涉及到接收器的应答。在合理的时间范围内,对帧的接收作出回答是接收站的责任。在2501内的可编程计数器,把这个合理的时间范围安排在16 ms 和 16 s 之间。如果正在

传送一个数据包的时候, 计时器已到了时间, 则这个数据包就被异常终止。切记, 如果一个数据包的传送时间比安排的时间长, 则异常终止必将发生。

Western Digital 公司制造的两种芯片, 它们遵守 X.25 约定的两种规定。2501 实现了 LAP (链存取过程), 而 2511 实现了 LAPB (平衡的链存取过程)。为了进一步了解 2501 的操作, 读者应翻阅 WD 2511 一节。

2501 基本上是一个全双工器件, 它具有总是处于准备就绪条件的接收器, 甚至在接收缓冲器不处于准备就绪状态时也是如此。因而不管接收的帧来自全双工系统或半双工系统, 对 2501 都是无关紧要的。

1.3 WD2511—包网络接口

Western Digital 公司生产的 WD 2511 是大规模集成电路的包网络器件, 它按照 CCITT X.25 的标准处理面向位的串行数据通讯。当使用芯片上的 DMA 控制器时, WD 2511 也能够直接把信息传送到存储器, 或直接由存储器传送出来。

WD 2511 与 Western Digital 公司制造的 WD 2501 基本上是一样的。可是 2501 使用 X.25 LAP 约定进行通讯, 而 2511 实行新的 X.25 LAPB 的约定。

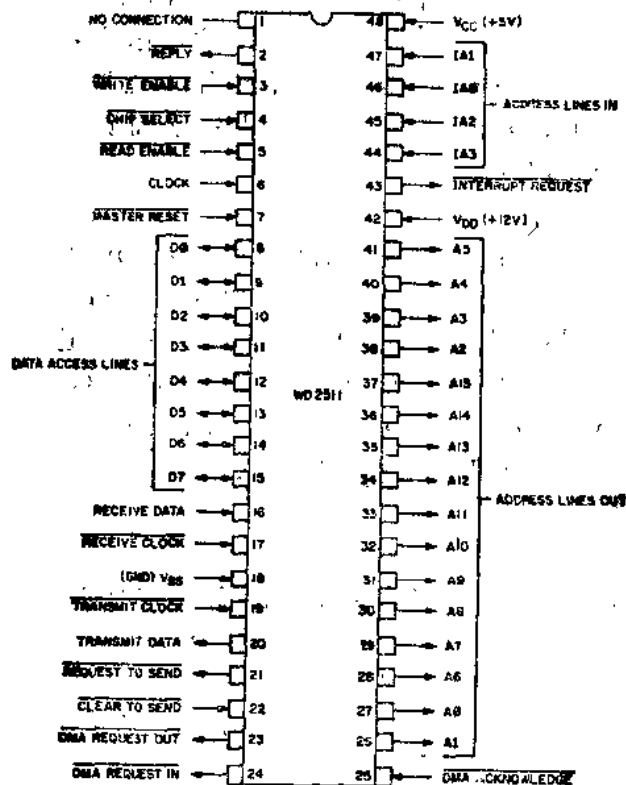


图 1-3-1

LAPB 标准

X.25 约定基本上是由 IBM 公司的 HDLC 串进数据标准所派生的。可是首先由 CCITT

委员会提出的 LAP 标准, 在一些细节方面并不跟 HDLC 标准完全一致。因而在 1980 年, 该委员会采用了有很大提高的 LAPB (平衡的链存取过程) 约定, 该约定是 X.25 标准的修订本。为了逐渐停用和取代 LAP 网络, 因而设立了 LAPB 这种具有很多优点的约定。

LAP 和 LAPB 仅仅在链的建立、断开、复位和不能接收的过程等方面有所差别, 所有这一切都放在固化软件中, 并且由芯片来彻底实现。因而 2501 和 2511 在软件和硬件方面是能够直接互换的。为了从一种约定转换到另一种约定, 用户只要把所需要的芯片简单地插到系统中即可。

数据接收

被接收的数据通过接收数据输入端 (RECEIVE DATA, 引脚 16) 进入芯片。为了检查数据, 接收器必须使用波特率时钟, 以使自己跟使用波特率时钟的数据流同步。这个时钟可以由远处的发送器提供, 或由外部波特率发生器产生。时钟信号通到接收时钟引脚 (RECEIVE CLOCK, 引脚 17) 输入。

每个接收站都有一个唯一的地址, 把这个地址编程到接收器的地址域寄存器中。在接收器识别一个标志后, 便与它自己的地址域进行对照检查。如果两者一致, 则允许接收器接收, 如果不是这样, 接收器继续搜索另外的标志。接收器一旦被允许接收, 它就监督每个帧的正确地址和帧检查序列。接收器也对控制域的指令进行译码。如果帧是一个包 (有效数据), 则信息域就被安排到一个位于芯片内被指定的寄存器中, 而且产生一个中断请求 (INTERRUPT REQUEST, 引脚 13), 在下一个数据包到达之前, 或放置一个错误标志之前, 必须从该寄存器中读取这个信息字节。可是, 在发生数据溢出之前, 可以累计到 24 位。

在一个数据包被接收之后, 接收站必须对此作出回答。然而按着 X.25 约定, 在作出必要的回答之前, 可以累计达七帧。

CPU 接口

以 16 位寄存器对 2511 进行监督和控制。用安排地址线入 (ADDRESS LINES IN, 引脚 47—44) 的输入的方法, 通到数据存取线 (DATA ACCESS LINES, 引脚 8—15) 对这些寄存器进行存取。当读允许 (READ ENABLE, 引脚 5) 和芯片选择 (CHIP SELECT, 引脚 4) 输入是低电平时就将所选寄存器的内容放在数据存取线 (DATA ACCESS LINES) 上; 而且当写允许 (WRITE ENABLE, 引脚 3) 和芯片允许 CHIP ENABLE 相结合时, 就使数据进入寄存器。只要正在发生读和写的交换时, 回答输出端 (REPLY, 引脚 2) 的输出为低电平。

DMA 操作

2511 也能够管理 DMA 传送。该存储器存取方法具备 X.25 约定的全部优点。为了不去确定每个通讯链的方向, 这个约定允许七个信息域。2511 使用在外存贮内的两个查阅表来实现 DMA 传送, 一个表用于发送, 一个表用于接收。

首先根据外查阅表的起始地址, 对 2511 编程。这些 DMA 的地址存放在查阅表寄存器中, 发送器地址为第一个。

在发送方式中, 2511 使用地址线输出端 (ADDRESS LINES OUT, 引脚 20—41) 的输出来指定查阅表寄存器中的第一个 DMA 的位置。通过把 DMA 请求输入端 (DMA REQUEST IN, 引脚 24) 的输出被降为低电平的方法实现发送器请求数据。以收到 DMA 响应端 (DMA ACKNOWLEDGE, 引脚 25) 的信号为依据来发送数据。然后 2511 自动地发送

标志、地址和控制域，随后发送DMA数据字节。在信息域的末尾，附加上帧检查序列。而后2511转到下一个DMA地址，又重复上述过程。

如果要求重复一个帧，则2511将通过查表自动地折回先前的传送。虽然用置一个错误标志的方法，把这个事实通知CPU，但是重新传送但不涉及CPU。

接收过程与发送过程相反，接收是把数据放到存储器中，而不是从存储器中取出数据。当DMA ACKNOWLEDGE 的输入被拉成低电平时，DMA 请求输出端（DMA REQUEST OUT，引脚23）将把数据字节放到数据存取线 DATA ACCESS LINE 上。当 REPLY 线是低电平时，不应该要求DMA传送，这点必须予以注意。

要了解其它细节，参看WD 2501一节。

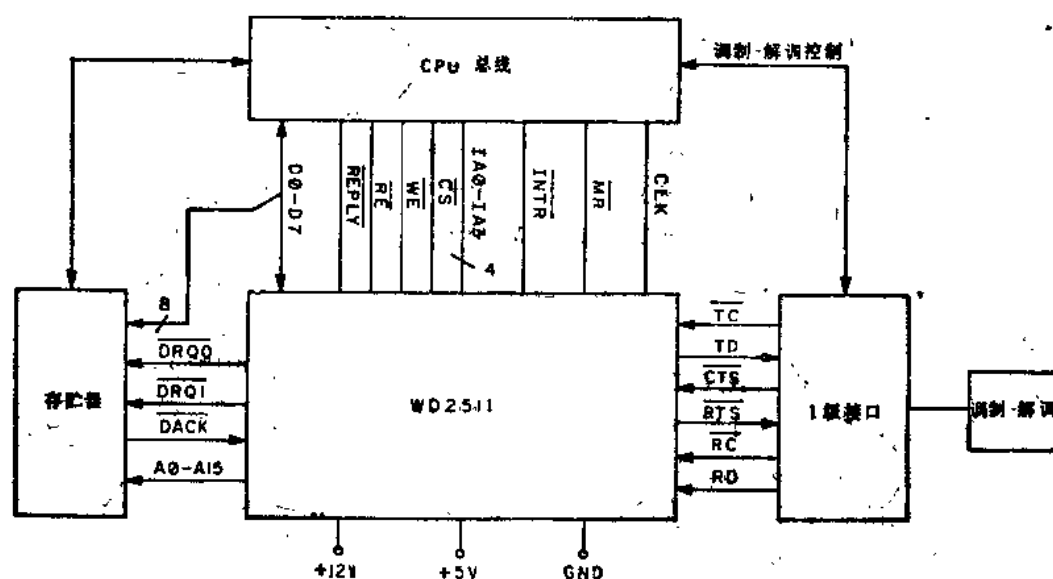


图 1-3-2

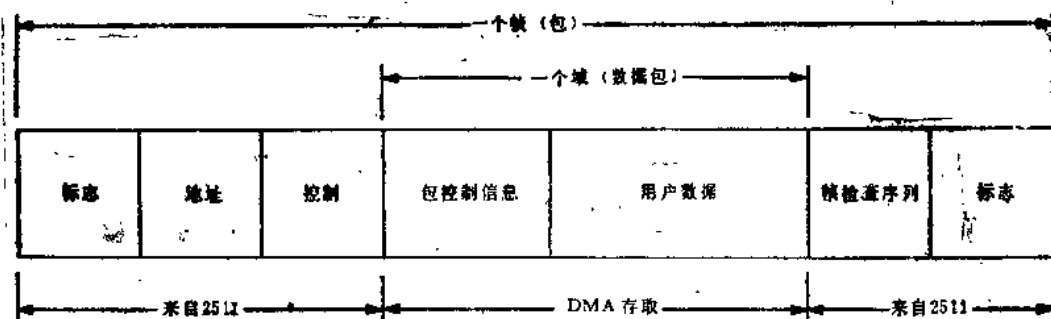


图1-3-3 X.25约定

1.4 MC6854—先进的数据链控制器

Motorola 公司生产的 MC 6854，实现了CPU/数据链通讯的复杂功能。这些功能和“先进的数据链通讯控制过程的规程”（ADCCP）、高级数据链控制规程（HDLC）、同步数据