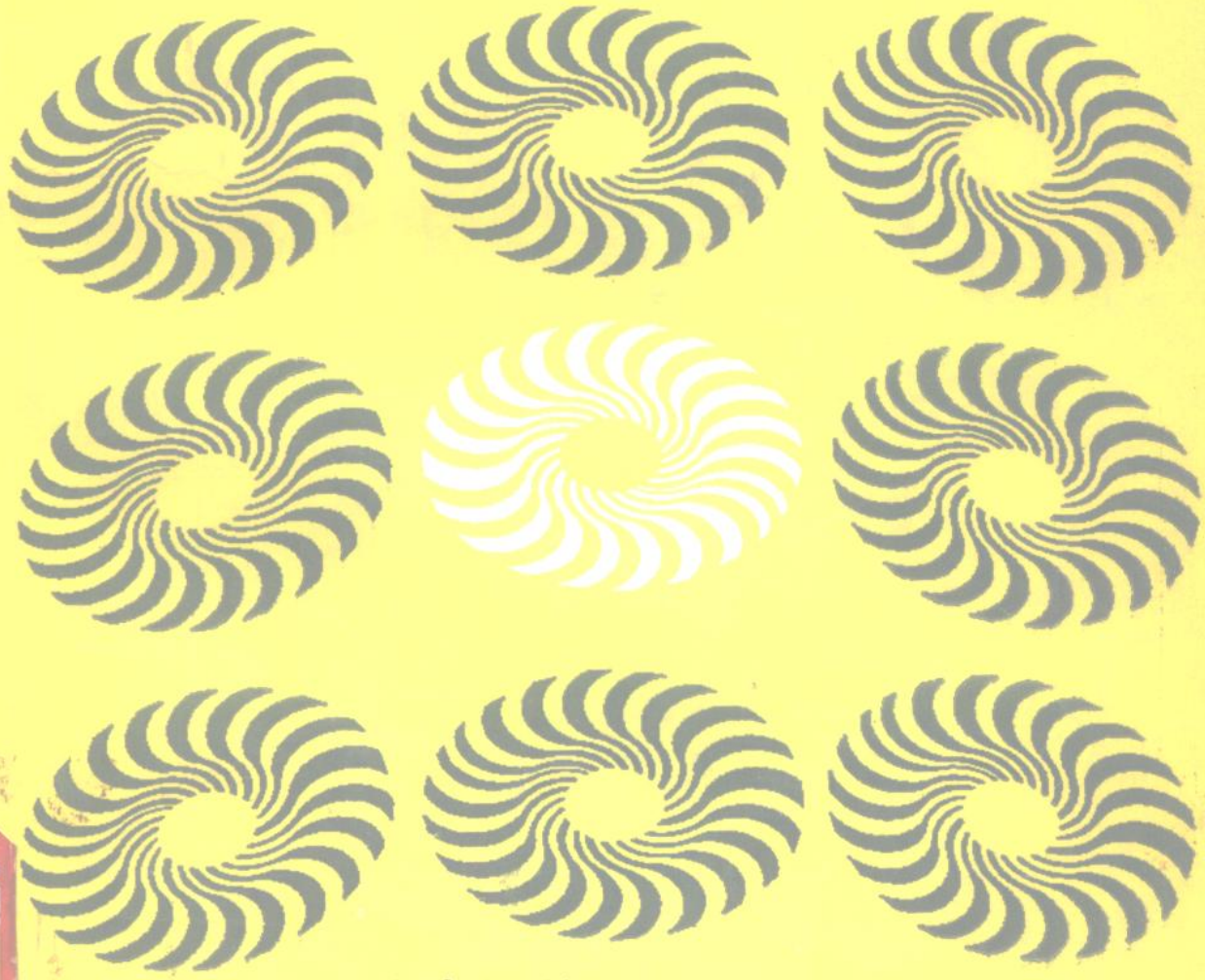
可编程逻辑器件 PLD 原理与应用

张有志 编著



中国铁道出版社

可编程逻辑器件(PLD)

原理与应用

张有志　编著

中国铁道出版社

1996年·北京

(京)新登字 063 号

内 容 简 介

本书简明系统地阐述了 PROM,PLA,PAL,GAL,EPLD 和 FPGA 等可编程逻辑器件的工作原理、开发过程和应用技术。全书共分 6 章:可编程逻辑器件概述,可编程阵列逻辑 PAL,通用阵列逻辑 GAL,可编程逻辑器件的开发,可编程逻辑器件的应用和现场可编程门阵列 FPGA。每章后面都有小结和思考练习题,附录中分别给出了 PAL,GAL 和 FPGA 的若干实用信息。

本书内容丰富,取材新颖,主次分明,实用性强。可作为高等学校电子类专业相关课程的教材或教学参考书,也可供广大电子工程技术人员阅读参考。

可编程逻辑器件(PLD)
原理与应用
张有志 编著

中国铁道出版社出版发行
(北京市宣武区南菜园街 72 号)
责任编辑 任 军 封面设计 薛小卉
各 地 新 华 书 店 经 售
北京顺义燕华印刷厂印刷

开本:787×1092 毫米 1/16 印张:17 字数:414 千
1996 年 9 月 第 1 版 第 1 次印刷
印数:1- 2000 册

ISBN7-113-02283-9/TP・230 定价:28.80 元

前　言

可编程逻辑器件(Programmable Logic Device，简称 PLD)是 80 年代蓬勃发展起来的专用集成电路的一个重要分支，是设计新型数字系统的理想器件。它不仅速度快，集成度高，而且具有用户可定义的逻辑功能，有的还可以加密，可以重复编程，其编程次数达 100 次甚至 1 万次以上。因此，PLD 不仅能适应各种应用的需要，而且还可大大简化硬件系统，降低成本，提高系统的可靠性、灵活性和保密性。

PLD 作为一种新型的电子器件，有着极其广阔的应用前景。在一些技术发达的国家，PLD 已在计算机硬件、工业控制、智能仪表、家用电器和现代通信等许多领域内得到了广泛应用。在我国，一些大专院校、科研单位和公司也在研究 PLD 的开发工具及其应用技术，有的产品中已经使用了 PLD，越来越多的大专院校还相继增设了这方面的课程。

现在，PLD 应用技术正向着两个方面发展。一方面是越来越多的系统设计人员正在凭借着现有的 PLD 开发工具，利用 PLD 器件设计符合自己特定要求的专用集成电路(ASIC——Application Specific Integrated Circuit)芯片；另一方面是 PLD 开发工具专业公司正在致力于开发包罗万象的功能更强的 PLD 开发工具。

目前，就我国而言，PLD 技术的研究、开发与应用的势头方兴未艾。有关部门已将 PLD 技术的推广应用列为近期内主要技术突破口之一。作为高等学校电子类专业的学生，迫切需要学习并掌握这方面的知识。对一个已经掌握数字系统传统设计技术的科技人员来讲，如果再掌握 PLD 技术，就会起到如虎添翼的作用。为此，编者从 1992 年开始在我校开出了《PLD 原理与应用》的选修课程，并编出了相应的校内讲义。1994 年，该讲义被学校评为优秀教材。本书就是在近四年教学实践和原讲义的基础上修改补充而完成的。其编著之目的，就是在于向有关专业的大学生、研究生、教师和电子行业的科研人员介绍 PLD 原理和应用方面的知识，以期对 PLD 技术的推广应用尽微薄之力。

全书共分 6 章。第一章阐述 PLD 器件的基本结构、突出特点、主要类型和发展概况，并简要介绍了几种最常用的 PLD 器件，包括可编程只读存储器 PROM(Programmable Read Only Memory)、可编程逻辑阵列 PLA(Programmable Logic Array)、可编程阵列逻辑 PAL(Programmable Array Logic)、通用阵列逻辑 GAL(Generic Array Logic)、可擦除的可编程逻辑器件 EPLD(Erasable Programmable Logic Device)和现场可编程门阵列 FPGA(Field Programmable Gate Array)，目的在于使读者尽快从整体上了解 PLD，为后续章节的学习奠定基础。由于 PAL 和 GAL 是目前使用最多的两种 PLD 器件，所以本书分别在第二章和第三章较为详细地介绍了这两种器件的结构原理和技术性能。第四章介绍 PLD 器件开发过程中所遵循的一般步骤和常用的开发工具。第五章结合 PLD 应用的若干典型实例，分别阐述了 PROM，PLA，PAL 和 GAL 器件用作组合逻辑与时序逻辑设计的一般方法及应该注意的一些问题。FPGA 具有良好的应用前景，但由于其开发过程和开发手段等与其它 PLD 器件有较大差异，

所以本书将它的工作原理与开发应用方面的知识集中在一章即第六章中介绍。本书最后还有3个附录，分别列出了PAL，GAL和FPGA的使用条件、特性参数和其它实用信息。

本书在编写过程中，结合编者多年从事PLD开发与教学的实践经验，对多种国外资料、手册和国内近期出版的有关书籍、最新发表的有关论文进行了提炼、概括、归纳与整理。注意了选材上的先进性与内容上的系统性和完整性。同时，注意了从认识规律出发，尽量做到深入浅出、循序渐近、突出重点、联系实际，并在每章后面都编入了小结和部分思考与练习题。因此，本书不仅可作为高等学校电子类专业高年级相关课程的教材和教学参考书，也可用作PLD技术培训班的讲义，对于具有数字电路基础的广大电子科技人员来说，本书也是一本较为实用的自学参考书。

本书在编写过程中得到了学校、系和教研室有关领导的大力支持；学校教材委员会对本书的出版给予了很大资助；刘思扬教授为本书的编写提出了不少宝贵意见。在此一并表示衷心感谢。

限于编者水平和时间关系，书中不妥和谬误之处在所难免，诚望读者批评指正。

编著者

1995年9月

此为试读，需要完整PDF请访问：www.ertongbook.com

目　录

第一章　可编程逻辑器件概述 …… (1)

第一节　PLD 器件的基本概念 …… (1)

一、什么是 PLD 器件 …… (1)

二、使用 PLD 器件的好处 …… (3)

三、PLD 器件的基本结构 …… (4)

第二节　PLD 器件的分类与发展 …… (6)

一、PLD 器件的分类 …… (7)

二、PLD 器件的发展概况 …… (8)

第三节　主要 PLD 器件简介 …… (9)

一、可编程只读存储器 PROM …… (10)

二、可编程逻辑阵列 PLA …… (15)

三、可编程阵列逻辑 PAL …… (17)

四、通用阵列逻辑 GAL …… (18)

五、可擦除的可编程逻辑器件 EPLD …… (20)

六、现场可编程门阵列 FPGA …… (24)

小　结 …… (26)

思考与练习题 …… (27)

第二章　可编程阵列逻辑 PAL …… (28)

第一节　PAL 器件概述 …… (28)

一、PAL 器件的分类 …… (28)

二、PAL 器件的输出与反馈结构 …… (29)

三、PAL 器件的命名方法 …… (32)

四、PAL 器件的性能特点 …… (35)

第二节　不同功能的 PAL 器件 …… (35)

一、简单组合型 PAL 器件 …… (35)

二、简单寄存器型 PAL 器件 …… (37)

三、状态机型 PAL 器件 …… (42)

四、异步型 PAL 器件 …… (44)

第三节　不同工艺的 PAL 器件 …… (45)

一、TTL 工艺的 PAL 器件 …… (45)

二、CMOS 工艺的 PAL 器件 …… (45)

三、ECL 工艺的 PAL 器件 …… (47)
第四节　其它特殊的 PAL 器件 …… (48)
一、可编程序列发生器 …… (48)
二、通用型 PAL 器件 …… (49)
三、零功耗 PAL 器件 …… (51)
四、超高速 PAL 器件 …… (52)
五、高密度 PAL 器件 …… (52)
小　结 …… (54)
思考与练习题 …… (54)

第三章　通用阵列逻辑 GAL …… (56)

第一节　GAL 器件概述 …… (56)
一、GAL 器件的主要特点 …… (56)
二、GAL 器件的基本类型 …… (58)
三、GAL 器件的命名方法 …… (58)
第二节　普通型 GAL 器件 …… (59)
一、结构原理 …… (59)
二、功能描述 …… (68)
三、性能特点 …… (71)
第三节　新一代 GAL 器件 …… (72)
一、结构原理 …… (72)
二、功能描述 …… (78)
三、性能特点 …… (79)
第四节　在系统编程的 GAL 器件 …… (79)
一、结构原理与功能描述 …… (80)
二、操作方式 …… (81)
三、性能特点 …… (84)
小　结 …… (84)
思考与练习题 …… (86)

第四章　可编程逻辑器件的开发 …… (87)

第一节　PLD 开发的一般步骤 …… (87)
一、设计构思 …… (87)
二、器件选择 …… (90)
三、设计实现 …… (90)
四、设计仿真 …… (93)
五、PLD 编程 …… (95)
六、PLD 测试 …… (95)
第二节　PLD 开发软件 …… (95)

一、Fast—Map 软件 …… (96)
二、ABEL 软件 …… (102)
第三节 编程器 …… (122)
一、Logiclab 专用编程器 …… (122)
二、EXPRO-80 通用编程器 …… (124)
小 结 …… (128)
思考与练习题 …… (129)

第五章 可编程逻辑器件的应用 …… (130)

第一节 PROM 的应用 …… (130)
一、PROM 用作组合逻辑设计 …… (130)
二、PROM 用作时序逻辑设计 …… (131)
第二节 PLA 的应用 …… (135)
一、PLA 用作组合逻辑设计 …… (135)
二、PLA 用作时序逻辑设计 …… (137)
第三节 PAL 和 GAL 的应用 …… (141)
一、PAL 和 GAL 用作组合逻辑设计 …… (141)
二、PAL 和 GAL 用作寄存器型逻辑设计 …… (154)
三、PAL 和 GAL 用作状态机设计 …… (165)
小 结 …… (181)
思考与练习题 …… (182)

第六章 现场可编程门阵列 FPGA …… (185)

第一节 FPGA 概述 …… (185)
一、FPGA 的基本类型 …… (185)
二、FPGA 的发展概况 …… (188)
三、FPGA 的命名方法 …… (190)
四、FPGA 的特点及应用前景 …… (190)
第二节 FPGA 的工作原理 …… (191)
一、FPGA 的内部结构 …… (192)
二、FPGA 的工作模式 …… (197)
三、FPGA 的配置过程 …… (200)
四、FPGA 的主要引脚 …… (202)
第三节 FPGA 的开发与应用 …… (204)
一、FPGA 的开发系统 …… (204)
二、FPGA 的开发过程 …… (206)
三、FPGA 的应用实例 …… (211)
小 结 …… (215)
思考与练习题 …… (216)

附　录……（218）
附录A　PAL器件的实用信息 ……（218）
一、PAL器件的工作条件 ……（218）
二、PAL器件的直流特性 ……（220）
三、PAL器件的开关特性 ……（223）
四、PAL器件主要参数的定义 ……（225）
五、PAL器件的引脚图 ……（228）
六、主要厂家PAL产品型号对照 ……（236）
附录B　GAL器件的实用信息 ……（237）
一、GAL器件的工作条件 ……（237）
二、GAL器件的直流特性 ……（238）
三、GAL器件的开关特性 ……（240）
四、GAL器件的归一化特性 ……（243）
五、GAL器件等效PAL的结构配置 ……（244）
六、GAL器件的封装外形图 ……（248）
七、主要产家GAL产品型号对照 ……（252）
附录C　FPGA的实用信息 ……（256）
一、FPGA的工作条件 ……（256）
二、FPGA的直流特性 ……（256）
三、FPGA的开关特性 ……（257）
四、FPGA的封装外形图 ……（260）
参考文献 ……（263）

第一章　可编程逻辑器件概述

当今世界，科学技术飞速发展，电子产品日新月异，新的器件不断涌现。仅就逻辑器件这一小小的“家族”而言，短短几十年的时间内就已发生了翻天覆地的变化，从每片只有几十个元件的小规模集成电路发展到在一块不到几个 mm^2 的芯片上就拥有十几万、几十万甚至更多元件的大规模和超大规模集成电路，而且器件的性能始终在飞速提高，而价格却在急剧下降。与此同时，大批新结构、新工艺、新功能的新型产品也在不断投放市场。可编程逻辑器件(Programmable Logic Device，简称 PLD)就是逻辑器件这一“家族”中的一个别具特色的新成员。

可编程逻辑器件(以下又称 PLD 器件)以它独特的优越性能，一出现就受到了人们的青睐。它的应用已渗透到计算机硬件、工业控制、智能仪表、家用电器件、娱乐装置、通信设备和医疗电子仪器等多个领域。PLD 器件的应用不仅使电子产品的性能有了很大改善，而且还使数字系统设计的方法发生了根本的变革，使传统的设计方法受到了猛烈地冲击。越来越多的事实表明，今天的数字系统设计人员若不懂 PLD 技术，就象六七十年代的电路设计师不懂印刷线路板设计技术一样，必将难以胜任工作。因此，面对 PLD 技术飞速发展的势头，无论是现在的数字系统设计人员，还是在校的电子类专业大学生，都不容继续等闲视之。谁先掌握 PLD 技术，谁就能在技术激烈竞争中掌握主动权，谁就能早出成果、多出成果，谁就能为社会做出更大的贡献。

那么，究竟什么是 PLD 器件？应用 PLD 器件都有哪些好处？目前的 PLD 器件主要有哪些类型？这是初次涉猎 PLD 器件这一领域的读者常常会提出的问题。

本章就从回答读者的上述问题入手，首先概括叙述 PLD 器件的基本概念及其分类与发展的一般性知识，然后对几种主要的 PLD 器件作简要介绍，以期使读者对 PLD 器件有一个大概的了解，以便循序渐近地学习后续章节的有关内容。

第一节　PLD 器件的基本概念

本节先回答“什么是 PLD 器件”的问题，然后叙述使用 PLD 器件的好处，最后介绍 PLD 器件的基本结构。

一、什么是 PLD 器件

要回答这一问题，就需要从逻辑器件的演变过程谈起。

自 60 年代以来，随着微电子技术的发展，逻辑器件也在不断演变。先后经历了小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)和超大规模集成电路(VLSI)等不同的发展阶段。在此期间，先后出现了各种不同类型的逻辑器件。尽管其品种繁多，型号各异，但总起来讲不外乎有以下三种类型：

1. 标准产品，即 SSI/MSI 逻辑器件。例如：TTL 工艺的 54/74 系列和 CMOS 工艺的 CD4000 系列中的各种逻辑门、触发器、译码器、多路转换器、计数器和寄存器等逻辑器件就属于这一类。

2. 由软件配置的 LSI 器件，如各种微处理器(CPU)和单片微型计算机芯片等。

3. 专用集成电路 ASIC(Application Specific Integrated Circuit)。

逻辑器件的标准产品批量大，成本低，价格便宜，器件的工作速度也很快，是数字系统传统设计中使用的主要逻辑器件。但是，这类器件的密度不高，用它构成的数字系统硬件规模大，印刷线路板走线复杂，焊点多，致使系统的可靠性降低，功耗增大。另外，这种器件的功能在出厂时就已确定，用户无法修改，不利于系统加密，修改设计时也比较麻烦，尤其是在印刷线路板制成以后就更是如此。

70 年代以后陆续推出的微处理器和单片计算机等逻辑器件较好地弥补了标准产品的上述缺陷。这种器件密度高，其逻辑功能可由软件重新配置。用它构成数字系统时可大大缩小硬件规模，提高系统的灵活性。但这类器件的工作速度还不够高，一般只有专用集成电路的1/10，不能直接用于速度要求特别严格的场合。另外，这种逻辑器件通常要有用若干标准集成电路芯片搭成的外围电路才能工作。

ASIC 的出现在一定程度上克服了上述两种逻辑器件的某些缺点。ASIC 是为满足一种或几种特定功能而设计并制造的集成电路芯片，它密度一般都很高，一片 ASIC 芯片就能取代一块由若干中小规模集成电路芯片搭成的印刷线路板，甚至一个完整的数字系统也能用一片 ASIC芯片实现。因此，使用 ASIC 能大大减小系统的硬件规模，降低系统功耗，提高系统的可靠性、保密性和工作速度。

ASIC 按制造方法又可分为三类，即全定制(Full Custom)产品、半定制(Semi-custom)产品和 PLD 器件。

全定制的 ASIC 芯片其各层掩膜都是按特定电路的要求，由半导体器件生产厂家专门设计与制造的。其设计方法通常有：人工法、标准单元法、通用单元法、优化阵列法和硅编译(Silicon Compiler)法等。不管采用哪种方法，都要经过电路设计、逻辑模拟、版图设计和集成电路的各道生产工序才能制造出符合要求的专用集成电路芯片。这是一个周期长、费用高、还带有很大风险性的过程。因此，全定制的专用集成电路只在特大批量生产的情况下才适用。

半定制 ASIC 芯片上的单元电路也是由器件生产厂家预先做好的(这种芯片称作母片)，只剩下金属连接层的掩膜有待按用户的具体要求进行设计与制造。最常见的半定制 ASIC 为“门阵列”(Gate Array)和“门海”。这种母片通用性较强，可以大批量生产，因而单片成本较低。当用户需要制作满足特定要求的 ASIC 芯片时，可根据设计要求和所选母片的结构，由用户或器件生产厂家设计出连线版图，再由器件生产厂家将所需金属连线做上。因此，就用户角度而言，这种 ASIC 与全定制 ASIC 相比，当生产量不是很大时，它的设计和生产周期短，成本低，风险也小得多。

但是，以上两种 ASIC 的设计和制造都离不开器件生产厂家，用户主动性较差，而且设计和生产周期也比较长。为了克服上述逻辑器件的缺点，人们又研制出一种新型的逻辑器件——PLD 器件。PLD 器件芯片上的电路和金属引线都是事先由器件生产厂家做好的，但其逻辑功能在出厂时并没有确定，其逻辑功能可由用户根据需要借助于 PLD 开发工具通过对其“编程”的办法来确定。因此，不通过器件生产厂家用户自己就能设计出符合要求的各种 ASIC 芯片。

此为试读，需要完整PDF请访问：www.ertongbook.com

多数 PLD 器件都能重复编程，具有加密功能，并兼有标准产品速度快、微处理器灵活性好和全定制与半定制 ASIC 集成度高的优点，是实现新型数字系统的理想器件。

二、使用 PLD 器件的好处

在数字系统中使用 PLD 器件会给用户带来许多好处。其中有些是直接的，有些是间接的，有些比较明显，有些则不太明显。归结起来主要有以下几点：

(一)减小系统的硬件规模

PLD 器件密度高，一片 PLD 可代替几片、几十片乃至上百片中小规模的数字集成电路芯片。用 PLD 器件实现数字系统时用的芯片数量少，占用印刷线路板面积小，整个系统的硬件规模会有明显减小。例如：一个由 2 片“或”门 74LS32、4 片“与”门 74LS08 和 4 片 D 触发器 74LS74 组成的电子骰子游戏机控制电路，用 1 片 GAL16V8 即可代替。又如：一个数字解调器，用 SSI/MSI 芯片实现时，需要 10 片十进制计数器 74LS160，4 片单稳态触发器 74LS122，1 片 D 触发器 74LS74，2 片“与非”门 74LS00，1 片反相器 74LS04，共计 11 片标准数字集成电路芯片，占用印刷线路板面积 110cm²。改用 PLD 器件时，用一片 ATV750 就可实现，占用面积只有 1 片 24 引脚的标准集成电路芯片那么大。

(二)提高系统的可靠性

使用 PLD 器件后，由于实现系统所需要的芯片数目减少了，占用印刷线路板的面积和引线以及焊点的数量也随之减少，所以使系统的可靠性得以提高。

(三)提高系统的工作速度

PLD 器件工作速度快，使用 PLD 后实现系统所需要的电路级数又少，整个系统的工作速度会得到提高。

(四)提高系统的灵活性

在系统的研制阶段，由于设计错误和任务的变更而修改设计的事是经常发生的。使用不可编程的器件时，修改设计就得更换或增减器件。这是一件相当麻烦的事，有时还不得不更换印刷线路板。使用 PLD 器件后情况就大不相同。由于 PLD 器件引脚比较灵活，又有可擦除可编程的能力，因此，对原设计进行修改时，只需要修改原设计文件再对 PLD 芯片重新编程即可，根本不需要修改电路布局，更不需要重新加工印刷线路板，甚至在产品更新换代时也是如此。这就大大提高了系统的灵活性。

(五)缩短设计周期

PLD 器件密度高，使用 PLD 器件时电路布局省事，印刷线路板设计简单；PLD 器件 性能灵活，使用它修改设计方便；PLD 器件开发工具先进，用 PLD 器件实现系统设计时，无论是在设计构思阶段还是在设计实现阶段都能自动快速地进行。因此，使用 PLD 可大大缩短系统的设计周期，加快产品投放市场的速度，提高产品的竞争能力。

(六)降低设计成本

影响系统设计成本的因素是多方面的。使用 PLD 器件实现数字系统设计时，如果仅从器件本身的价格考虑，有时还看不出它的优势，但综合考虑起来其优越性还是明显的。首先，使用 PLD 器件修改设计方便，设计周期缩短，使系统的研制开发费用降低。其次，使用 PLD 器件可使印刷线路板面积和需要的插件减少，从而使系统的制造费用降低。再次，使用 PLD 器件能使系统的可靠性提高，维修工作量减少，进而使系统的维修服务费用降低。

(七)增加系统的保密性能

PLD 器件一般都具有加密功能，在系统中广泛使用 PLD 器件可有效地防止自己的产品被他人非法仿制，以获得更多的市场占有率和经济效益。

三、PLD 器件的基本结构

综上所述，PLD 器件是一种新型的逻辑器件，是 ASIC 的一个重要分支，是一种由用户通过编程就能定义其逻辑功能，从而实现各种设计要求的集成电路芯片。PLD 器件之所以有上述功能，是因为它在电路结构上与其它逻辑器件有着较大差别。那么它的电路结构又是怎样的呢？这还得从它的设计原理谈起。

(一)PLD 器件的设计原理

在数字系统设计中，当输入中既含原变量又含反变量时，任何数字逻辑都能用“与一或”逻辑函数来描述，从而都可用“与”门和“或”门来实现。这就是 PLD 器件的设计原理。多数 PLD 器件的内部电路就是根据这一原理设计的，其总体结构如图 1—1 所示。

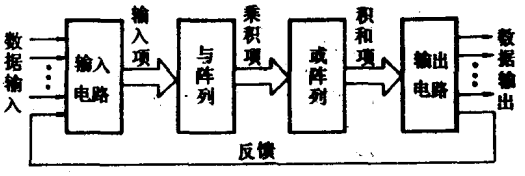


图 1—1 PLD 器件的总体结构

由图 1—1 可知，多数 PLD 器件都是由输入电路、“与”门阵列(简称“与”阵列)、“或”门阵列(简称“或”阵列)、输出电路和反馈路径组成的。在“与”阵列和“或”阵列中的输入端与前级输出的交叉点上是一些逻辑开关单元，这些开关单元的导通与断开可用编程的办法加以控制。输入信号经输入电路变成一组互补信号被有选择地接到“与”阵列的输入端，在“与”阵列的输出端就得到一组由输入信号及其逻辑“反”组成的逻辑乘积项(又叫“与”项)。这些乘积项又作为“或”阵列的输入，也可被有选择地接到“或”阵列中相应“或”门的输入端，于是在“或”阵列的输出端就可得到一组输入变量的乘积和(“与一或”)函数。这些乘积和函数再经输出电路送到 PLD 芯片的输出端。输出信号中的一部分或全部在必要时还可经反馈路径馈送到输入端。于是，通过对“与”阵列和(或)“或”阵列编程，就可实现各种各样的逻辑功能。

(二)PLD 器件的电路表示

读者已经熟悉逻辑电路的习惯表示方法，但这种方法不适于用来描述 PLD 器件的内部电路。所以，在介绍 PLD 具体结构之前，有必要介绍一种已为广大 PLD 制造厂商和用户采用的 PLD 电路表示方法。

在 PLD 器件的输入和输出电路中有许多缓冲器，其中输入缓冲器和反馈缓冲器均采用互补输出的形式，如图 1—2 所示。其输出 B,C 与输入 A 的逻辑关系是：$B=A$,$C=\overline{A}$。

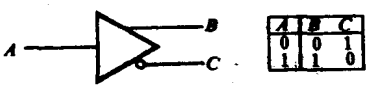


图 1—2 PLD 中的缓冲器

在 PLD 器件的逻辑图中，对阵列各交叉点的连接方式有特殊的表示方法，如图 1—3 所示。其中硬线连接是固定的，不可编程；交叉点处有“×”的表示可编程连接，且已被编程处于接通状态，这在熔丝型 PLD 器件中对应于熔丝未断，在 EECMOS 工艺的 PLD 器件中对应于开关单元的导通状态；否则，表示被擦除或开断单元，在熔丝型 PLD 器件中对应于熔丝已断，在 EECMOS 工艺的 PLD 器件中对应于开关单元的截止状态。

PLD 器件中的“与”阵列和“或”阵列十分庞大，“与”门和“或”门的输入端往往很多，为简化表示，在 PLD 器件的逻辑图中对“与”门采用了特殊的表示方法，如图 1－4 所示，就是一个三输入“与”门的两种表示方法。对于“或”门，可用类似于“与”门的表示方法，也可采用传统的表示方法。

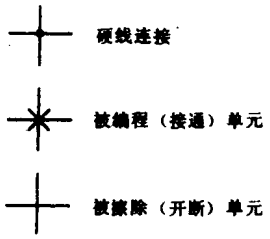


图 1－3　PLD 中的连接

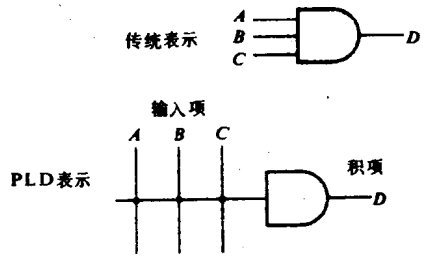


图 1－4　PLD 中的“与”门

图 1－5 是上述 PLD 电路表示方法的应用实例。其中图 1－5(*a*)是用传统方法表示的一个简单逻辑电路，采用 PLD 电路表示方法后就变成了图 1－5(*b*)的形式。

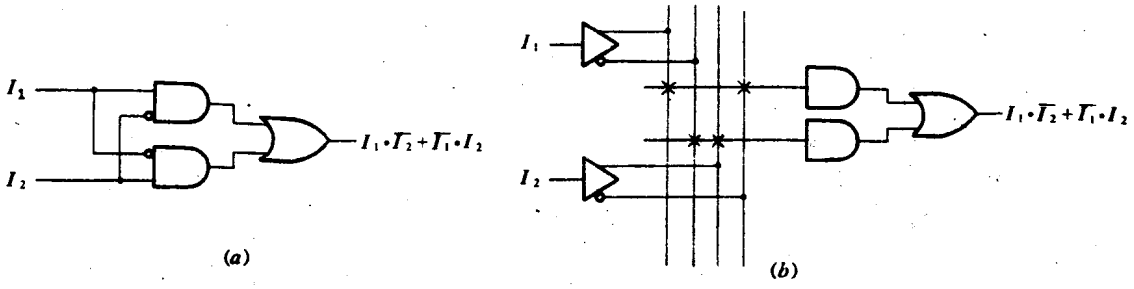


图 1－5　PLD 电路表示方法应用实例

(三)PLD 器件的基本结构

大部分 PLD 器件的主体是“与”阵列和“或”阵列。根据这两个阵列的可编程性，PLD 器件又有三种基本结构，即“与”阵列固定、“或”阵列可编程；“与”、“或”阵列都可编程；“与”阵列可编程、“或”阵列固定。

1.“与”阵列固定、“或”阵列可编程型结构

由于可编程只读存储器 PROM(Programmable Read Only Memory)就属于这种结构，所以这种结构又称 PROM 结构。图 1－6 就是一个 8×3 的 PROM 结构示意图。

从图中可以看出，这种结构的 PLD 器件其“或”阵列是可编程的，而“与”阵列固定且为全译码方式，即当输入端数为 n 时，“与”阵列中有 2^n 个“与”门。因此，对每一种可能的输入组合，均可得到一组相应的最小项输出。但随着输入端数的增加，“与”阵列的规模会急剧增加。因此，这种结构的 PLD 器件其工作速度一般要比其它结构的低。

2.“与”、“或”阵列都可编程型结构

这种结构又称 PLA 结构，因为可编程逻辑阵列 PLA(Programmable Logic Array)就属于这种结构。图 1－7 为一个 3 输入 3 输出的 PLA 型结构示意图。这种结构的 PLD 器件其“与”

阵列不是全译码方式，因而其工作速度比 PROM 结构的快。由于其“与”、“或”阵列都可编程，因而可为实现各种逻辑功能提供更为灵活方便的功能，但却增加了编程的难度和费用。

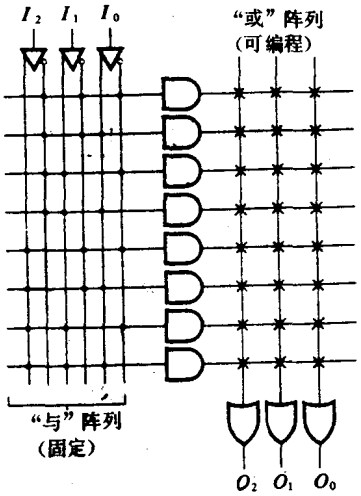


图 1－6　PROM 型结构图

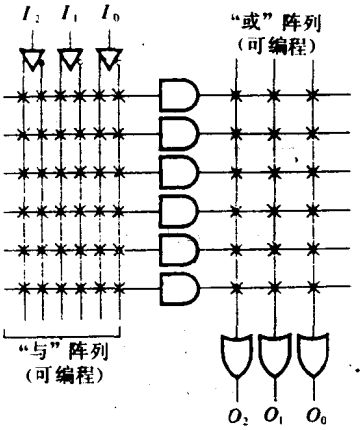


图 1－7　PLA 型结构图

3.“与”阵列可编程、“或”阵列固定型结构

这种结构又称 PAL 型结构，因为最早采用这种基本结构的 PLD 器件是可编程阵列逻辑 PAL（Programmable Array Logic）。图 1－8 是一个 3 输入 3 输出的 PAL 型结构示意图。这种结构的“与”阵列也不是全译码方式的，因而具有 PLA 型结构速度快的优点。同时，它只有一个阵列（“与”阵列）是可编程的，因而它编程容易实现，费用也低，这是目前很多 PLD 器件所采用的一种基本结构。后面我们将要介绍的通用阵列逻辑 GAL（Generic Array Logic）用的就是这种基本结构。

需要指出的是，上述“与－或”阵列的基本结构多用于密度比较低的 PLD 器件。对于近期推出的高密度 PLD 器件，其基本结构与上述的有较大差别。关于这一点，我们将在下一节介绍。

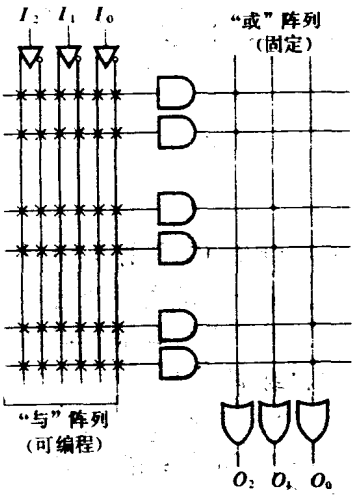


图 1－8　PAL 型结构图

第二节　PLD 器件的分类与发展

随着微电子技术的飞速发展，PLD 器件的品种越来越多，型号越来越杂，名称也越来越容易混淆。例如：PLD，EPLD，EEPLD，CPLD，HPLD，PGA，FPGA，PLA，FPLA，PAL，GAL，LCA，PML，HAL，PEEL，PLS 等等。这无疑会给使用者带来一些麻烦。所以，了解 PLD 器件分类与发展的信息，对正确选用 PLD 器件是极为重要的。

一、PLD 器件的分类

PLD 器件有多种分类方法。

(一)按密度划分

按密度划分,PLD 器件可分为低密度 PLD 和高密度 PLD(HPLD)两种。一般以 1000 逻辑门和 44 条引脚为界。密度在 1000 逻辑门以上,引脚多于 44 个的为高密度 PLD;否则,为低密度 PLD 器件。

(二)按基本结构划分

高密度的 PLD 器件和低密度 PLD 器件在结构上差别较大。

对于低密度的 PLD 器件,一般采用"与一或"阵列结构。按这两个阵列的可编程性,这类 PLD 器件可分为三种,即 PROM 结构型("与"阵列固定、"或"阵列可编程),PLA 结构型("与"、"或"阵列都可编程)和 PAL 结构型("与"阵列可编程、"或"阵列固定)。其详细情况上节已有叙述,这里不再重复。

对于高密度 PLD 器件,按其基本结构一般可分为两种。一种是 PAL 结构扩展型,另一种是逻辑单元型。

1. PAL 结构扩展型的 PLD 器件在结构上和 PAL 十分相似,但增加了 *I/O* 管脚和寄存器的数量。有的 PLD 芯片内部还集成有多个 PAL 块,各 PAL 块之间通过共享的可编程互连资源交换信息,实现块与块之间的互连,所以又称分段式阵列结构(Segmented-Array-Architecture)。目前这类 PLD 器件的主要产品有:Altera 公司的 MAX5000/7000 系列,AMD 公司的 MACH 系列,Signetics 公司的 PML 系列,Lattic 公司的 PLSI/ispLSI 系列,Intel 公司的 FIFELogic 系列和 Xilinx 公司的 XC7200/XC7300 系列等等。这类 PLD 器件习惯上又称作复杂 PLD(CPLD)。总起来讲各厂家的 CPLD 在结构上大同小异,差别主要在于其逻辑功能的扩展方法,即当某一逻辑功能所需要的乘积项数超过了 PAL 块的基本能力时的解决办法。有的产品是设置公共的乘积项阵列,如 Altera 公司的 MAX5000/7000 系列;有的产品是从相邻块中借用乘积项,如 AMD 公司的 MACH 系列。这两种方法都是基于"共享乘积项"的概念,但前者要引入额外的延迟,对其最终设计速度的可预测性带来不利影响,后者则不存在这一问题。CPLD 的主要特点是延迟一般与连接情况无关,其速度的可预测性好,对典型设计容易获得较高的性能,但其密度还比不上逻辑单元型结构的高。

2. 逻辑单元型结构的 PLD 器件内部集成有可编程的逻辑单元阵列 LCA(Logic Cell Array),其相互之间由可编程的互连资源 ICR(Inter Connect Resources)连接起来。因此,这种结构又称通道式阵列结构(Channeled-Array-Architecture)。例如:Xilinx 公司的 LCA 系列,Actel 公司的 ACT 系列和 Ti 公司的 TPC 系列等 PLD 器件就属于这一类。这种 PLD 器件的特点是密度特别大,可集成各种逻辑功能的单元;结构灵活,可满足各种应用场合的需要。但其内部延迟与逻辑分割、布局布线、逻辑单元的结构和互连资源的种类、数量、分布等因素密切相关。因此,其速度的可预测性差,在设计前难以预测最终结果能否满足时序上的要求。另外,这类产品的多数典型应用能达到的速度也比 CPLD 低。

(三)按制造工艺划分

按制造工艺划分,PLD 器件可分为一次性编程的 PLD,紫外线可擦除的可编程逻辑器件 EPLD(Erasable Programmable Logic Device)和电可擦除电可编程的逻辑器件 EEPLD

(Electrically Erassable Programmable Logic Device)。它们的制造工艺分别对应于双极型熔丝工艺，UVCMOS(Ultra Violet Complementary Metal-Oxide-Semiconductor)工艺和 EEC-MOS(Electrically Erassable CMOS)工艺。

1. 双极型工艺的 PLD 器件

早期的 PROM，PLA 和 PAL 都是这种类型。采用双极工艺制造的 PLD 器件速度最快，例如：PAL16R8-4 和 PAL20R8-5 的平均传输延迟时间只有 4～5ns。但这类器件的功耗最大，因而对系统的散热和电源的要求较高，也限制了芯片本身的密度。另外，由于它采用熔丝工艺，所以它的编程是一次性的，在编程前无法对其进行全面测试，一旦编程出错就无法挽回。因此，这类器件多半用在定型设计之中。

2. UVCMOS 工艺的 PLD 器件

这类器件克服了双极型工艺 PLD 器件的某些不足。由于采用了 UVCMOS 工艺，所以这类器件密度大，功耗低，而且具有可擦除可重复编程的能力。但它的工作速度比双极型工艺的 PLD 器件低，擦除时间也比较长，一般需要 20 分钟左右，而且需要有专门的紫外线擦除设备。为了能进行擦除，要采用价格昂贵的石英窗口封装，这就增加了额外的造价。为了保证出厂产品的质量，必须对芯片反复进行擦除和改写，这无疑也会使厂商付出高昂的代价。作为一种折衷，厂家只对芯片进行一次擦除，而不进行全面的功能测试，因而其测试的可靠性不能保证达到 100%。

3. EECMOS 工艺的 PLD 器件

这类器件不仅可以反复擦除和改写，而且擦除所需要的时间很短，只有 10ms 左右。擦除是用电的方式，不需要紫外线光源，也不需要石英窗口封装。在封装以后也能对芯片进行完善和实际的测试，从而能保证用户得到 100%合格的芯片。

EECMOS 工艺的 PLD 器件具有 UVCMOS 工艺器件密度大的优点，还具有比 UVCMOS 工艺器件更低的功耗。例如：采用 EECMOS 工艺制造的 PAL16RZ8 在备用状态时的电源电流只有几 μA，几乎是零！

EECMOS 工艺的 PLD 器件具有双极型工艺器件速度高的优点，它的工作速度至少可与除 ECL 工艺以外任何其它工艺的器件相比。例如：EECMOS 工艺的 PALCE16V8H-5 和 PALCE20V8H-5 平均传输时间为 5ns，与双极型工艺的 PAL16R8-5 和 PAL20R8-5 具有同样的工作速度。这是 UVCMOS 工艺无法做到的。

综上所述，除了集成度比不上 UVCMOS 工艺以外，EECMOS 工艺是一种先进完美的集成电路制造工艺。第四章将要介绍的通用阵列逻辑 GAL 就是用这种工艺制造的。

二、PLD 器件的发展概况

PLD 器件自 70 年代初诞生至今已有了长足的发展。纵观 PLD 器件的发展历史，大体上可划分为四个阶段。

第一阶段从 70 年代初至 70 年代中。这一阶段的 PLD 器件包括“与”阵列固定，而“或”阵列由二极管熔丝构成的 PROM，以“与”、“或”阵列都可编程的双极型现场可编程逻辑阵列 FPLA(Field Programmable Logic Array)最为典型。

第二阶段从 70 年代末至 80 年代初。这一阶段的 PLD 器件主要以“与”阵列可编程“或”阵列固定的 PAL 器件为代表。以上两个阶段的 PLD 器件都是双极型工艺制造的，因而其编程都

此为试读，需要完整PDF请访问：www.ertongbook.com