

印制电路板排版设计

郑诗卫 编著

科学技术文献出版社

印制电路板排版设计

李诗丑 编著

科学技术文献出版社

1982

内 容 简 介

印制板的排版设计是制作印制板中的重要一环。本书较详细地讨论了正确布局必须注意的问题，排版的格式和版面要求，具体电路排版的过程和方法，以及对排版的要领和技巧。

本书内容新颖，通俗实用，适于与制作电子设备有关的工程技术人员和院校师生参考，也适于业余爱好者阅读。

印制电路板排版设计

郑诗卫 编 著

科学技术文献出版社出版

中国科学技术情报研究所印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

开本：787×1092¹/₃₂ 印张：9.125 字数：196千字

1983年1月北京第一版第一次印刷

印数：1—7,020册
科技新书目：37—64

统一书号：15176·583 定价：1.15元

附 录

- I 印制电路用插头座基本尺寸和结构
- II 常用晶体管管壳外形尺寸
- III 集成电路外形尺寸

前 言

(一)

在电子产品和设备中，印制板是一个不可缺少的重要部件，它起着电气的和机械的双重连接作用。

如何将电路中的元器件按照一定的要求，在印制板上排列与组合起来，这是排版设计的任务。也是本书要涉及的内容。

(二)

排版设计不是简单地将元器件在印制板上排列起来，使电路得以沟通就行。一个理论上设计良好的电路，必须有合理的排列布局，才能使电路在实体组合后达到稳定而可靠地工作。反之，如果排版不合理，无疑的，它将影响到电路的工作性能，乃至不能工作。尤其是在广泛采用集成器件的今天，如果集成电路仍用接线板的方式进行安装，那么，不仅电路的体积庞大，而且无法很好地进行工作。

因此，在产品的设计过程中，排版设计与电路设计具有同样重要的地位。

(三)

印制板的使用并不是从晶体管器件的问世而开始的，而是早在电子管时代，就已经有了它的雏形。现在的印制板正是从那时的接线板逐渐演变而来的。但是，随着科学技术的

发展，现在的排版设计，已经不同于电子管初期的产品设计了。在那时，电路和结构二者可以截然分开，就是说，搞电路设计的不一定要了解结构和工艺，搞结构和工艺设计的也不一定要懂得电路。然而在今天，一个设计精良的印制板，既要具有优良的电气性能，又必须有合理的工艺结构。具体地说，排版设计必须做到：（1）通过良好的排版布局，保证达到产品的技术指标；（2）要有合理的结构，便于安装与维修；（3）工艺要合理可行；（4）材料消耗与装配工时要少，产品成本要低。这表明，排版设计既包括有电路的设计，又包括工艺结构设计这两方面的内容，二者缺一不可。因此，设计者必须充分熟悉和掌握电路工作原理，元器件性能，电路在布局中的干扰抑制，以及印制板制作工艺等。

（四）

排版设计的成败不取决于数学计算的精确度如何，这是它同电路设计迥然不同之处。同一个电路可以有多种布局方法，而各种布局所取得的实际效果，可能有很大的差异。这里重要的是掌握正确的排版方法，并且根据电路的具体情况和有关因素加以灵活处理。

诚如上述，排版设计并无统一的模式可以套用。本书中所举各例，都只是借以说明在方法上的问题而已，决非作为典型范例向读者推荐。鉴于排版设计方面完整和系统的资料尚不多见，本书中的一些“要求”或者“规定”，必然会有谬误或可争论之处，甚至有些还可能与具体单位的工艺要求相矛盾。因此，在排版设计时必须结合具体的环境条件来进

行。

本书在内容编排上，一、二、三章介绍了为达到优良的电气性能，印制板的布局所应注意的一些问题。四、五两章介绍了排版的格式和版面的要求。从第六章开始结合具体的电路，介绍了排版设计的过程与方法。这样，在介绍排版设计过程中，就不需要重复介绍电性能和版面的要求了。

编著者

1982年8月于南京

目 录

前 言

第一章	地线的共阻抗干扰与消除对策	(1)
1-1	地线的共阻抗干扰	(1)
1-2	各级内部的接地	(5)
1-3	板内的地线布局	(11)
1-4	整机的地线布局	(21)
1-5	地线布局的几个总原则	(29)
第二章	电源干扰与抑制	(31)
2-1	稳压电源的原理与电流流向	(31)
2-2	稳压电源的干扰抑制与布局	(34)
2-3	电源线的布局	(42)
第三章	电磁和空间的干扰与抑制	(46)
3-1	导线的寄生耦合与抑制	(46)
3-2	输入输出的寄生耦合与抑制	(53)
3-3	板内屏蔽导线的设置	(55)
3-4	元件的磁场干扰与抑制	(58)
3-5	屏蔽的设置	(63)
3-6	温升影响	(72)
3-7	机振干扰与抑制	(76)
第四章	印制板的排版格式	(80)
4-1	元件的安装方式	(80)
4-2	元件的排列方式	(84)
4-3	接点的形式	(88)
4-4	排版格式	(90)

第五章	排版的基本知识与要求	(92)
	5-1 印制板的物理与电气性能	(92)
	5-2 版面基本要求	(100)
	5-3 元件引出端尺寸及识别	(118)
	5-4 印制板板外的连线与插头座	(130)
第六章	整体布局与印制板结构	(141)
	6-1 怎样选定电路的排版方向	(143)
	6-2 整体布局	(145)
	6-3 画板外元件和接线草图	(156)
	6-4 印制板尺寸草图	(159)
第七章	单线不交叉图的绘制	(164)
	7-1 为什么要绘制单线不交叉图	(164)
	7-2 怎样按排版方向绘制	(166)
	7-3 怎样处理导线与导线交叉	(179)
	7-4 怎样使版面元件分布均匀合理	(190)
	7-5 双面板的单线不交叉图的绘制	(195)
	7-6 数字集成电路的单线不交叉图的绘制	(203)
	7-7 有关绘制的几个问题	(218)
第八章	排版草图的绘制	(221)
	8-1 绘制的基本方法和图的比例确定	(221)
	8-2 元件与走线的布设方法	(223)
	8-3 印制图形的绘制方法	(237)
第九章	印制板工作图的绘制	(245)
	9-1 印制板零件图的绘制	(245)
	9-2 印制板装配图的绘制	(252)
	9-3 照相底图的绘制	(257)
	9-4 其他工作用图的绘制	(262)

第一章 地线的共阻抗干扰 与消除对策

在电子电路中，各部分和各级以及为数较多的元器件都要通过地线形成回路。地线的设置与布局好坏，将直接影响电路的工作，因而地线的布局在排版中占有重要的地位。

在调试和检修中，有时改动某一个元件或导线的接地位置，或者切断接地环路的某一段，可使故障消除或减轻；有时则虽反复改动元件或导线接地位置，或者增多和加粗接地导线，而故障依然如故。地线的布局往往会使人感到难以捉摸。

接地不良的干扰究竟是怎样产生的？怎样才是合理的接地布局？这是本章中所要讨论的问题。

1-1 地线的共阻抗干扰

在电路图中，接地常用 \perp 符号来表示。它表示电路中的零电位，并用来作为电路的其他各点的公共参考点。也就是说，电路的各点有关参数，如电压、电流和信号电平的大小，均是以地线作为基准电压来表示的。在阅读电路图和理解电路工作状态时，常把地线和各接地点之间视作无电位差的零电位点。但是，同自然界中的任何事物一样，这也不可能是绝对的。在实际电路工作时，由于地线的阻抗（电阻、电感）存在，因而能产生一定的电位差。这些电位差的存在，就必

然对电路的工作带来影响。在工程制作和设计安装布线时，必须注意和消除地线的阻抗所带来的影响。因此，不可把凡是有接地符号的点，就随意地连接在一起，这样必将会在地线中产生有害的耦合，而引起不必要的干扰。

那末，地线是以什么样的形式使电路产生干扰呢？我们先来看图1-1的电路¹⁾。图中电路1和电路2通过公用地线段AB与电源形成回路。线段AB可等效为一个电阻和电感的串联回路，所以它具有一定的阻抗。由于电路1、2全部电流从线段AB中通过，因而就形成共阻抗效应。在工作时，电路1、2的电流变动，将引起A点电位变化，使电路1、2相互产生干扰。如电路2有输出至电路3，干扰也将窜入电路3中。地线的这种干扰，称为共阻抗干扰。

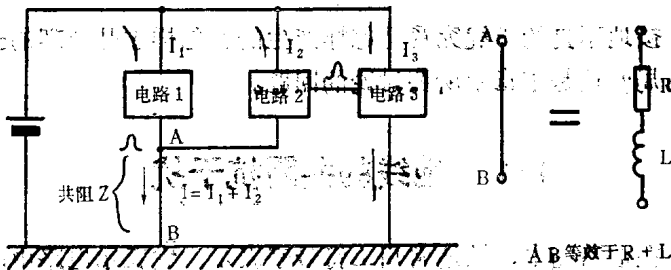


图 1-1 地线共阻抗干扰

举例来说，假如有一段长为10公分，宽为1.5毫米的印制导线，其铜箔厚度为50微米时，导线的电阻可由下式算

1) 在本书的插图中，凡是用//////来表示接地时，均视作无电位差的等电位接地。以示与有电位差的接地符号⊥相区别。

出：

$$R = \rho \frac{l}{S}$$

式中： l 为导线长度（米）； S 为导线截面积（毫米²）； ρ 为电阻率， $\rho = 0.02$ 。

代入上式可得：

$$R = 0.02 \frac{0.1}{0.075} \approx 0.026 \text{ 欧}$$

若图1-1中的电路1工作在低频时，电路的交变电流为1安，则在这段印制导线上约将产生0.026伏的交变电压降。此电压也必然作用在电路2上。

在高频时，地线的共阻抗干扰，主要以导线的电感为主。当一段远离其他导体的导线，其长度远大于宽度时，导线的自感量可由下式求出：

$$\text{自感量} = 0.8 \text{ 微亨/米}$$

一段长10公分的导线，具有0.08微亨的电感量。当导线中通过的工作频率在30兆赫时，则此段导线所呈现的感抗可由下式求出：

$$R_L = 2 \pi f L$$

代入上式得：

$$R_L = 6.28 \times 30 \times 10^6 \times 0.08 \times 10^{-6} \approx 16 \text{ 欧}$$

由此可见在频率升高时，导线的感抗将比导线本身的电阻要大几个数量级。即使导线中流过的高频电流很小，如为10毫安时，在此段导线上将产生0.16伏的高频电压。因而，对于高

频电路在布局时，总是尽可能地排列得紧凑些，使印制导线的长度尽可能短些，以尽量减少导线感抗对电路带来的损耗与干扰。

随着接地的情况不同，地线的共阻抗干扰的形式也不同。如图 1-2 又是一种形式的共阻抗干扰。图中，印制板采用环形地线，各接地元件按就近分散方法接地。这样，末

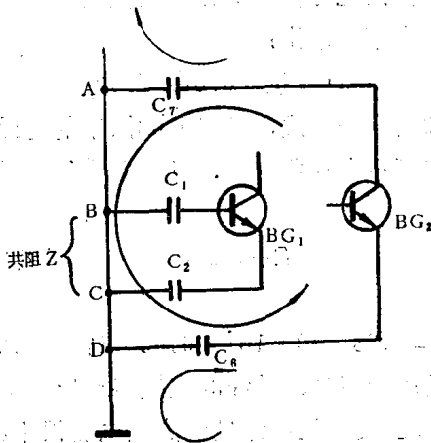
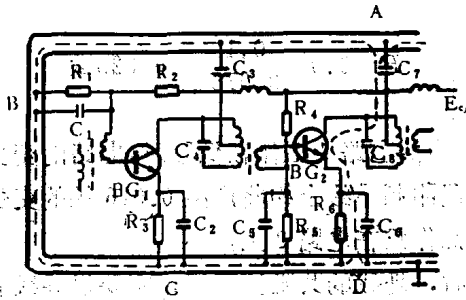


图 1-2 另一种共阻抗干扰

级的交流信号一部分通过地线AD形成回路，在导线AD上产生交流压降。由于前级的晶体管发射级和基极与末级共用导线BC，因而在导线BC上产生共阻抗干扰，等效于右图1-2下图所示。这种干扰与图1-1的干扰形式不同，是以局部电流的形式在公共地线上产生耦合而形成干扰。

对图1-1和图1-2这两种干扰，可统称为地线的共阻抗干扰。在分析地线布局时，当需要将这两种干扰加以区别时，我们将图1-1的干扰称为全电流的共阻抗干扰；将图1-2的干扰称为局部电流的共阻抗干扰。

全电流的共阻抗干扰，可以存在于各级与各级之间，也可以存在于各部分(或各印制板)之间。局部电流的共阻抗干扰，主要是指部分和个别元件与导线的接地点不良从而对其他电路引起干扰。在实际布局中，地线存在的共阻抗干扰当然要复杂一些，有时以某一种的干扰形式为主，有时也可能同时存在上述两种类型的干扰。

1-2 各级内部的接地

各级的内部接地，主要以防止局部电流的共阻抗干扰为主。也就是说，不要使本级的交流信号通过各接地元件而逸出至本级以外的电路中去；或者不要使其他电路的交流信号，通过本级的各接地元件而捡拾进来。

不论对于低频、中频、还是高频各级电路，防止局部电流的共阻抗干扰，唯一有效的方法是采用一点接地。

一、一点接地

一点接地的形式，如图1-3所示。图中将各级内部的

接地元件，即本级电路的发射极、基极和集电极的所有接地元件，均安排在一个接地点上与地线相接。这样，就能有效地防止交流信号通过接地元件的散发与捡拾，使地线纯净。

在实际电路布局时，各级的接地元件较多，当然不可能将这些元件同时穿入一个穿线孔内，而是将本级接地元件尽可能就近安排在公共地线的一段或一个区域内，如图1-4(a)所示。有时遇到元件体积限制或排列上的原因，就近安排有困难时，也可采取图1-4(b)那样，从地线上引出接地分支或接地岛，同样可达到一点接地的效果。

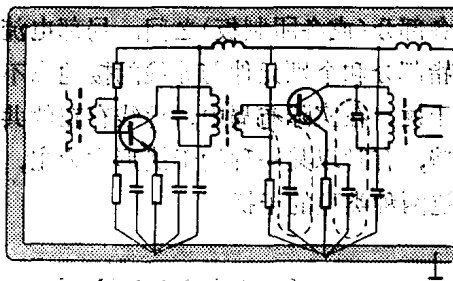
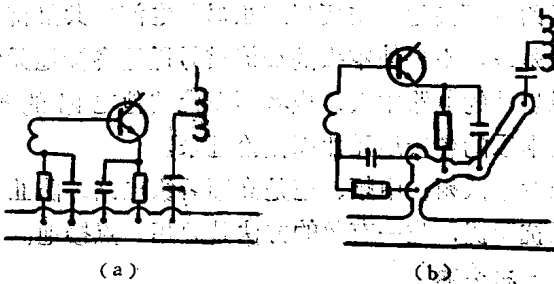


图1-3 一点接地



(a)

(b)

图1-4 排版中的一点接地

二、一点接地应注意的几个问题

一点接地在实际排版中应用时，应注意下列一些问题：

(1) 本级接地元件的范围，是指与本级晶体管直接连接，或者通过电容耦合的元件。由电感耦合的次级及其元件不属于本级。例如图1-5所示的电视机行输出级电路，在排版中如将行激励变压器次级的接地与行激励的元件作为一点接地，这就形成图(a)那样，使行输出管的基极电流在激励级和行输出级之间的地流过，在地线中产生干扰。图1-5(b)对一点接地的元件区分是合理的。

有时电感耦合为多组时，则初、次级及各组之间的接地均不宜相互共用一点接地。如图1-6的中频放大器次级有两组检波器，此时不能按照图(a)那样，使次级与初级同在一一点接地，这样必将在中频和两组检波器的地之间有电流通过。而应该象图1-6(b)那样，使初级和次级的各组之间，分别依照各自的相关元件而一点接地。

(2) 对于采用接地分支作一点接地，在元件不多、体积不大时，一点接地的布局比较好处理；在元件较多，且体

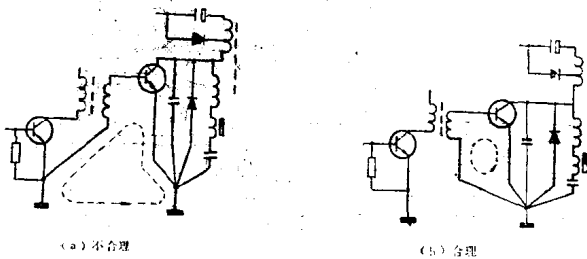


图1-5 行输出级的一点接地元件区分

积较大时可采用较长的接地分支。在排版中也可以沿印制板周围布设，但不应使其他级的元件接入此接地分支上，接地分支的远端不应再和其他地线相接。比如，电视机中的行输出级接地的元件多且工作电流较大，因而要求这些元件均需一点接地。图1-7采用了一个接地分支，使行输出级的接地元件（阻尼管、行输出管、逆程电容以及偏转回路）的接地均接在一个接地分支上。行输出级的一点接地，是抑制行辐射干扰的有效措施。

有时在一级电路内，也可允许采用多个分支接地的方

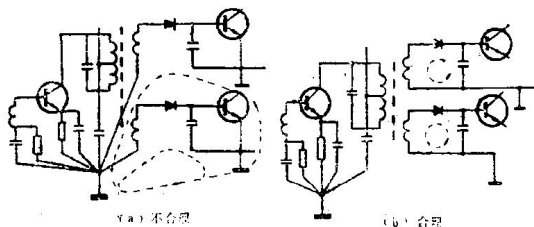


图1-6 多组检波器的一点接地

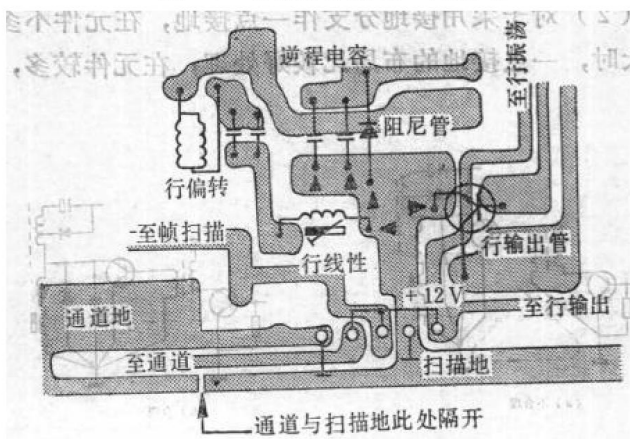


图1-7 行输出级的一点接地