

J.P. 考林基 著

# SOI 技术

21 世纪的硅集成电路技术

微电子学系列

科学出版社

TN405

372402

525

# SOI 技术

21 世纪的硅集成电路技术

J. P. 考林基 著

武国英 等 译

王忠烈 校

科 学 出 版 社

1993

(京)新登字 092 号

## 内 容 简 介

本书是第一本系统介绍 SOI 技术的著作。全书共八章,篇幅不长,但信息量很大,内容包括:SOI 材料的各种形成方法;SOI 材料物理特性及电学特性的测试方法;各种 SOI 器件(MOS 器件、双极器件、高压器件、光调制器件)的制造技术、器件特性及在高温、辐射等恶劣环境下的工作特性,SOI 集成电路和三维集成电路的特性评述。

本书从应用的角度介绍器件物理与工艺,并注重 SOI 器件与体硅器件的比较,因而,本书不仅可供半导体、集成电路领域中的科技人员参考,也可作为大专院校相应专业的教学参考书。

J. P. Colinge

## SILICON-ON-INSULATOR TECHNOLOGY

### *Materials To VLSI*

Kluwer Academic Pub., 1991

Translation and Adaption of the first English language edition,

Copyright 1991 by Kluwer Academic Publishers

Boston, Massachusetts, USA

Translated by Wu Guoqing et al.

## SOI 技术

21 世纪硅集成电路技术

J. P. Colinge 著

武国英等译

王中烈校

责任编辑 魏玲

科学出版社出版

北京东黄城根北街 16 号

邮政编码: 100717

北京市怀柔县黄坎印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

1993 年 12 月第 一 版 开本: 850×1168 1/32

1993 年 12 月第一次印刷 印张: 7 1/8

印数: 1—1550 字数: 181 000

ISBN 7-03-003757-X/TN·150

定价: 7.90 元

## 译者序

虽然 SOI (Silicon-on-Insulator: 在绝缘体上生长薄单晶硅膜) 技术已出现 10 多年了, 但取得突破性进展还是在 80 年代后期。现在人们已经充分地认识到薄硅膜 SOI MOSFET 能有效地抑制 MOS 器件的小尺寸效应, 因此在深亚微米 VLSI 技术中, 它具有明显的优势和潜力。当前, SOI 基片 (如 ZMR, SIMOX) 的商品化以及 SOI 64K SRAM 产品的出现, 标志着 SOI 技术已走向成熟, 进入实际应用阶段。SOI 技术还是三维 IC 的基础技术, 现在已无人怀疑 SOI 技术在硅材料集成电路工艺技术中的重要地位。

本书作者 J.P. Colinge 是比利时鲁汶天主教大学 (Universite Catholique de Louvain) 教授, 多年来一直从事 SOI 技术、SOI 新型器件、SOI 器件模型与模拟的研究, 取得了许多重要成果。他的研究经历以及对 SOI 技术的深刻认识构成了本书的精华所在。本书是目前国际上唯一一本较为全面、系统地评述 SOI 材料、器件及其在 VLSI 中的应用的书。书中特别对当今国际上 SOI 器件的发展热点——薄硅膜 SOI 器件进行了深入的探讨。

鉴于本书的价值, 我们决定将它译成中文, 以供对 SOI 技术有兴趣的中国读者参考。本书的翻译是在武国英的组织下完成的, 他翻译了前言和第一章并对全部译稿进行了初审和最后的校订。第二章由李映雪执笔, 第三、四、七、八章由陈南翔执笔, 第五、六章由程玉华执笔。本书的审校工作是由王忠烈于百忙之中完成的。在翻译过程中, 我们得到了原书作者 J. P. 考林基教授的大力支持与协助, 他为我们提供了原始图表及勘误表。在此, 译者谨向对本书的出版给予各种形式帮助的各位致以衷心感谢!

在翻译过程中, 我们对原著中的印刷错误和不当之处已尽力改正, 但限于译者的水平, 译文中难免仍有不妥之处, 欢迎读者批评指正。

## 序 言

SOI 技术虽然已问世 10 多年了,但还没有一本书描述该技术的各个方面和它的前途。经过 10 多年的广泛研究工作,SOI 技术取得惊人的进展,已从首次激光再结晶实验发展到制作出能够在几千兆赫的频率下工作,并能经受高温或几百兆拉德 (rad) 的辐照的 CMOS 电路。最初,人们仅仅认为 SOI 技术有可能替代在特殊场合应用的 SOS (Silicon-on-Sapphire) 技术。然而,由于发现薄膜 SOI MOSFET 具有极好的等比例缩小性质,使得 SOI 技术在深亚微米 VLSI 中的应用具有极大吸引力。SOI 基片的商业化,具有良好的生产成品率的 SIMOX 64K SRAM 的出现,以及具有一定功能的三维集成电路 (3D IC) 的出现,都表明 SOI 技术已达到成熟的水平。在本书中,我们试图在有关 SOI 的专著与描述体硅器件物理、工艺和应用的著作之间架起一座“桥梁”。

近几年中,SOI 领域成果累累,发表了大量有关材料、器件和电路的文章。遗憾的是,本书不可能把所有这些文献都考虑进去,因此必须选择有代表性的文献,以便能清晰而简明地给出最突出的研究成果。当然,文献发表的时间是另一个限制,因此,除少数例外,1990 年夏天以后发表的通信没有包括在本书中。

本书共八章,各章内容概述如下:

第一章简要地描述 SOI 技术的一些明显优点,例如 CMOS 结构的无闩锁效应及可减小了源和漏的寄生电容等。

第二章列举了生产 SOI 材料的不同方法,描述了利用外延、熔融和再结晶、注入或键合技术在绝缘衬底上制备薄硅膜的基本机理。本章还论述了材料质量问题,叙述了不同材料的应用领域。

第三章叙述了现有的表征 SOI 材料物理和电学性质的各种技术。的确,某些通用的材料特性表征技术,如 SIMS 和 TEM 当然可以用于评价 SOI 材料的质量,但同时也发展了一些用以评价

SOI 晶体的质量、界面性质；以及用于测量膜的厚度和 SOI 材料中载流子寿命的专门技术。

第四章论述 SOI CMOS 工艺基础，比较了薄膜和厚膜 SOI CMOS 与体硅 CMOS 工艺，描述了 SOI 的特殊工艺步骤以及不同的 MOSFET 结构。

第五章论述 SOI MOSFET 物理，推导出厚膜、薄膜 MOSFET 的电学特性（阈值电压，体效应和输出特性），并与体硅器件的相应参数进行比较。本章还详细地分析了 SOI 晶体管的亚阈值斜率和跨导，评论了寄生双极晶体管引起的效应。

第六章介绍另一些类型的 SOI 器件（双栅晶体管、双极晶体管、高压器件、JFET，光调制器等）。

第七章描述 SOI 器件在恶劣环境（高温、辐照等）下的工作特性。

最后一章评论了现代 SOI 电路的特性，诸如高速 CMOS、VLSI、抗辐照和三维集成电路等。

## 谢辞

感谢我的许多同事多年来对我所从事的 SOI 研究工作的支持，特别是在很多人只把 SOI 当作新奇的研究课题的最初阶段，他们是：M.Lobet 博士，P.Verlinden 和 F.Van de Wiele 博士（UCL），D.Bensahel 博士，G.Bomchil 博士，E. Demoulin 博士，M. Haond 和 D.P.Vu 博士（CNET），S.Y.Chiang 博士，C.Drowley 博士，T.Kamins 和 J.Moll 博士（HP），C.Claeys 博士，G.Declerck 博士，M.Ghannam 博士，R.De Keersmaecker 博士，H. Maes 博士和 R.Van Overstraeten 博士（IMEC）。

感谢许多人帮助我收集有关 SOI 技术的资料，包括搜集没有发表的资料以及审阅大部分手稿。他们是：A.J.Auberton-Herve 博士，G.Celler 博士，S. Cristoloveanu 博士，A. De Veirman 博士，E.Dupont-Nivet 博士，J.G.Fossum 博士，M.Haond 博士，P.L.F.Hemment 博士，J.L.Leray 博士，J. Margail 博士，P.

Mertens 博士, J.C.Sturm 博士, P.Swart 博士, J. Vanhellemont 博士, D.P.Vu 博士, G.Willems 和 D.Wouters 博士。

最后,我特别感谢 J.C.Alderman 和 G.E.Davis 博士,他们阅读了本书全部手稿并对本书内容的改进提出了有益的建议。

# 目 录

|                           |        |
|---------------------------|--------|
| 第一章 引论 .....              | ( 1 )  |
| 第二章 SOI 材料 .....          | ( 5 )  |
| 2.1 异质外延技术 .....          | ( 5 )  |
| 2.1.1 蓝宝石上异质外延硅 .....     | ( 6 )  |
| 2.1.2 立方晶系的二氧化锗上生长硅 ..... | ( 9 )  |
| 2.1.3 尖晶石上生长硅 .....       | ( 9 )  |
| 2.1.4 外延生长氟化钙 .....       | ( 9 )  |
| 2.1.5 其它异质外延 SOI 材料 ..... | ( 10 ) |
| 2.1.6 异质外延 SOI 的问题 .....  | ( 10 ) |
| 2.2 激光再结晶 .....           | ( 11 ) |
| 2.2.1 使用的激光器类型 .....      | ( 11 ) |
| 2.2.2 引晶 .....            | ( 13 ) |
| 2.2.3 盖帽层 .....           | ( 13 ) |
| 2.2.4 激光束的形状 .....        | ( 14 ) |
| 2.2.5 硅膜图形的形成 .....       | ( 17 ) |
| 2.3 电子束再结晶 .....          | ( 17 ) |
| 2.3.1 扫描技术 .....          | ( 18 ) |
| 2.3.2 引晶和硅片加热 .....       | ( 19 ) |
| 2.4 区熔再结晶 .....           | ( 19 ) |
| 2.4.1 区熔再结晶的机理 .....      | ( 21 ) |
| 2.4.2 盖帽层的作用 .....        | ( 26 ) |
| 2.4.3 质量转移 .....          | ( 26 ) |
| 2.4.4 区熔再结晶膜中的杂质 .....    | ( 27 ) |
| 2.5 同质外延技术 .....          | ( 29 ) |
| 2.5.1 外延横向过生长 .....       | ( 29 ) |
| 2.5.2 横向的固相外延 .....       | ( 31 ) |
| 2.6 多孔氧化硅全隔离技术 .....      | ( 31 ) |
| 2.7 注氧隔离技术 .....          | ( 34 ) |



|            |                          |             |
|------------|--------------------------|-------------|
| 2.7.1      | 注氧隔离技术发展简史 .....         | (35)        |
| 2.7.2      | 氧注入 .....                | (37)        |
| 2.7.3      | 退火参数 .....               | (40)        |
| 2.7.4      | 多重注入 .....               | (42)        |
| 2.7.5      | 低能注入 .....               | (43)        |
| 2.7.6      | 材料质量 .....               | (43)        |
| 2.8        | 注氮隔离技术和注氧、氮隔离技术 .....    | (44)        |
| 2.8.1      | 注氮隔离技术 .....             | (44)        |
| 2.8.2      | 注氧、氮隔离技术(SIMON) .....    | (45)        |
| 2.9        | 硅片键合和反面腐蚀 .....          | (46)        |
| 2.9.1      | 键合机理 .....               | (46)        |
| 2.9.2      | 反向腐蚀技术 .....             | (48)        |
| 2.10       | 材料应用 .....               | (49)        |
| <b>第三章</b> | <b>SOI 材料的表征技术 .....</b> | <b>(52)</b> |
| 3.1        | 膜厚度测量 .....              | (53)        |
| 3.1.1      | 光谱反射测量法 .....            | (53)        |
| 3.1.2      | 椭偏光谱测量法 .....            | (59)        |
| 3.1.3      | 电学测量法 .....              | (61)        |
| 3.2        | 晶体质量 .....               | (62)        |
| 3.2.1      | 晶向 .....                 | (62)        |
| 3.2.2      | 晶化程度 .....               | (64)        |
| 3.2.3      | 晶体缺陷 .....               | (67)        |
| 3.3        | 硅膜的沾污 .....              | (70)        |
| 3.3.1      | 碳沾污 .....                | (70)        |
| 3.3.2      | 氧沾污 .....                | (71)        |
| 3.4        | 载流子寿命和表面复合 .....         | (72)        |
| 3.4.1      | 表面光电电压测量 .....           | (72)        |
| 3.4.2      | 器件中载流子寿命的测量 .....        | (74)        |
| 3.5        | 硅-二氧化硅界面 .....           | (80)        |
| 3.5.1      | 电容测量 .....               | (80)        |
| 3.5.2      | 电荷泵 .....                | (82)        |
| <b>第四章</b> | <b>SOI CMOS 技术 .....</b> | <b>(85)</b> |

|            |                         |               |
|------------|-------------------------|---------------|
| 4.1        | 体硅器件和 SOI 器件工艺的比较       | ( 85 )        |
| 4.2        | 隔离技术                    | ( 86 )        |
| 4.3        | 杂质分布                    | ( 91 )        |
| 4.4        | 源和漏区的硅化物化               | ( 93 )        |
| 4.5        | SOI MOSFET 设计           | ( 94 )        |
| 4.6        | SOI CMOS 与体硅 CMOS 设计的比较 | ( 96 )        |
| <b>第五章</b> | <b>SOI MOSFET</b>       | <b>( 98 )</b> |
| 5.1        | 引言                      | ( 98 )        |
| 5.2        | 厚膜器件与薄膜器件的区分            | ( 99 )        |
| 5.3        | $I-V$ 特性                | (103)         |
| 5.3.1      | 阈值电压                    | (103)         |
| 5.3.2      | 体效应                     | (108)         |
| 5.3.3      | 短沟道效应                   | (110)         |
| 5.3.4      | 输出特性                    | (113)         |
| 5.4        | 跨导和迁移率                  | (118)         |
| 5.4.1      | 跨导                      | (119)         |
| 5.4.2      | 迁移率                     | (120)         |
| 5.5        | 亚阈值斜率                   | (122)         |
| 5.6        | 碰撞电离和强场效应               | (128)         |
| 5.6.1      | 翘曲效应                    | (128)         |
| 5.6.2      | 热电子退变                   | (131)         |
| 5.7        | 寄生双极晶体管效应               | (133)         |
| 5.7.1      | 反常亚阈值斜率                 | (133)         |
| 5.7.2      | 漏击穿电压降低                 | (135)         |
| 5.8        | 积累型 P 沟道 MOSFET         | (137)         |
| <b>第六章</b> | <b>其它 SOI 器件</b>        | <b>(146)</b>  |
| 6.1        | 源于体硅的非常规器件              | (146)         |
| 6.1.1      | COMFET                  | (146)         |
| 6.1.2      | 高电压横向 MOSFET            | (147)         |
| 6.1.3      | PIN 光电二极管               | (148)         |
| 6.1.4      | JFET                    | (149)         |

|                                          |              |
|------------------------------------------|--------------|
| 6.2 新型特殊 SOI 器件.....                     | (150)        |
| 6.2.1 不定向工作双极型绝缘栅横向晶体管...                | (150)        |
| 6.2.2 双极-MOS 器件.....                     | (151)        |
| 6.2.3 双栅 MOSFET.....                     | (154)        |
| 6.2.4 双极晶体管.....                         | (157)        |
| 6.2.5 光调制器.....                          | (158)        |
| <b>第七章 恶劣环境下工作的 SOI MOSFET 的性能 .....</b> | <b>(160)</b> |
| 7.1 辐射环境.....                            | (160)        |
| 7.1.1 单粒子事件.....                         | (160)        |
| 7.1.2 总剂量.....                           | (163)        |
| 7.1.3 剂量率.....                           | (166)        |
| 7.2 高温工作环境.....                          | (167)        |
| 7.2.1 漏电流.....                           | (167)        |
| 7.2.2 阈值电压.....                          | (169)        |
| 7.3 低温工作.....                            | (171)        |
| 7.3.1 阈值电压.....                          | (171)        |
| 7.3.2 “翘曲”效应 .....                       | (172)        |
| 7.3.3 亚阈值斜率.....                         | (172)        |
| 7.3.4 迁移率.....                           | (172)        |
| <b>第八章 SOI 电路 .....</b>                  | <b>(174)</b> |
| 8.1 抗辐照和耐高温电路.....                       | (174)        |
| 8.2 VLSI 和高速 CMOS 电路.....                | (176)        |
| 8.3 三维集成电路.....                          | (179)        |
| <b>参考文献 .....</b>                        | <b>(186)</b> |
| <b>索引 .....</b>                          | <b>(208)</b> |

# 第一章 引 论

在绝缘衬底上的薄硅膜中制作半导体器件的想法已提出几十年了, 在 1926 年 Lilienfield<sup>[1,1]</sup> 的历史性专利中第一次描述了绝缘栅场效应晶体管 (IGFET), 后来发展为现代的金属-氧化物-半导体晶体管 (MOSFET). 该专利提出了一个三端器件, 依现在的说法, 源到漏的电流由来自栅的电场控制, 栅与器件的其余部分是电绝缘的, 而构成器件有源部分的是淀积在绝缘体上的半导体薄膜. 因此, 在一定意义上可以说, 第一个 MOSFET 也是 SOI 器件. 但当时的技术还不能生产正常工作的 Lilienfield 器件, 因而 IGFET 技术暂时被遗忘了. 由于 1947 年<sup>[1,2]</sup> 发明的双极晶体管获得了极大成功, 因此使 IGFET 技术被完全掩盖了.

若干年后的 1960 年, Kahng 和 Atalla 完成了第一个可工作的 MOSFET<sup>[1,3]</sup>, 当时的技术已经很先进, 能够生长质量较好的栅氧化物. 单片集成电路的出现提高了 MOSFET 技术在微电子学领域中的作用, CMOS 技术是当前整个微电子工业的主流技术.

目前的 CMOS 集成电路几乎无例外地是在体硅衬底上制造的, 主要是由于两个众所周知的原因: 采用切克劳斯基直拉或区熔技术能够生产出电子级纯度的硅材料, 而且在硅上可生长高质量的氧化物, 这点在锗或化合物半导体上是不可能实现的. 然而在体硅上制造的 MOSFET 与 Lilienfield 描述的理想结构相距甚远. 制造体硅 MOSFET 的硅片厚度约 500 $\mu\text{m}$ , 但只有硅片顶层约 1 $\mu\text{m}$  用于制作器件, 器件和衬底之间的相互作用引起了一系列寄生效应, 其中之一是源、漏扩散区与衬底之间的寄生电容, 这个电容随衬底掺杂浓度的增加而增加. 在现代的亚微米器件中, 衬底浓度比常规 MOS 器件的衬底浓度高, 因此这个寄生电容变得更大. 漏、源寄生电容不仅由显见的结的耗尽区电容组成, 而且还

包含结与场氧化层底下的沟道阻断重掺杂区之间的电容。CMOS器件的另一个寄生效应是所谓的闩锁效应，它是由所有体 CMOS 结构内在的 PNPN 闸流管结构的触发而引起的。小尺寸器件中的闩锁效应更严重，这是因为寄生闸流管所包含的双极晶体管的增益增大的缘故。当然，已经找到一些减少这些寄生效应的办法。采用局部互联把接触区做在场区的上面以减小源、漏结区，利用外延衬底或深槽隔离能减少闩锁效应的发生，然而这些技术工艺复杂，影响生产成本和成品率。

如果采用 SOI 衬底，可以制作准理想器件。SOI MOSFET 包含三个电极（源、漏和栅，栅控制沟道中从源到漏的电流），器件的完整的介质隔离避免了体硅器件中存在的大部分寄生效应。图 1.1 给出了体 CMOS 反向器和 SOI CMOS 反向器的剖面示意图，可见，SOI 器件结构明显地简单。正如前面指出的，体硅 MOS 器件中的大多数寄生效应都起源于器件和衬底的相互作用。CMOS 反向器中导致闩锁效应的寄生 PNPN 结构也示于图 1.1 中。闩锁效应通路可以由两个双极晶体管表示，它们分别由衬底、

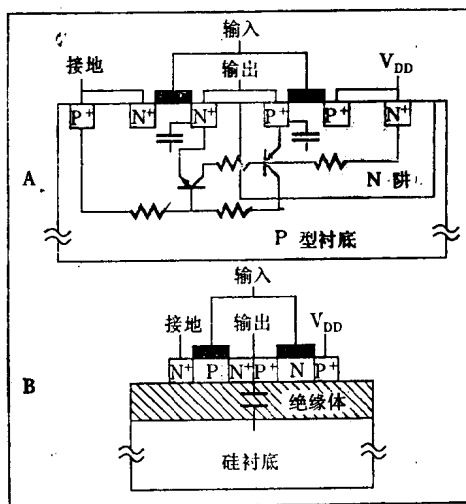


图 1.1 体 CMOS 反向器剖面及闩锁效应通道 (A)；SOI CMOS 反向器剖面 (B)。图中还指出了源-漏结寄生电容

阱和源、漏结构。闩锁效应能够由多种机构触发，如节点电压过冲、位移电流、结雪崩击穿和光电流。闩锁效应触发的条件是两个双极晶体管组成的回路的电流增益大于1 ( $\beta > 1$ ) [1.4]。在SOI CMOS反向器中（硅层很薄，结可以直达隐埋的绝缘体），由于没有到衬底的电流通道，闩锁效应的通路被切断。横向PNPN结构包含重掺杂基区（ $N^+$ 和 $P^+$ 的源和漏），重掺杂使双极晶体管的增益实际上减小到零。

体电路中器件的隔离采用反偏的PN结实现，例如，我们考察图1.1中N沟晶体管的漏端，漏极相对衬底总是正偏的（漏电压在地和 $+V_{DD}$ 之间）。漏结的耗尽电容依赖于衬底的掺杂浓度，当漏电压为0时达到极大。衬底掺杂浓度越高，漏电容越大。现代的亚微米电路使用越来越高的掺杂浓度，导致结电容的增加。另外，结和沟道阻断区之间的寄生电容也很重要，沟道阻断区在场氧化层下面，作用是防止器件之间通过表面漏电。

但在SOI电路中，结与衬底的最大电容是隐埋的绝缘体电容（如果采用厚的绝缘体，这个电容趋于零，类似于SOS情形）。该电容正比于电容材料的介电常数。最常用的隐埋绝缘体是 $SiO_2$ ，它的介电常数( $\epsilon_{ox} = 3.9 \times \epsilon_0$ )是硅介电常数( $\epsilon_{si} = 11.7 \times \epsilon_0$ )的1/3，因此，当结耗尽层厚度与埋层 $SiO_2$ 厚度相同时，隐埋二氧化硅层的寄生电容为体硅结的耗尽层电容的1/3。随着工艺技术的进步，器件尺寸缩小，隐埋 $SiO_2$ 层的厚度不需要等比例缩小，因而寄生电容不会增加，这与体器件恰恰相反。另外，可以采用轻掺杂的P型硅片做机械支撑衬底，这样，绝缘层下面的耗尽层使结-衬底电容进一步减少 [1.5]。

硅-绝缘体CMOS技术还有如下的优点：它的制造技术比体硅CMOS简单而且能排除某些在体硅CMOS中存在的危害成品率的因素。为说明这个问题，我们以浅结和接触的形成为例（图1.2）。在体硅CMOS中形成浅结（ $< 100nm$ ）是不容易的，但如果采用薄（ $100nm$ ）SOI衬底，结深自然就等于硅膜的厚度，减轻了对热处理工艺的限制。浅结接触可以采用金属（如钨），合金（如

Al-Si 或 Ti-W) 或金属硅化物 (如  $\text{TiSi}_2$ )。在体硅器件中, 在硅与金属或硅化物之间有时会出现不利的反应, 如金属穿透结 (图

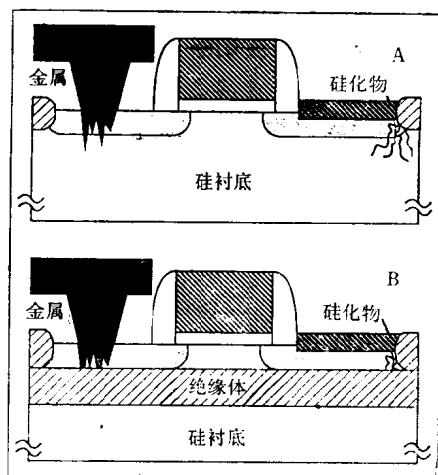


图 1.2 浅结上接触和硅化物的形成。  
体硅 (A) 和薄膜 SOI (B)

1.2(A))。众所周知, 铝同硅接触容易出现这种现象 (铝的尖峰)。对于其它金属或硅化物, 这种现象也会发生, 尤其是沿场绝缘区边缘。结穿透引起漏电流骤增。如果器件做在薄 SOI 材料中,  $\text{N}^+$ ,  $\text{P}^+$  的源、漏扩散直达隐埋绝缘体 (穿透的结), 在这种情况下, 金属同硅的接触区下没有冶金结, 因此, 即使金属和硅发生某些不可控制的反应也不会产生漏电 (图 1.2(B))。

无闕锁效应, 源、漏寄生电容小, 易形成浅结, 这些只是 SOI 技术优于体硅技术的三个优点, SOI 器件和电路还有其它许多优于体硅器件的性质 (如抗辐照, 跨导和亚阈值斜率等), 这些性质将在第五章和第七章中详细描述。

## 第二章 SOI 材料

为在绝缘体上生长单晶硅膜，发展了许多种技术。其中一些技术是以外延生长为基础的，硅外延层或者是生长在覆盖硅片的绝缘层上（同质外延技术），或者是生长在单晶绝缘体上（异质外延技术）。另一些技术则是通过熔融薄硅层的再结晶获得单晶硅（激光再结晶、电子束再结晶和区熔再结晶等）。利用特殊的处理方法把薄硅层从体硅中隔离出来是另一种形成 SOI 材料的技术，例如在硅中形成多孔硅并氧化成绝缘体（FIPOS 技术），或利用离子束合成在硅中形成绝缘埋层（SIMOX，SIMNI 和 SIMON）。最后，把一薄硅片键合到绝缘体或机械衬底上（硅片键合技术）也可以获得 SOI 材料。各种技术都有它的优点和缺点，利用何种类型的 SOI 材料应根据具体应用条件而定，例如 SIMOX 对 VLSI 和抗辐照方面的应用似乎是理想的选择，硅片键合技术更适合用于双极和功率器件，而激光再结晶技术则是制造三维集成电路的主要竞争者。本章将评述制备 SOI 材料的各种技术。

### 2.1 异质外延技术

绝缘体上异质外延硅材料可通过在单晶绝缘体上外延生长单晶硅膜而获得。在那些晶格参数十分接近于单晶硅晶格参数的绝缘体上有可能获得相当好的外延生长膜。所用衬底可以是单晶的体材料，如  $(01\bar{1}2) \text{Al}_2\text{O}_3$ （蓝宝石），也可以是生长在硅衬底上的单晶绝缘膜（外延的  $\text{CaF}_2$ ）。若绝缘体的晶格参数不能与硅晶格参数完美适配，就不可能只靠异质外延获得无缺陷硅膜（见表 2.1.1）。而且，只要硅的热膨胀系数与绝缘体的热膨胀系数不相等，就会导致在单晶硅膜内产生应力。



表 2.1.1 异质外延技术中的主要材料的参料<sup>[1.1]</sup>

| 材 料               | 晶体结构 | 介电常数 | 晶格参数<br>(nm) | 平均热膨胀系数<br>20—1000°C(/°C) |
|-------------------|------|------|--------------|---------------------------|
| 硅                 | 立方晶系 | 11.7 | 0.5431       | 3.8E-6                    |
| 蓝宝石<br>(0 1 -1 2) | 三角晶系 | 9.3  | 0.4759       | 9.2E-6                    |
| 立方氧化锆             | 立方晶系 | 38   | 0.5206       | 11.4E-6                   |
| 尖晶石               | 立方晶系 | 8.4  | 0.808        | 8.1E-6                    |
| CaF <sub>2</sub>  | 立方晶系 | 6.8  | 0.5464       | 26.5E-6                   |

在绝缘体上异质外延生长单晶硅，通常采用硅烷或二氯甲烷在大约 1000°C 温度下进行。由于所有的绝缘体的热膨胀系数均比硅高二到三倍，所以，热失配是影响异质外延生长的单晶硅膜的物理和电学性质的最重要因素。通常，硅膜的厚度比绝缘体厚度小 1000 倍，在生长温度下硅膜中基本上没有应力，然而严重的热失配会在硅膜内引起压应力，例如在具有 0.5μm 厚硅膜的 SOS 材料中，压应力可达  $\cong -7 \times 10^8 \text{ dyn/cm}^2$ ，在硅-蓝宝石界面应力会更高，其值等于甚至超过硅的屈服应力，这种应力是通过在硅膜内产生结晶学缺陷如微孪晶，堆垛层错和位错来释放的。

下面将简要地评述几种最重要的异质外延技术以及它们的优缺点。

### 2.1.1 蓝宝石上异质外延硅

在所有异质外延生长 SOI 材料的技术中，在蓝宝石上外延硅(SOS)是最为成熟的。到目前为止它是能用于 LSI-VLSI 电路制造的唯一 SOI 技术。表 2.1.2<sup>[2.2]</sup>列出 SOS 技术发展的几个里程碑。

获得蓝宝石 ( $\alpha\text{-Al}_2\text{O}_3$ ) 晶体的方法主要有三种，即焰熔法(flame fusion)；切克劳斯基法和边缘限定馈给膜生长法(edge-defined fiem-fed)<sup>[2.13]</sup>。前两种方法得到的是球状蓝宝石单晶，抛光前应切成片，用第三种方法得到的是薄矩形带状蓝宝石

\*1dyn=10<sup>-5</sup>N.