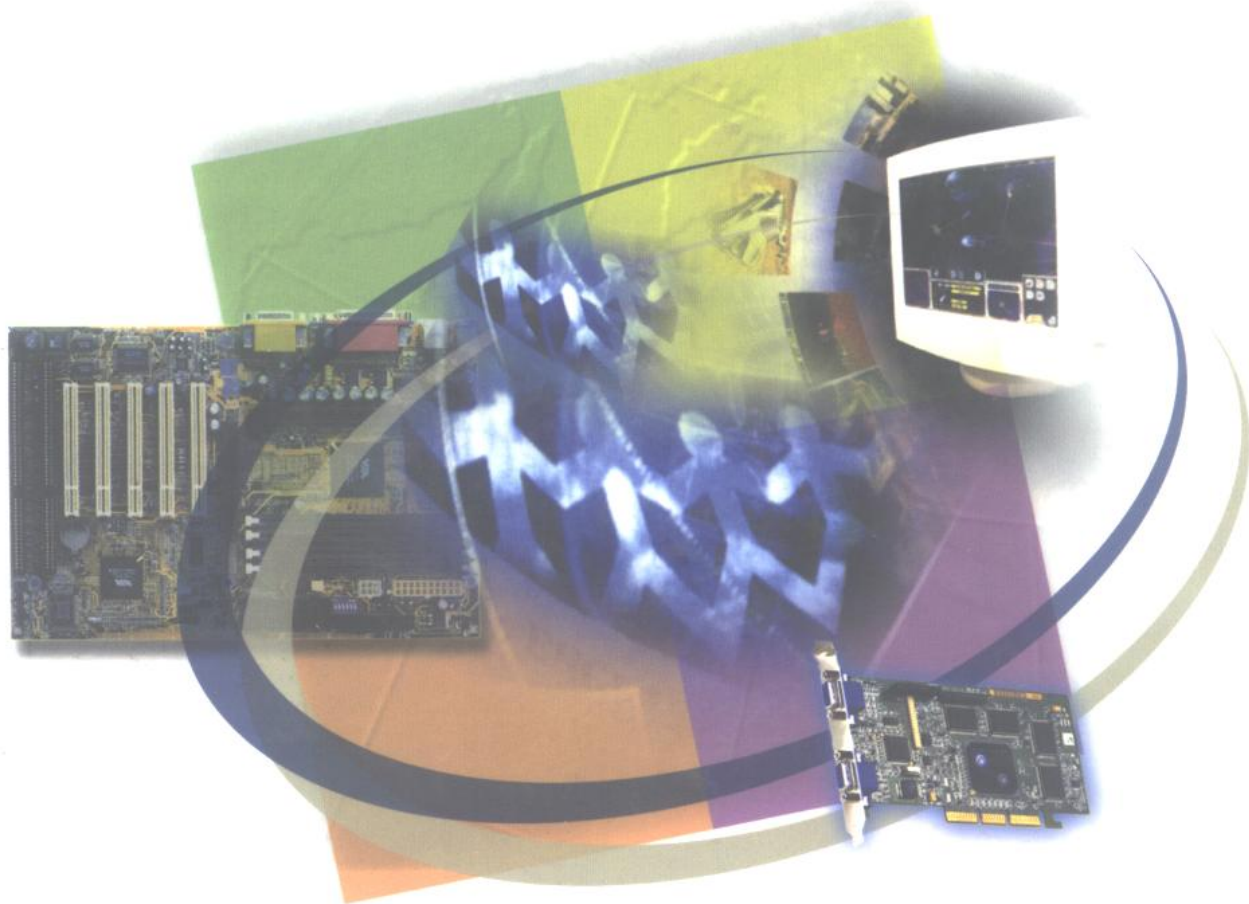


高等学校计算机基础课程系列教材

艾德才 主编

张桦 张雅绮 黄战华等 编著

计算机硬件 技术基础



中国水利水电出版社
www.waterpub.com.cn

12202
211/1

高等学校计算机基础课程系列教材

计算机硬件技术基础

艾德才 主编

张桦 张雅绮 黄战华
车明 艾菲 石恒军 编著

中国水利水电出版社

内 容 提 要

《计算机硬件技术基础》是以当今最杰出的 32 位微处理机 Pentium 为平台,把 Pentium 微处理机的体系机构、存储管理、高速缓冲存储器 Cache、浮点部件、总线、中断、接口部件、数/模、模/数转换、汇编程序设计语言等基本内容熔为一体。形成一个完整的、系统的非计算机专业的计算机硬件技术基础教学内容,可以使非计算机专业的学生,在学习硬件技术基础时更加自然流畅。

本书反映了微处理机领域技术发展的最新水平与趋势,其内容充分体现了计算机硬件技术基础的基础性、系统性、知识性、先进性的统一。每章之后均配有习题,供自学自测用。

本书是高等学校非计算机专业计算机基础教学用书,也可作为专科各专业教学用书及培训教材。

图书在版编目(CIP)数据

计算机硬件技术基础/艾德才主编;张桦等编著. —北京:中国水利水电出版社, 2000.4

ISBN 7-5084-0315-0

I. 计… II. ①艾… ②张… III. 硬件-高等学校-教材 IV. TP303

中国版本图书馆 CIP 数据核字(2000)第 04557 号

书 名	计算机硬件技术基础
主 编	艾德才
出版、发行	中国水利水电出版社(北京市三里河路 6 号 100044) 网址: www.waterpub.com.cn E-mail: sale@waterpub.com.cn 电话: (010) 63202266 (总机)、68331835 (发行部)
经 售	全国各地新华书店
排 版	北京万水电子信息有限公司
印 刷	北京蓝空印刷厂
规 格	787×1092 毫米 16 开本 22.5 印张 497 千字
版 次	2000 年 4 月北京第一版 2000 年 4 月北京第一次印刷
印 数	0001—5000 册
定 价	26.00 元

凡购买我社图书,如有缺页、倒页、脱页的,本社发行部负责调换
版权所有·侵权必究

前 言

本书是根据教育部提出的在计算机基础教学上改革的精神。由教育部工科计算机基础课程教学指导委员会成员艾德才先生组织部分具有丰富教学经验的一线教师编写的，教材内容丰富、系统、完整，凝聚了多年教学经验和智慧。

为尽快实现教育部提出的 21 世纪计算机基础教育要上一个新台阶的宏伟目标，落实高等院校在计算机基础教学上达到三个层次的基本要求，根据教育部提出的在计算机基础教学上改革的精神。由教育部工科计算机基础课程教学指导委员会成员艾德才先生组织部分高校内具有丰富教学经验的一线教师编写本系列教材，其内容丰富、系统、完整，凝聚了多年教学经验和智慧。

本系列教材由第一层次的计算机文化基础，第二层次的计算机硬件技术基础、计算机软件技术基础，和第三层次的计算机应用技术基础组成。

本系列教材中的计算机文化基础内容安排独具匠心，其内容包含有关计算机的基本概念、基本知识，其操作系统部分采用的是 Windows 98。文字处理软件不仅介绍了 Word 97，同时也把我国的民族智能化办公软件 WPS 2000 奉献给读者。另外，还介绍中文电子表格处理软件 Excel 97，中文演示软件 PowerPoint 97。最后介绍 Internet 网络基础及使用。

本系列教材中的计算机软件技术基础独具特色，本书以一种全新的面目展现给读者，它是以 C 语言为主线，把高级程序设计语言、结构化程序设计、算法与数据结构、面向对象程序设计、软件工程基础等几部分内容有机地融为一体。形成一个完整的非计算机专业的计算机软件技术基础教学体系，可以使非计算机专业的学生，在学习软件技术基础时更加自然流畅。消除了以往在计算机软件技术基础教学上的“拼盘”现象。

计算机的核心系统软件——操作系统，它是软件领域不可缺少的一个组成部分，本系列教材也将其纳入其中。掌握操作系统的基本概念、技术，特别是多任务处理以及操作系统虚拟机的概念，才能更好地理解软件开发和软件系统的运行环境。在软件技术基础内，以 Windows 98 为例，介绍了现代操作系统环境、组成和功能服务、存储管理、进程管理、作业管理、设备管理、文件管理以及网络系统等。

本系列教材中的计算机硬件技术基础颇具特色，它是一本集基础性、知识性、系统性、先进性于一体的全新教科书。本书以现代最优秀的 32 位微处理机 Pentium 为例，把微处理机领域采用的最先进思想技术展示给读者，从中可领略到微处理机内部那些隐含的、奇妙的、神秘性的东西。其内容包括 Pentium 微处理机的体系结构、存储管理高速缓冲存储器、总线、中断、接口、A/D 及 D/A 转换，以及汇编语言程序设计等。

《计算机硬件技术基础》第一、二章由张桦编写，第三章由艾德才编写，第四、五

章由艾菲编写，第六、七章由张雅绮编写，第八章由黄战华编写，第九章由车明编写，第十章由石恒军编写。全书由艾德才先生提出编写大纲并主编。

出版本系列教材，是在计算机基础教育改革上进行的一次尝试，虽力图做好，但由于作者水平有限，难免有不足之处，殷切希望能得到广大同仁和读者的批评指正，以便使本系列教材的质量得到进一步提高。

编者
2000.2

目 录

第一章 微型计算机系统概论.....	1
1.1 微型计算机发展.....	1
1.2 微型计算机硬件结构.....	2
1.3 计算机数的表示.....	4
1.3.1 字符二进制编码.....	5
1.3.2 数值的表示.....	7
1.4 寄存器.....	10
1.4.1 通用寄存器.....	10
1.4.2 指令指针寄存器 EIP.....	10
1.4.3 标志寄存器.....	11
1.4.4 段寄存器.....	13
1.4.5 堆栈.....	14
1.5 运算器.....	15
1.6 控制器.....	16
1.6.1 基本功能.....	16
1.6.2 控制器的组成.....	17
1.7 存储器.....	19
1.7.1 存储器性能指标.....	19
1.7.2 半导体存储器.....	20
1.7.3 磁记录存储器.....	21
1.7.4 光盘存储器.....	23
1.8 I/O 设备.....	24
1.8.1 输入设备.....	24
1.8.2 输出设备.....	25
1.9 微型机主要性能指标.....	27
习题.....	28
第二章 Pentium 系统原理.....	29
2.1 RISC.....	29
2.2 寄存器.....	30
2.2.1 通用寄存器.....	31
2.2.2 段寄存器.....	31
2.2.3 堆栈的实现.....	33

2.2.4	标志寄存器.....	34
2.2.5	指令指针寄存器.....	35
2.2.6	存储管理寄存器.....	35
2.2.7	控制寄存器.....	37
2.3	CPU	40
2.3.1	整数流水线.....	41
2.3.2	浮点流水线.....	44
2.3.3	Cache.....	44
2.3.4	新型体系结构.....	45
2.4	寻址方式.....	46
2.4.1	立即操作数寻址.....	47
2.4.2	寄存器操作数寻址.....	47
2.4.3	存储器操作数寻址.....	47
2.5	数据类型.....	48
2.6	流水线指令流及分支预测.....	51
2.6.1	流水线操作.....	51
2.6.2	指令预取.....	53
2.6.3	指令配对规则.....	54
	习题.....	55
第三章	存储管理	56
3.1	综述.....	56
3.1.1	存储器系统.....	56
3.1.2	存储器结构.....	59
3.2	分段存储管理.....	59
3.2.1	平台管理方式.....	60
3.2.2	保护方式下的平台方式.....	61
3.2.3	多段存储管理方式.....	61
3.3	段的转换.....	64
3.3.1	段寄存器.....	66
3.3.2	段选择符.....	67
3.3.3	段描述符.....	68
3.3.4	段描述符表.....	73
3.3.5	描述符表基址寄存器.....	74
3.4	分页存储管理.....	75
3.5	页转换.....	78
3.5.1	允许分页位.....	79
3.5.2	线性地址.....	79

3.5.3	页表.....	80
3.5.4	页表项.....	80
3.5.5	转换旁视缓冲存储器 TLB	83
3.6	页级保护	83
3.7	保护方式下的多任务处理	85
	习题.....	86
第四章	高速缓冲存储器 Cache	88
4.1	Cache 存储器	88
4.1.1	什么是 Cache.....	88
4.1.2	Pentium 片内 Cache.....	89
4.2	Cache 配置方案	90
4.2.1	Cache 大小规模和性能.....	94
4.2.2	缔合方式和性能.....	96
4.2.3	实际 Cache.....	99
4.3	Cache 结构.....	99
4.3.1	片内指令 Cache 和数据 Cache.....	99
4.4	Cache 操作方式.....	101
4.4.1	数据 Cache.....	102
4.4.2	数据 Cache 更新方案.....	103
4.4.3	指令 Cache.....	103
4.4.4	Cache 读写操作.....	104
4.4.5	数据 Cache 路径.....	105
4.4.6	Cache 替换算法与规则.....	108
4.4.7	Cache 写贯穿.....	108
4.4.8	Cache 写回.....	109
4.4.9	Cache 刷新.....	109
4.5	监视.....	110
4.5.1	监视的任务.....	110
4.5.2	监视方法.....	111
4.5.3	监视方式选择.....	112
4.5.4	监视操作.....	113
4.5.5	监视拦阻.....	114
4.5.6	监视写回周期.....	114
4.6	一致性协议.....	115
4.6.1	MESI Cache 一致性协议模型	115
4.6.2	指令 Cache 一致性协议.....	116
4.6.3	基本 MESI 状态转换	116

习题.....	118
第五章 浮点部件	119
5.1 综述.....	119
5.2 浮点部件体系结构.....	121
5.2.1 数值寄存器.....	121
5.2.2 状态字寄存器.....	123
5.2.3 控制字寄存器.....	126
5.2.4 标记字寄存器.....	127
5.2.5 最后的指令操作码字段.....	128
5.2.6 数值指令和数据指针.....	128
5.3 浮点流水线操作.....	130
5.3.1 浮点指令的流动.....	131
5.3.2 安全指令的识别.....	132
5.3.3 旁路 BYPASSES.....	133
5.4 计算基础.....	134
5.4.1 数字系统.....	134
5.4.2 数据类型和格式.....	135
5.4.3 舍入控制.....	139
5.4.4 精度控制.....	140
5.5 浮点指令.....	140
5.5.1 源和目标操作数.....	140
5.5.2 数据传送类指令.....	141
5.5.3 非超越函数类指令.....	141
5.5.4 比较类指令.....	143
5.5.5 超越函数类指令.....	144
5.5.6 常数指令.....	145
5.5.7 控制指令.....	146
5.6 浮点部件指令.....	147
习题.....	149
第六章 总线.....	151
6.1 总线的概念.....	151
6.1.1 概念.....	151
6.1.2 总线标准的四个特性.....	152
6.1.3 总线分类.....	153
6.1.4 总线操作.....	153
6.1.5 总线配置结构.....	156
6.2 数据传送机制.....	158

6.2.1	实际存储器和 I/O 接口	158
6.2.2	数据传送机制	160
6.2.3	与 8 位、16 位、32 位以及 64 位存储器的接口	160
6.3	总线周期	163
6.3.1	单传送周期	164
6.3.2	成组周期	165
6.3.3	中断确认周期	167
6.3.4	专用总线周期	167
6.4	总线状态	168
6.4.1	总线状态	168
6.4.2	总线状态转换	170
6.5	EISA 总线	171
6.5.1	EISA 技术术语	171
6.5.2	EISA 系统	171
6.5.3	高性能特征	173
6.5.4	EISA 适配器	173
6.5.5	EISA 总线插槽	173
6.6	VESA 总线	174
6.6.1	高速图形适配器	174
6.6.2	总线频率和数据传送速率	175
6.6.3	DMA 和中断	176
6.6.4	VESA 适配器	176
6.6.5	VESA 总线插槽	176
6.7	PCI 总线	177
6.7.1	PCI 局部总线的特征	178
6.7.2	即插即用 (Plug and Play)	179
6.7.3	PCI 接插件	179
6.7.4	PCI 性能	181
6.7.5	PCI 前景	181
6.7.6	PCI 总线操作	182
6.7.7	总线命令	183
6.7.8	DMA 和中断	184
6.7.9	PCI 适配器	184
6.7.10	PCI 总线信号	184
	习题	186
第七章	中断	187
7.1	中断的概念	187

7.1.1	概述.....	187
7.1.2	中断系统.....	188
7.2	异常与中断.....	189
7.2.1	中断源分类.....	189
7.2.2	中断控制器.....	190
7.2.3	异常和中断向量.....	191
7.2.4	指令的重新启动.....	191
7.3	允许及禁止中断.....	192
7.3.1	不可屏蔽中断对未来的不可屏蔽中断的屏蔽.....	192
7.3.2	IF 屏蔽 INTR.....	192
7.3.3	RF 对调试故障的屏蔽.....	193
7.3.4	MOV 和 POP 指令对堆栈段中某些异常和中断的屏蔽.....	193
7.4	中断描述符表.....	193
7.4.1	异常和中断同时存在时的优先级.....	193
7.4.2	中断描述符表 IDT.....	194
7.4.3	中断描述符表内描述符.....	195
7.5	中断任务和中断过程.....	196
7.5.1	中断过程.....	196
7.5.2	中断任务.....	199
7.6	错误代码.....	200
7.7	异常条件.....	200
7.7.1	中断 0——除法错.....	201
7.7.2	中断 1——调试异常.....	201
7.7.3	中断 3——断点.....	201
7.7.4	中断 4——溢出.....	201
7.7.5	中断 5——边界检查.....	202
7.7.6	中断 6——无效操作码.....	202
7.7.7	中断 7——设备不可用.....	202
7.7.8	中断 8——双故障.....	202
7.7.9	中断 9（由 Intel 保留，未使用）.....	204
7.7.10	中断 10——无效任务状态段.....	204
7.7.11	中断 11——段不存在.....	205
7.7.12	中断 12——堆栈异常.....	205
7.7.13	中断 13——一般保护.....	206
7.7.14	中断 14——页故障.....	207
7.7.15	中断 16——浮点错.....	209
7.7.16	中断 17——对准检查.....	211

7.8	异常和错误小结	212
	习题	213
第八章	人机接口	214
8.1	显示接口	214
8.1.1	CRT 显示系统	214
8.1.2	LCD 显示及其接口	225
8.1.3	LED 显示器及其接口	228
8.2	输入接口	230
8.2.1	键盘接口	230
8.2.2	鼠标接口	232
8.2.3	并行打印机接口	234
8.2.4	串行通信接口	236
8.2.5	其他多媒体输入接口	244
8.3	存储器接口	247
8.3.1	软盘接口	247
8.3.2	硬磁盘机及其接口	249
8.3.3	光盘接口	254
8.4	外围接口芯片	260
8.4.1	可编程并行接口芯片 8255A	260
8.4.2	可编程定时 / 计数芯片 8253	262
8.4.3	可编程串行通信接口芯片 8250	263
8.4.4	中断控制器 8259A	264
8.4.5	DMA 控制器 8237	265
8.4.6	多功能接口芯片 82380	268
	习题	270
第九章	模 / 数及数 / 模转换	271
9.1	概述	271
9.2	D / A 转换	272
9.2.1	D / A 转换器的基本原理	272
9.2.2	权电阻解码网络 D / A 转换器	273
9.2.3	T 型电阻解码网络 D / A 转换器	274
9.3	D / A 转换器的主要技术指标	276
9.3.1	分辨率	276
9.3.2	线性度	277
9.3.3	转换精度	277
9.3.4	建立时间	277
9.3.5	温度系数	277

9.3.6	电源抑制比	277
9.3.7	输出电平	277
9.3.8	输入代码	278
9.3.9	输入数字电平	278
9.3.10	工作温度范围	278
9.4	A / D 转换器	278
9.4.1	采样保持器	278
9.4.2	A / D 转换器的基本原理	279
9.5	A / D 转换器的主要技术指标	282
9.5.1	分辨率	282
9.5.2	量化误差	282
9.5.3	偏移误差	282
9.5.4	满刻度误差	282
9.5.5	绝对精度	283
9.5.6	相对精度	283
9.5.7	转换速率	283
9.6	D / A 芯片介绍	283
9.7	A / D 芯片介绍	288
	习题	291
第十章	汇编语言程序设计	293
10.1	汇编语言基础	293
10.1.1	汇编语言概述	293
10.1.2	指令格式	294
10.1.3	语句格式	296
10.2	汇编语言程序结构	302
10.2.1	源程序结构	302
10.2.2	伪操作语句	304
10.2.3	宏操作	320
10.2.4	过程	323
10.2.5	宏操作和过程的比较	326
10.3	汇编程序设计	327
10.3.1	顺序结构程序设计	327
10.3.2	分支程序设计	328
10.3.3	循环程序设计	329
10.3.4	子程序	331
10.3.5	中断	334
10.3.6	发声程序	336

10.4 与高级语言接口	337
10.4.1 与 BASIC 的接口	338
10.4.2 与 C 语言的接口	339
10.4.3 与 FORTRAN 接口	341
10.4.4 与 PASCAL 的接口	343
习题	344

第一章 微型计算机系统概论

1.1 微型计算机发展

微型计算机出现于 70 年代初,是大规模集成电路发展的产物。在这以前,计算机的发展已经经历了电子管计算机时期、晶体管计算机时期、中小规模集成电路计算机时期。大规模集成电路于 1970 年研制成功,从此就开始以它作为计算机的主要功能部件。计算机进入了大规模集成电路时期,计算机的微型化成为可能。

微型计算机的发展是以微处理机的发展来表征的。将传统计算机的运算器和控制器集成在一块大规模集成电路芯片上作为中央处理部件(CPU),称为微处理机。微型计算机是以微处理机为核心,再配上存储器、接口电路等芯片构成的。

微型计算机一经问世,就以体积小、重量轻、价格低廉、可靠性高、结构灵活、适应性强和应用面广等一系列优点占领世界计算机市场并得到广泛应用,成为现代社会发展不可缺少的主要工具。

自从 1971 年第一块微处理机芯片诞生以来,微处理机的性能和集成度几乎每两年提高一倍,而价格却降低一个数量级。

1971 年至 1973 年是微处理机发展初级阶段,典型产品有 Intel 公司的 4004, 4040, 8008 等微处理机,字长为 4 位或 8 位,集成度约为 2300 晶体管/片,时钟频率为 1MHz。

1973 年至 1977 年是微处理机发展时期。这一时期生产微处理机的厂家不断发展壮大,典型产品有 Intel 公司的 8080, 8085; Zilog 公司的 Z80; Motorola 公司的 M6800, M6802 以及 Rockwell 公司的 6502 等微处理机,字长为 8 位,集成度约为 10000 晶体管/片,时钟频率为 2~4MHz。

1978 年至 1983 年是微处理机大发展时期。在这一时期,微处理机进入了超大规模集成电路时代,在集成度、速度和功能方面取得了很大进展。这时期的典型产品有 Intel 公司的 8086、8088 和 80286, Motorola 公司的 M6800, M68010 以及 Zilog 公司的 Z8000 等,字长为 16 位,集成度达 10 万晶体管/片,时钟频率达 10MHz。

1983 年至 1992 是微处理机飞跃发展时期,典型产品有 Intel 公司的 80386、80486、Motorola 公司的 M68020 等微处理机,字长从 16 位跃升成 32 位,集成度达 50 万晶体管/片,时钟频率达 50MHz。

1993 年以 Intel 公司推出 Pentium 微处理机芯片为标志,微处理机进入了第五代。Pentium 微处理机芯片其实就是人们常说的 80586,目前字长为 32 位。从此展开了高档超级微型计算机的奏章。Pentium 微处理机芯片的集成度在百万晶体管/片以上,时钟频率可高达 500~800MHz。以 Pentium 微处理机芯片为核心构成的微型计算机系统堪称当代微型计算机的杰出代表。

1.2 微型计算机硬件结构

从第一台电子计算机问世以来，它的更新换代实质上就是硬件的更新换代。但无论怎样变化，就其基本工作原理而言，都是存储程序控制的原理，其基本结构属于冯·诺依曼型计算机，即电子计算机。它至少应由运算器、控制器、存储器、输入设备和输出设备五部分组成。原始的冯·诺依曼机在结构上是以运算器和控制器为中心，但随着计算机系统结构的设计实践和发展，已逐步演变到以存储器为中心的结构。其基本结构如图 1.1 所示。

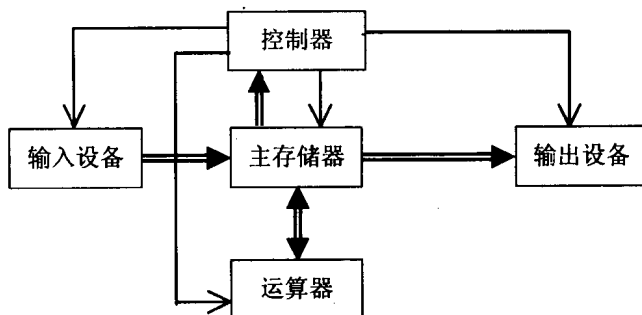


图 1.1 计算机基本结构

微型计算机的设计目标主要是考虑如何以较低造价的硬件组成系统，并具有较强的功能。而实现此目标的关键之一是如何进行数据信息的传送。为了克服数据信息在计算机各部件之间直接进行传送而造成的数据通路复杂、零乱，控制困难，扩展性差等缺点，目前微型计算机硬件结构普遍采用总线结构。

所谓总线，就是一组公共信息传输线路。它能为多个部件服务。可分时地发送与接收各部件的信息。目前在计算机系统中常把总线作为一个独立部件看待。总线的工作方式通常是由发送信息的部件分时地将信息发往总线，再由总线将这些信息同时发往各个接收信息的部件。究竟哪个部件接收信息，要由输入脉冲控制决定。总线的通路宽度是指能够一次并行传送的数据位数。

按照总线传送信息的方向，可把总线分为单向总线和双向总线。单向总线的功能是使挂在总线上的一些部件将信息有选择地传向另一些部件，而不能反向传送。双向总线不仅能使任何挂在总线上的部件或设备有选择地接收由其他部件发出的信息，同时也能够通过总线有选择地向其他部件或设备发送信息。

根据总线传送信息的类别，可以把总线分为数据总线、地址总线和控制总线。数据总线用于传送程序或数据；地址总线用于传送主存储器地址码或外围设备码；控制总线用于传送各种控制信息。微型计算机比较典型的系统结构有以下几种：

1. 单总线结构

单总线结构如图 1.2 所示。它是一种典型的微型计算机硬件结构。系统的各个部件均挂在单总线上，构成微型计算机的硬件系统，所以又称之为面向系统的单总线结构。在单总线结构中，CPU（微处理器）与主存储器之间，CPU 与 I/O 设备之间，I/O 设备与主存储器之间，各 I/O 设备之间都可以通过单总线交换信息。因此，可以将各 I/O 设备的寄存

器与主存储器单元统一编址,称为总线地址。于是,CPU 就能通过统一的传送指令如同访问主存储器单元一样访问 I/O 设备的寄存器。单总线结构的优点是控制简单方便,易于扩充系统所配置的 I/O 设备,而且在主存与 I/O 设备交换信息时,还允许 CPU 继续工作。

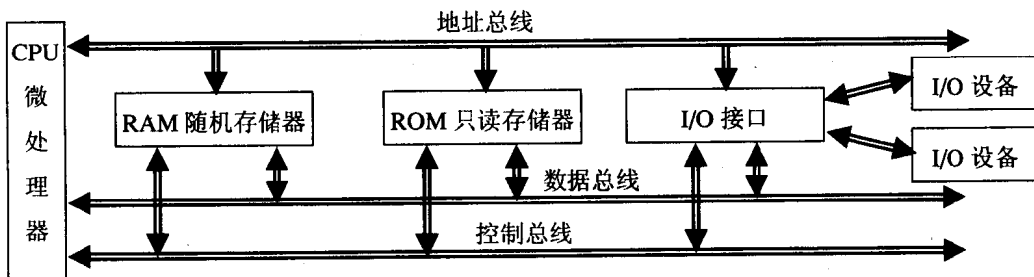


图 1.2 微机单总线结构

由于系统的所有部件和设备都挂在一组单总线上,而单总线又只能分时工作,即同一时刻只能在一对设备之间传送数据,这就使数据传输的吞吐量受到限制。这是单总线结构的主要缺点。

2. 面向 CPU 的双总线结构

面向 CPU 的双总线结构如图 1.3 所示。双总线结构的计算机系统中共有两组总线。一组总线是 CPU 与主存储器之间进行信息交换的公共通路,称为存储总线。CPU 利用存储总线从主存储器取出指令进行分析、执行,从主存储器读取数据进行加工处理,再将结果送回主存储器。另一组是 CPU 与 I/O 设备之间进行信息交换的公共通路,称为输入/输出(I/O)总线。各外围设备通过接口电路挂接在 I/O 总线上,接口是主机与外围设备之间的交换部分,它一般由暂存信息的缓冲寄存器及有关控制逻辑组成。

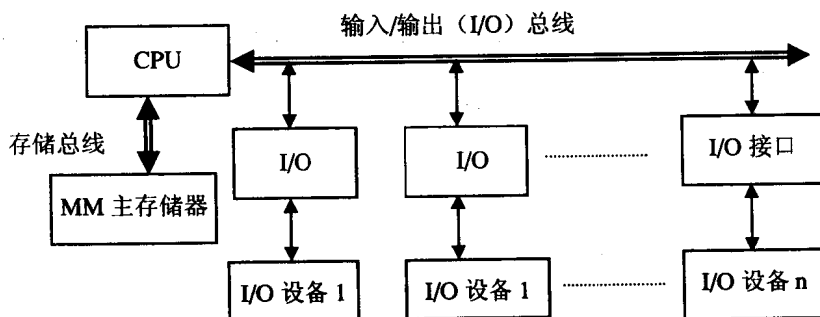


图 1.3 面向 CPU 的双总线结构

由于在 CPU 与主存储器之间,CPU 与 I/O 设备之间分别设置了一组总线,从而提高了微型计算机系统信息传送率。但是由于外围设备与主存储器之间没有直接的通路,要通过 CPU 才能进行信息交换。当输入设备向主存储器输入信息时,必须先送到 CPU 的寄存器中,然后再送入主存;当输出运算结果时,必须先由主存储器将结果送入 CPU 的寄存器中,然后再送到某一指定的输出设备。这势必增加了 CPU 的负担,CPU 必须花大量的时间进行信息的输入/输出处理,从而降低了 CPU 的工作效率。这是其主要缺点。