

超大规模集成电路的 设计与分析

[美] L. A. 格拉泽 著
D. W. 多贝尔普尔

科学出版社

超大规模集成电路的 设计与分析

[美] L. A. 格拉泽 著
D. W. 多贝尔普尔

陈天鑫 张建人 译
李瑞伟 石秉学

科学出版社

1991

内 容 简 介

本书系统地介绍了 MOS VLSI 的设计与分析。全书共八章。第一章介绍基本电路形式,并定性地分析了设计方法;第二章到第五章介绍 MOS 器件物理、制造工艺以及逻辑和电路设计技术;第六章到第八章介绍时钟方法、阵列电路,以及 VLSI 系统的微结构设计。每章末均附有精心编排、难度层次分明的习题。附录中提供了大量实用数据和资料。

本书可供在微电子技术以及电子系统和电路技术领域从事研究和开发的工程技术人员和科研人员参考。对于与这些领域有关的大学教师、大学高年级本科生和研究生,本书既可作教材,也可作教学参考书。

L. A. Glasser D. W. Dobberpuhl

THE DESIGN AND ANALYSIS OF VLSI CIRCUITS

Addison-Wesley Publishing Company, 1985

超大规模集成电路的

设计与分析

【美】 L. A. 格拉泽 著
D. W. 多贝尔普尔

陈天鑫 张建人 译
李瑞伟 石秉学

责任编辑 魏 玲

科学出版社出版

北京东黄城根北街 16 号
邮政编码: 100707

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1991年5月第 一 版 开本: 787×1092 (16)
1991年5月第一次印刷 印张: 22
印数: 0 001-2 300 字数: 510 000

ISBN 7-03-002115-0/TN·98

定价: 18.70元

译者的话

微电子技术的发展导致了在一块几毫克的硅片上可以容纳 10^6 个晶体管，一块集成电路芯片已经从只能作为电子系统的一些部件发展为一块芯片就构成一个系统，这就是超大规模集成电路（VLSI）。在这种情况下，不仅微电子技术领域的工程师和科学家需要了解有关 VLSI 的专门知识、技术和理论，而且工作在电子系统领域的工程师和科学家们也同样需要具有这些知识。为此，我们翻译了本书，以向那些工作在上述领域的同行们奉献一本合适的学习参考书，本书可以把你带进 VLSI 的大门，进而向你介绍有一定深度和相当广度的 VLSI 原理及有关的设计问题。

本书取材新颖，与以前的同类著作相比，内容更先进，也更专业化。全书以 $2\mu\text{m}$ 工艺为例，理论联系实际，在深入分析的基础上提供了大量实用的电路技术。同时，全书贯穿计算机辅助工具在电路设计中的应用，强调使用计算机进行电路模拟的重要性。书中的每一章后面，均附有难度不同的习题，为读者巩固和发展所学内容提供了条件。

本书对工作在微电子技术、电子系统和电路技术领域的科技人员，以及大学教师和高年级本科生、研究生，是一本难得的好书。

本书共八章。其中第一章和第二章由李瑞伟翻译，第三章到第五章以及第八章由张建人翻译，第六章和第七章由陈天鑫翻译。全书译稿由陈天鑫和石秉学校订。贺祥庆同志曾审阅了本书部分译稿，并指出了一些原书和翻译中的错误，在本书翻译过程中，还得到许多同志的帮助，在此，一并表示谢意。

由于译者的水平所限，书中不妥之处，深望读者批评指正。

前 言

1959年 Robert Noyce 和 Jack Kelby 各自发明了平面集成电路,从而使全世界的技术和经济面貌发生了变化。1961年以来,集成在单个芯片上的晶体管数目几乎每年增加一倍,这就导致数字电子设备每单位功能的价格大幅度地按指数律下降。在集成电路技术迅速发展带来的数十亿美元市场的激励下,工程界已经开发了大量专门知识、技术和理论,用以充分发挥在几毫克硅片上所拥有的功能,我们将在本书中分析这种技术的基本领域之一——集成电路设计技术。

本书的目的在于使读者了解 VLSI 技术发展的最新水平,就这一点而言,已有的有关书籍是不能做到的。例如,本书比 Mead 和 Conway 的经典著作《超大规模集成电路系统导论(Introduction to VLSI Systems)》¹⁾更为先进,也更专业化。在麻省理工学院,采用本书作为教材时,必须先给学生讲述下述两门先导课之一:一是以 Mead 和 Conway 的著作为教材的 VLSI 概论课,一是以 Hodges 和 Jackson 的《数字集成电路的分析和设计(Analysis and Design of Digital Integrated Circuits)》等为教材的电路设计课。另一方面,我们也力图使本书包括一些必要的先导课内容,以便在课程计划受限制的情况下使学生的基础知识得以保证,能直接采用本书作为 VLSI 方面的首课教材。事实上,本书在 VLSI 概论课中使用是成功的。

在本书写作中,我们假定读者对基本电路、器件物理以及逻辑设计是熟悉的,因此,它适用于高年级或研究生水平的 MOS 电路设计课,同时,对于那些希望成为集成电路设计领域中的内行的工程师和科学家,本书也是有用的。数字设备公司(Digital Equipment Corporation)在对电路设计人员、系统设计人员、工艺专家和 CAD 专业人员进行初级训练和继续教育时曾广泛采用本著作。

本书是从直观地分析许多 nMOS 和 CMOS 电路的设计方法开始的,这就为读者理解这是一种什么样的方法以及使用这种方法来设计电路时又会产生哪些问题提供了基础。同时,也论述了动态和静态电路技术以及规则结构的作用。在这个基础上,读者就有可能定性地理解那些相当复杂的电路是怎样构成的。正是由于采用了这种方法,才使第一章成为其余各章的线索,并推动读者去阅读这些内容。在后七章中,第二章到第五章侧重于阐述传统的“电机工程”方面的问题,第六章到第八章则更多地和“计算机科学”有关。尽管我们认为所有这些材料都是属于 VLSI 设计人员的正统范畴,但是从事计算机科学的读者先阅读第一、六和七章,然后再回过头来读第二章至第五章可能更为有益。

定性讨论对理解简单的电路技术是有用的,但仅此不足以使人们具备进行高质量电路设计的能力,所以,本书从第二章开始重点转向较为定量的分析。第二章为 MOS 器件物理和互连物理。模型及其恰当使用是极为重要的,因此在这一章中我们导出了许多复杂程度和精度各不相同的模型,在这些模型中,一部分可直接进行运算,另一部分则

1) 该书中文译本已由科学出版社于1986年出版。

只有与复杂的电路模拟程序结合起来才能使用。事实上,从第一章开始,计算机辅助设计在本书的 VLSI 设计方法中就是不可缺少的部分。然而计算机并不能代替理解,所以我们做了一些论述,使读者能领会 MOS 器件的一级和二级物理现象是如何影响电容、晶体管以及互连的外部特性的。在本章还阐明了模型的适用范围。全书用大量的习题和例子来强调上述种种问题。从第二章开始,我们在那些重要的公式后面都标注了“*”号。

第三章介绍了许多制造工艺,我们认为这些内容都是电路设计人员必须知道的。本章在介绍了一整套集成电路制造技术之后,接着说明如何使用这些技术制造 MOS 电路。另外,还推导了简单的成品率公式。讨论设计规则及其由来的那一节是本章的关键。

按其本质来说, MOS 晶体管的特性是模拟的,因此,以它们为基础组成一个数字系统时,为了使系统工作可靠和符合特定要求,必须采用一些概念,这就是在第四章中阐明的噪声、噪声容限、宏模型和最坏条件设计等,在这一章中还仔细地研究了逻辑门动力学,并用一些实例来说明器件物理和电路设计之间的相互影响。全章的主要分析对象是作为逻辑元件基本形式的反相器,并研究了两种 nMOS 反相器和两种 CMOS 反相器。

在上述基础上,我们在第五章中介绍了一大批专门电路技术及其优化问题,这些电路为:大容量扇出和扇入电路、时钟驱动器、衬偏发生器、输入保护器件、电平转换以及施密特触发器等等。在介绍每一种电路技术的同时,都阐明了研究这些电路技术所必需的概念和分析工具。读者掌握了这一章后,将在相当范围内有足够能力去了解其它新的电路技术。

第六章讨论时钟方法,包括非重叠时钟、重叠时钟以及自定时技术,分析的重点是非边沿触发系统,同时还讨论了时钟发生器及时钟不对称问题,对同步电路也进行了定量分析。

第七章阐述的电路设计包括译码器、RAM、ROM 和收缩阵列等大的阵列和规则结构,并分析了收缩阵列的再定时和优化问题。在这一章中,我们可以看出版图、电路设计、布局,以及逻辑设计之间是如何以一种极为有趣的方式互相关连着。理解了这部分内容后就为顺利地学习第八章“超大规模集成系统的微结构”创造了条件。

数年前,在有关电路设计的著作中并不包括微结构这一部分内容,但是,既然一块数字 VLSI 就是一个数字系统,这种情况就改变了。微处理器是 VLSI 逻辑芯片的典型结构,在第八章中,我们集中分析微结构和电路设计之间的最佳配合。同时介绍数据通道和控制通道设计,前者强调的关键问题是进位传送,后者则突出微程序的来龙去脉。

在学习本书时,为了取得最佳效果,使用计算机来运行 SPICE 2 程序是有帮助的。我们开发了一套 $2\mu\text{m}$ nMOS 和 CMOS 工艺流程作为一个公共的论题,这套工艺流程是假设的,但却使书中的例子、习题具有真实感,也便于说明本书中的一些要点。这些工艺的清单、有关的设计规则和 SPICE 模型列于附录中,并在许多实例中使用。因为这些工艺的说明十分详尽,所以可作为课内或自学的课程设计。

每章后面的习题都按难度不同分为三类:适度的、难的和极难的。习题后面标有“△”的为难题,解这些题工作量大,概念难或需要有较大的创见。标有“△△”的为极难题,这部分题代表继续研究的方向,要得到答案,往往需具备本书没有涉及的一些知识。

L.A.格拉泽

D.W.多贝尔普尔

1985年1月于马萨诸塞州,剑桥

目 录

第一章 电路形式和设计方法	1
1.1 MOS 晶体管的定性模型	1
1.2 静态逻辑形式	11
1.3 存贮元件及顺序电路	24
1.4 规则结构	32
1.5 微系统设计	39
1.6 小结	41
习题	42
参考文献	45
第二章 MOS 器件电子学	48
2.1 电容器和二极管	48
2.2 MOS 晶体管中的一级效应	58
2.3 MOS 晶体管中的二级效应	72
2.4 互连线的建模	91
2.5 散热	107
2.6 小结	108
习题	111
参考文献	113
第三章 芯片工艺	117
3.1 半导体器件的制造技术	117
3.2 两种基本的MOS加工工艺	125
3.3 设计规则	132
3.4 成品率	140
3.5 版图设计技巧	142
3.6 小结	144
习题	144
参考文献	145
第四章 逻辑抽象	148
4.1 逻辑电平的恢复	148
4.2 反相器	154
4.3 噪声	168
4.4 最坏条件设计	172
4.5 小结	181
习题	181
参考文献	183
第五章 电路技术	185
5.1 简单逻辑门的电路优化技术	185
5.2 大扇出电路和时钟驱动器	188

5.3	大扇入电路	199
5.4	双稳态	202
5.5	读出放大器	208
5.6	电平转换	215
5.7	输入保护	217
5.8	衬偏电压的产生	221
5.9	电路设计中的版图技术	227
5.10	小结	237
	习题	237
	参考文献	240
第六章	时钟与通讯	243
6.1	单相时钟定时	243
6.2	两相时钟定时	244
6.3	重叠时钟	258
6.4	自定时 MOS 电路	261
6.5	同步器和判断器	264
6.6	全局时钟定时问题	268
6.7	小结	272
	习题	273
	参考文献	275
第七章	阵列结构的电路技术	276
7.1	译码器	276
7.2	ROM 和 PLA	279
7.3	RAM	284
7.4	收缩阵列	292
7.5	小结	299
	习题	300
	参考文献	302
第八章	超大规模集成系统的微结构	305
8.1	数据通道设计	306
8.2	控制结构的实现	313
8.3	测试和故障排除	322
8.4	小结	325
	习题	326
	参考文献	326
附录		330
A	.SPICE 技术	330
B	.非线性电容方程	330
C	.2 μ m nMOS 工艺范例	331
D	.2 μ m CMOS 工艺范例	335
E	.nMOS 和 CMOS 工艺的两项先进备选工艺	338
F	.有用的常数和换算	338
索引		340

第一章 电路形式和设计方法

集成电路设计所涉及的专业范畴从器件物理、非线性电路理论一直延伸到数字系统微结构。在 VLSI 技术中，集成电路设计是核心，它包括了不同层次的抽象：静电学、拓扑学、开关理论等等。VLSI 设计者的任务是如何超越这些截然不同的领域并把一种设想转变为一个制作电子设备的技术细节。

每一抽象在细节上都有一个层次结构。系统必须分解为子系统，子系统再分解为模块，模块分解为元件。随着每一步分解，电子设备也就变得更加具体化。对抽象和细节进行二维分层的方法有多种，但不论选取什么方法，它的最后成功都取决于自下而上地对各个层次的理解。由于这一原因，我们从晶体管和互连线这个较低的层次上开始对 VLSI 设计的研究。

1.1 MOS 晶体管的定性模型

在本章中，我们的目的是定性地了解 MOS 数字电路是如何工作的。作为这一任务的一部分，我们需要了解一些 VLSI 中的低层次元件的行为以及它们如何组成有意思的功能块。我们将讨论几种不同的设计方法，但应该把它们看作是更大范围内的统一整

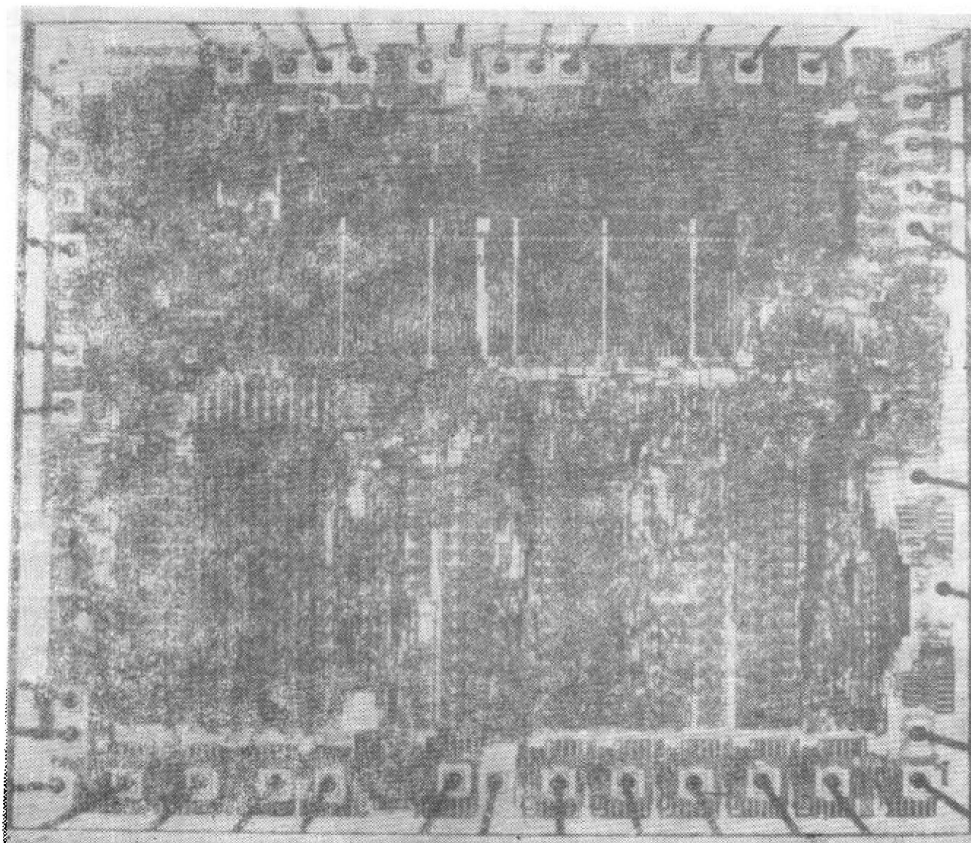


图1.1 T11微处理器的显微照片

体的一部分。在后面的章节中，还将对这些以及其它一些技术作更精密的定量讨论。

图 1.1 为一个 LSI 芯片的显微照片 [Olsen 81]。集成电路的二维性是明显的。在今天的各种 VLSI 中只用了两种基本的元件——晶体管与导线。在图 1.1 中我们见到的大部分是连线，晶体管所占的面积仅为 10%。这一芯片包含了 13000 个晶体管（按现代的标准，这只是个小芯片），它的边长为几毫米，厚度为几分之一毫米，它的主要结构都在表面以下几微米深度的范围内。有几个大的规则结构很显眼，大多数晶体管都在这几个规则结构中。但就工作量而言，它们仅占几分之一。为了看到单个的晶体管，需要更细致地观察芯片。

晶体管位于两条导线交叉的位置。图 1.2 为部分电路的特写顶视图，不过，我们看到的大部分仍是连线，只有知道晶体管如何找的人才能看到晶体管。由此可以明白，为什么常常说在 VLSI 中晶体管是“白送的”，主要的花费是连线。在这一具体芯片中有三层互连线材料。有斑点部分的材料是铝。另外两种连接材料是多晶硅和重掺杂单晶硅。这两种材料与晶体管的关系很和谐，下面我们将会看到这一点。

图 1.3 为图 1.2 所示电路的版图。各种材料都在图中标出。多晶硅（多晶）和金属层都是在制造芯片的工艺过程中淀积上去的。金属只起连线的作用而多晶则起着连线和

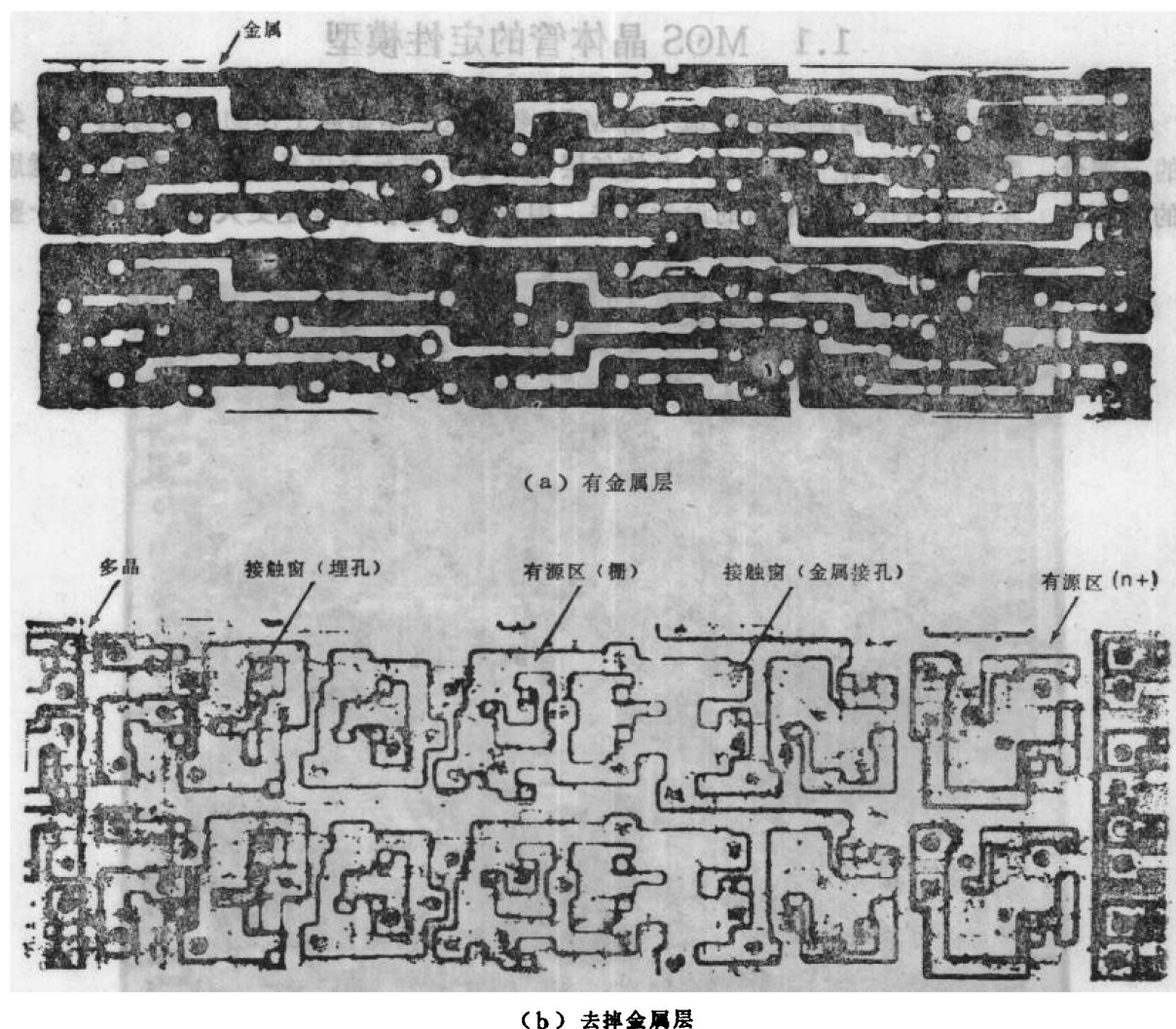


图 1.2 T11 微处理器的局部放大显微照片

晶体管栅电极的双重作用。有源区，包括重掺杂的单晶硅区和晶体管的栅区，也起着双重作用。有源区被多晶分为两部分，在没有多晶的有源区，硅掺杂为 n^+ 型， n^+ 材料起导线作用。在多晶与有源区的交叉处形成了晶体管。二氧化硅（玻璃）层把三个导电层分开。这些氧化层之间略有不同（对此将在第三章讨论），它们包括栅氧化层，场氧化层，CVD 氧化层和表面覆盖玻璃层。为了连接两种不同的导电层，用了两种类型的接触孔。第一种接触孔把金属与多晶或 n^+ 连在一起，第二种接触孔称为埋孔，它把多晶与 n^+ 连在一起。图 1.4 所示为一种典型互连结构的剖面图。若在显微镜下观察，可以看到一彩色条块拼凑图。多晶可能是红的而 n^+ 是绿的或相反。这些颜色大部分都是“假的”，它们是由光波在不同结构上的干涉而形成的，这些结构的厚度与光波长同量级。

MOS¹⁾ 晶体管是一种四端器件。在正常的工作条件下，晶体管的栅控制源漏²⁾ 之间的载流子电流。第四个端子是衬底，在 pMOS 及 nMOS 技术中，不能用衬底完成逻辑功能，这是因为在 nMOS 技术中，所有衬底端都是连在一连的。图 1.5 所示为一个 nMOS 晶体管的截面。源及漏由重掺杂的 n^+ 硅组成，有一层厚度仅为几百个原子的二氧化硅层把栅与沟道区隔开，栅导体是用重掺杂的多晶硅做成的。对这些几何形状给出一个清晰的图象是必要的。图 1.6 为一个 nMOS 晶体管的三视投影图。图 1.7 所示为在一个共同衬底上的两个 nMOS 器件。这些器件的源和漏是由反向偏置的 p-n 结及与之相联系的耗尽区互相隔离开的（耗尽区是半导体中缺乏载流子的区域）。

有两种类型的 nMOS 晶体管：常通型与常断型。在常断型 nMOS 晶体管中，栅电压为 0 时，栅下的沟道区中没有可动载流子。这种类型的晶体管称为增强型器件，这是因为这种晶体管在零栅压下，硅表面处于增强状态。

1) MOS 为 Metal Oxide Semiconductor 的缩写，表示器件的物理结构，MOS 也称为 IGFET (Insulated Gate Field Effect Transistor)。CMOS, pMOS, nMOS 分别代表互补、P 沟、n 沟 MOS。对于现代 MOS 器件，M 并不一定是金属栅，而往往用硅栅取而代之。

2) 之所以称之为“源”，是因为它是可动载流子的源泉。对 n 沟道器件，这些载流子为电子；对 P 沟道器件，它们是空穴。

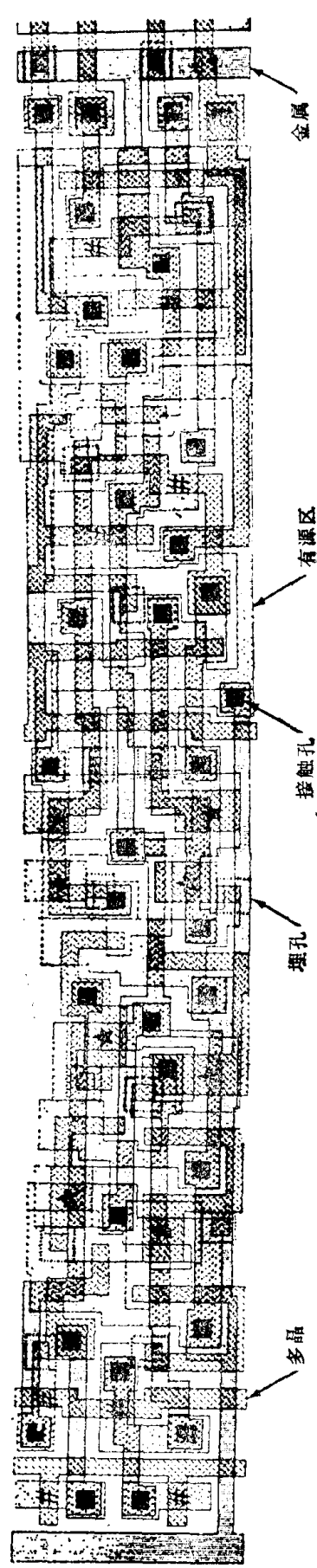


图 1.3 图 1.2 所示部分的版图

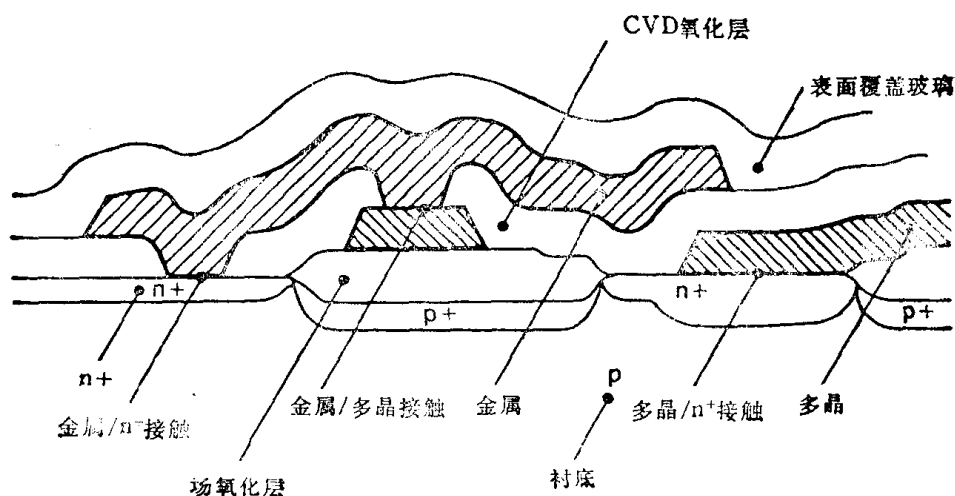


图1.4 nMOS 工艺中的一些接触孔

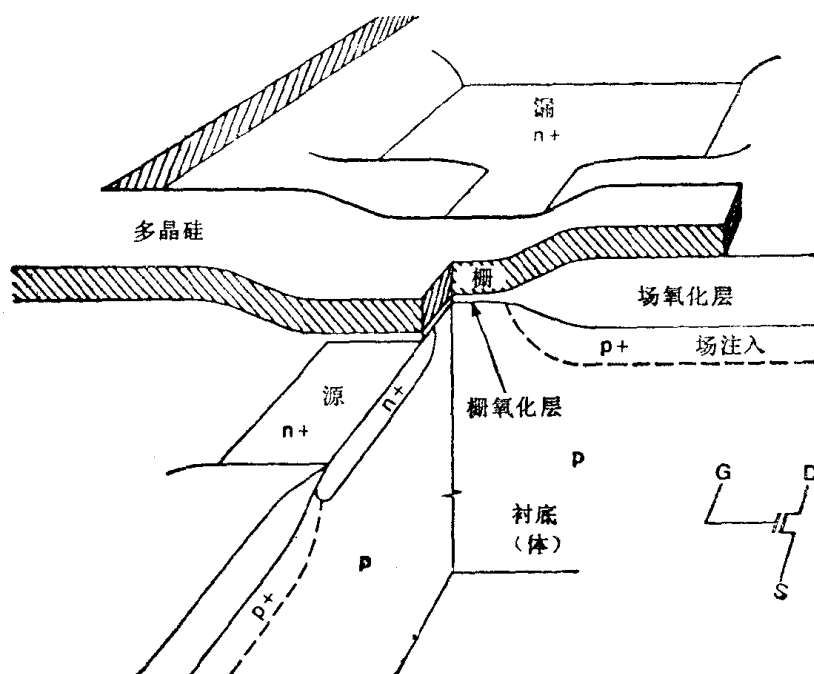


图1.5 工艺过程中经源漏注入后的n沟MOS晶体管的断面图

当在 nMOS 晶体管的栅上加一正电荷 Q_G 时，在沟道区将感应出几乎等于 $-Q_G$ 的电荷。这一电荷由耗尽的受主离子及流动于源漏之间的自由载流子组成。假定把晶体管设计成在栅被充电到电源电压 V_{DD} 时沟道电荷主要是可动载流子，即电子。在漏对源加正电压 v_{DS} 将使电子由源流出而被扫入漏，电子从源流到漏需要的时间为渡越时间 t_t 。它取决于沟道载流子的迁移率 μ 、电场强度 $\mathcal{E}$ （它使载流子移动），和沟道长度 L 。每个渡越时间之后，沟道电荷将完全更新。迁移率说明载流子平均漂移速度 v 与电场的关系：

$$v = \mu \mathcal{E} \quad (1.1)$$

电流 i_{DS} 等于 Q_G/t_t 。在某一电流值之下，源漏电压 v_{DS} 越高，源漏电流越大，理由是，较高的源漏电压将使沟道中的电场较大，从而使载流子的运动加快。当栅电压 v_{GS} 为低电

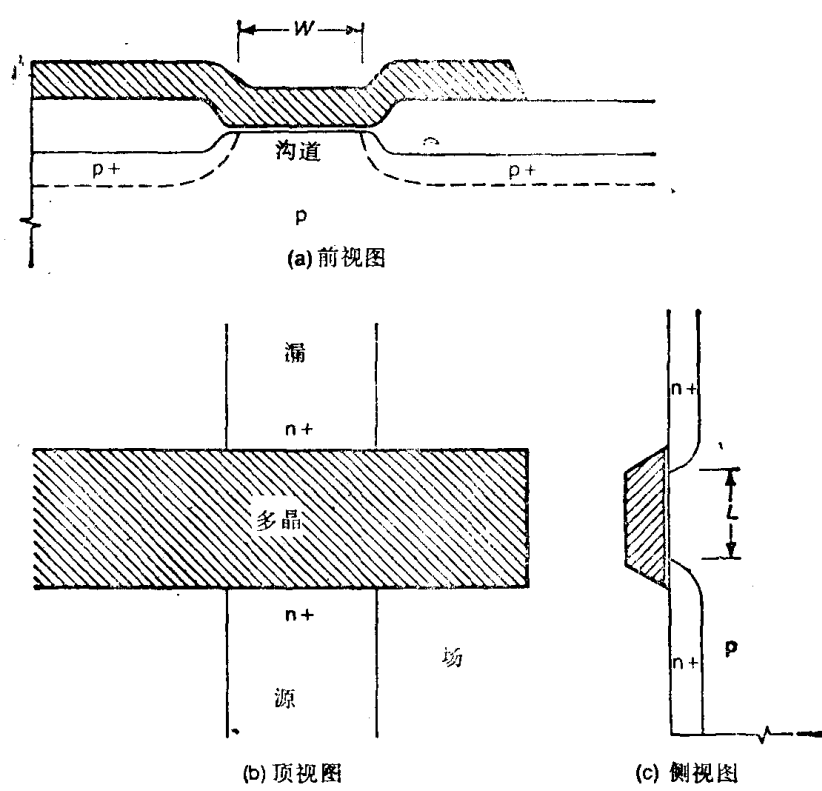


图1.6 n沟MOS晶体管的三视图

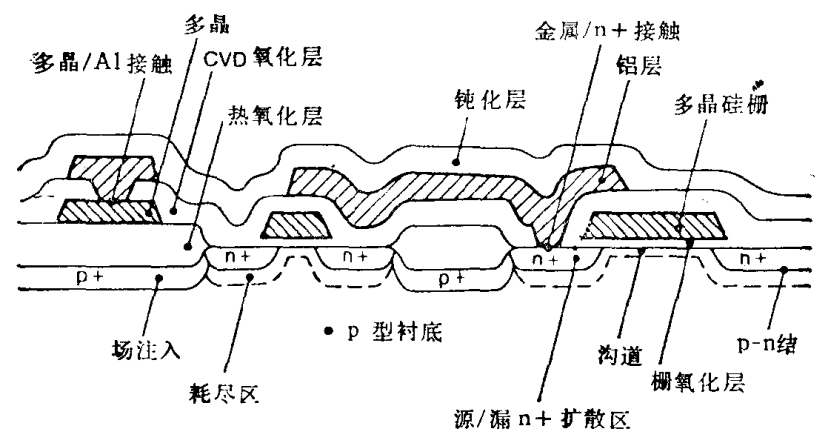


图1.7 P型衬底上的两个n MOS晶体管。晶体管之间的隔离是靠反向偏置的P-n结

平(Q_G 小)时,在沟道中很少或没有可动电荷。刚能在沟道中感应出可动电荷的栅电压称为阈电压 V_T 。当栅-源电压低于 V_T 时,源漏之间的电阻接近于无穷。对于高于 V_T 的栅电压,典型的MOS晶体管的电阻在 $20k\Omega$ 的量级。栅电压越高,有效电阻 R 越低,因为这时在沟道中将感应出更多的可动电荷,使导电的效率增加。所以对一定的漏源电压来说,栅电压越高漏电流就越高。粗略地说,栅电压高于阈值时,

$$R \propto \frac{1}{v_{GS} - V_T} \quad (1.2)$$

典型的增强型nMOS晶体管的电流-电压特性如图1.8所示。

另一种说明MOS晶体管原理的方法是借助于电位。图1.9所示为在正的漏-源电

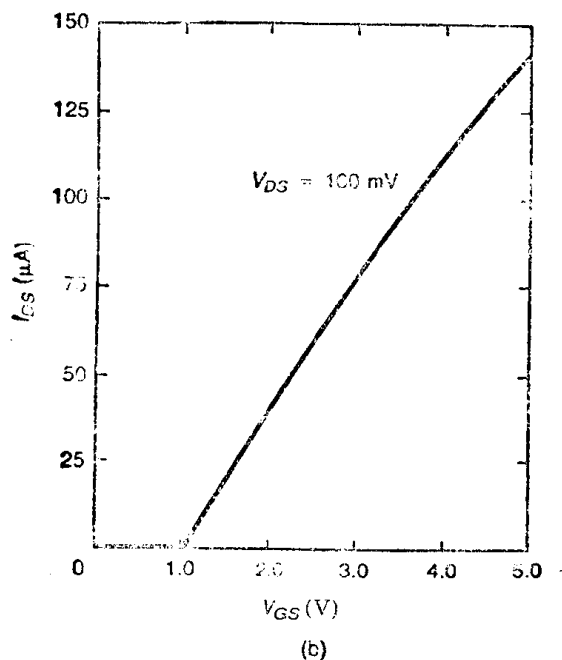
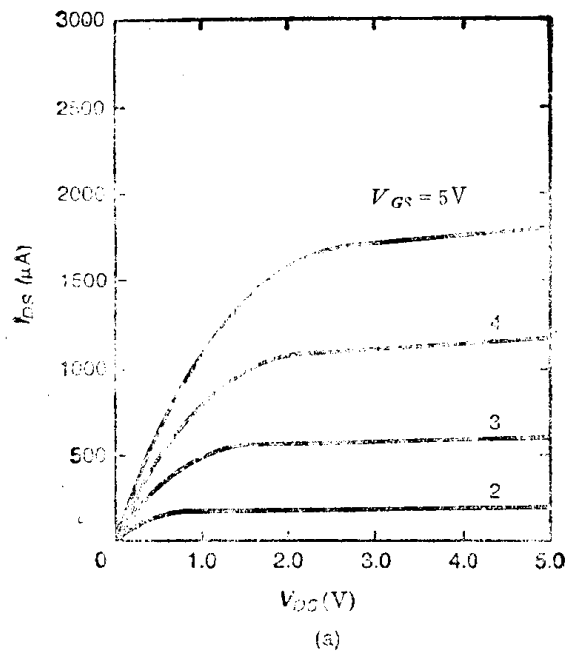


图 1.8 n 沟道 MOS 器件的电流-电压特性
(a) 漏电流与漏源电压的关系,
(b) 漏电流与栅源电压的关系

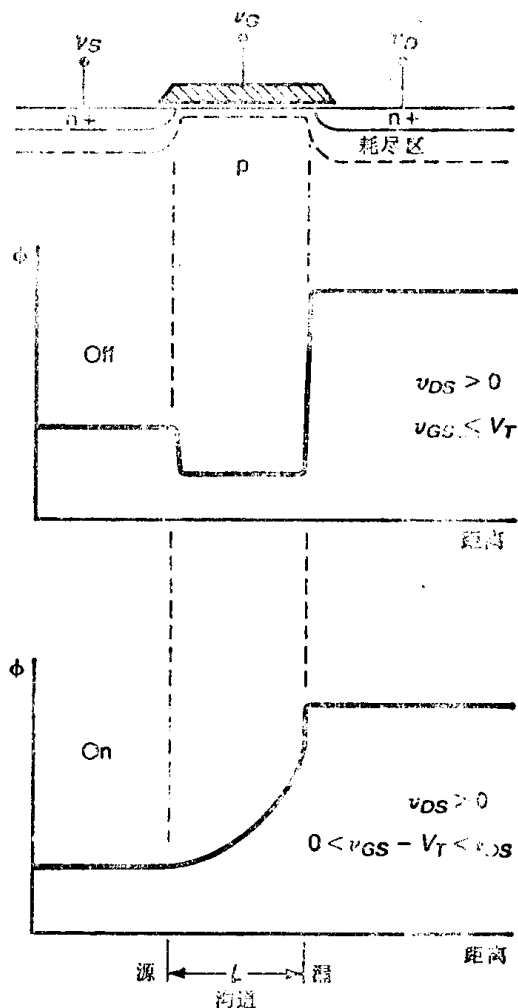


图 1.9 MOS 晶体管栅下的电位分布
电子被吸引上电位坡达到正的漏电压

压¹⁾下增强型 nMOS 晶体管沿沟道的电位分布。我们看到当器件工作在阈电压以下时源处的势垒将阻止电子流动。这一势垒是由 n 型源与 p 型沟道区之间的 p-n 结自建势形成的。正的栅电压将拉高栅下的电势从而降低势垒，达到阈值时，势垒将变得很低使电子可以流动。栅电压越高，沟道中的电子就越多。一旦进入沟道，电子就被侧向电场所加速，沿电势坡上爬（沿势垒下落）。当栅电压大于阈电压时，尽管材料是 p 型的，沟

1) 我们把图安排为：被正的漏电位吸引的电子需要爬坡流动。

道中的载流子仍为电子。换句话说，当晶体管导通时，沟道为有效 n 型。这就是为什么沟道区为 p 型材料的晶体管称为 n 沟道晶体管的原因。

到此为止，我们所讨论的仅仅是正常情况下不导通的晶体管。由于我们仅用晶体管及连线组成集成电路，当我们需要一个电阻时，就必须用晶体管来构成它。一个常通晶体管可以像某种非线性电阻一样工作，理论上，制作一个称之为耗尽型晶体管的常通晶体管是容易的。为了使增强型晶体管导通，在栅上加电荷，使沟道区感生出镜像电荷。如果要使晶体管永远导通，可以在沟道区加固定电荷，这些电荷的作用就像一个与栅串联的电池。我们仍然可以把这一器件关断，不过这时加的栅压必须把沟道载流子耗尽。要注意，即使是 $v_{GS} = 0$ ，栅下的区域也仍然为有效 n 型。

除了耗尽型和增强型 n 沟晶体管之外，也可以采用 p 沟晶体管。在 nMOS 中我们只用 n 沟晶体管，在 pMOS 中我们只用 p 沟晶体管，但在 CMOS 中二者都有。p 沟晶体管的工作情况刚好与 n 沟器件相反。对于增强型 pMOS 器件，当 v_{GS} 为 0 时晶体管是不导通的（正如 nMOS 的情形一样），但栅压为负时导通。图 1.10 所示为一个 p 沟增强型晶体管的电流-电压特性。

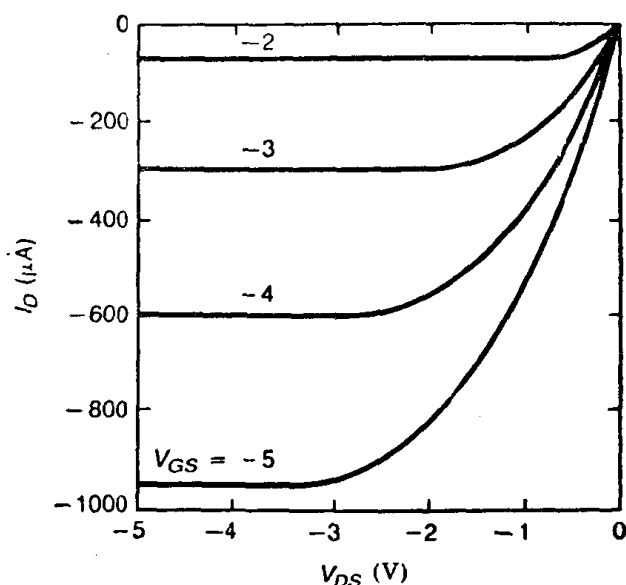


图1.10 p 沟晶体管的电流-电压特性

MOS 晶体管的“体”（衬底）端对其电学特性有重要的（但却是缓和的）影响。在正常工作中，nMOS 器件的衬底相对于源和漏端不能是正的，以保证隔离的 p-n 结反向偏置。对于 pMOS 晶体管，衬底对源和漏区不能是负的¹⁾。

当衬底电压改变时，晶体管的电流-电压特性也有轻度改变。我们考察一个 nMOS 晶体管，假定晶体管的源端接地，而 v_s 为负值，当 v_s 变负时，栅下的势垒升高。为了使晶体管导通，栅电压必需更高，以克服增高的势垒。从模型的角度，这意味着 v_s 变负将使器件的阈电压升高。观察这一问题的另一种方式是，一部分栅电荷原先由沟道可动电子抵消，而现在则由衬底中加大的耗尽区电荷抵消。为了在沟道区获得同样数目的载流子就需要更多的栅电荷。我们可以把栅与衬底端都看作是控制沟道电荷的杠杆。在一个设计良好的器件中，栅端有大得多的控制作用。

p 沟和 n 沟晶体管的 IEEE 标准符号 [IEEE78] 如图 1.11(a) 所示。图 1.11(b) 所示为在本书中将采用的四种不同类型晶体管的符号，它们包括三种 nMOS 器件（增强型，耗尽型和零阈值器件）和一种增强型 pMOS 器件。注意在这种记号中不画出衬底端。零阈值器件正如其名字所表示的那样，是一种阈电压做得接近于 0 的 MOS 晶体管。这些

1) 原文此后有一小段有误，译时略去。——译者注

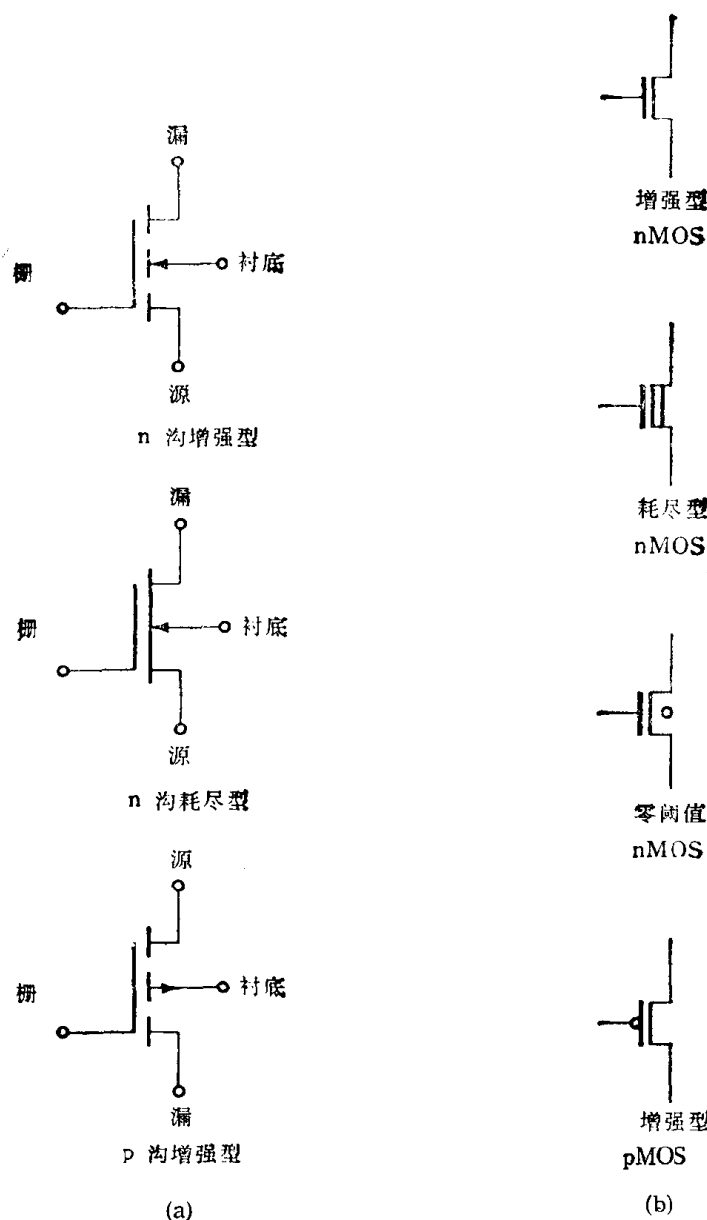


图1.11 MOS 晶体管的符号。(a) IEEE符号；(b) 本书使用的符号

器件的阈值一般为十分之几伏。它们也曾被称为“自然”晶体管，这是因为在某些工艺中这种器件可以被简单地“自然”做出来，即需要的工艺步骤最少。pMOS 器件符号上的圈可以被设想为栅上信号的逻辑反转。对于 pMOS 器件，栅上的高电平使晶体管关断而不是像 nMOS 情形那样使晶体管导通。对于工作电压为 +5 V 的工艺设计，增强型 nMOS 器件的阈值一般取 0.6 到 1.1 V，而 pMOS 器件一般取 -0.6 到 -1.1 V。耗尽型 nMOS 的阈值一般在 -2.5 到 -4 V 之间，而零阈值器件的阈电压一般在 0.2 到 0.6 V 之间。

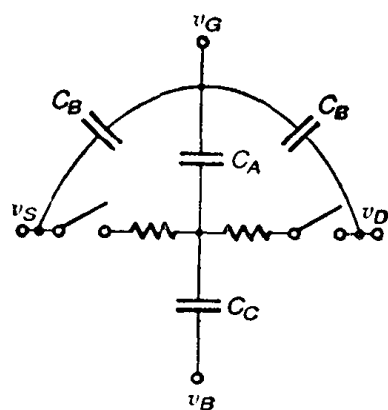


图1.12 MOS晶体管的电容。
理想晶体管只有电容 C_A

由于一个很宽的晶体管与并联起来的几个较窄的晶体管是一样的，因而MOS晶体管的导电能力随晶体管的有效宽度 W 的增加而增加，随晶体管有效沟道长度 L 的

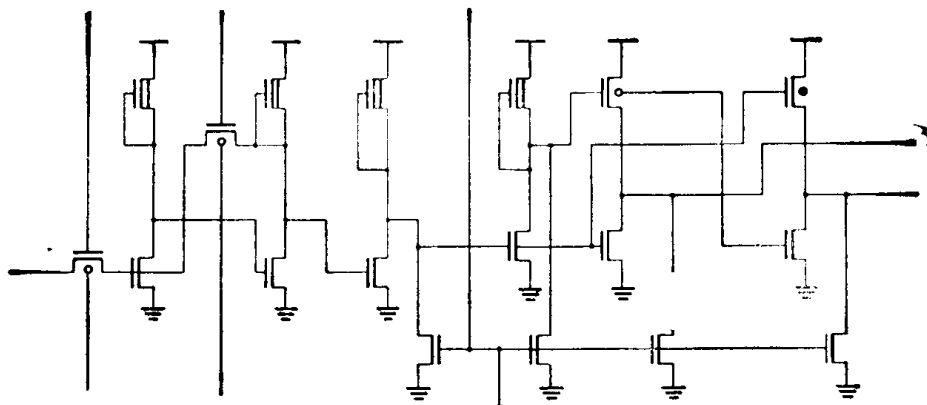


图1.13 图 1.2中电路的电路图

增加而减小。把 MOS 晶体管设想为一个电压控制的非线性电阻 是有 帮助 的，电阻与长度成正比而与宽度成反比。我们定义一个形状因子 S ：

$$S \equiv \frac{W}{L} \quad (1.3)$$

粗略地说， S 与晶体管的电导成正比。

晶体管除了有一定的阈电压和电阻之外，还有多种电容。图 1.12 所示为 MOS 晶体管的简单模型，在阈值以下，开关是打开的。在阈值以上，源漏之间的非线性电阻起作用。 C_A 为栅与沟道之间的二氧化硅平板电容器电容。 C_B 为栅与源及栅与漏间的覆盖电容。 C_B 是重要的，即使晶体管开路，它也存在。 C_C 为沟道与衬底之间的电容。在典型的 MOS 器件中， C_A ， C_B ， C_C 的比例约为 40:5:1。

图 1.13 是按图 1.2 所示芯片图形画出的电路图。在 VLSI 设计中，我们试着画出表明芯片版图的电路图，这是由于连线对决定 VLSI 芯片性能有重要作用。为了实际做出一个芯片，我们需要产生一定的芯片图形，这些图形称之为掩模图形或版图。图 1.13 所示的布局就可以用来制作图 1.2 所示电路。

在体 CMOS 设计中，我们把 n 沟和 p 沟器件中的一种置于阱中，从而把它们分割开来。例如，在 n 阱工艺中， p 沟晶体管是位于阱中的。图 1.14 画出了一个在阱中的晶体管的剖面图。图 1.15 所示为一个 CMOS 芯片的部分显微照片 [Rubinfeld 82]。

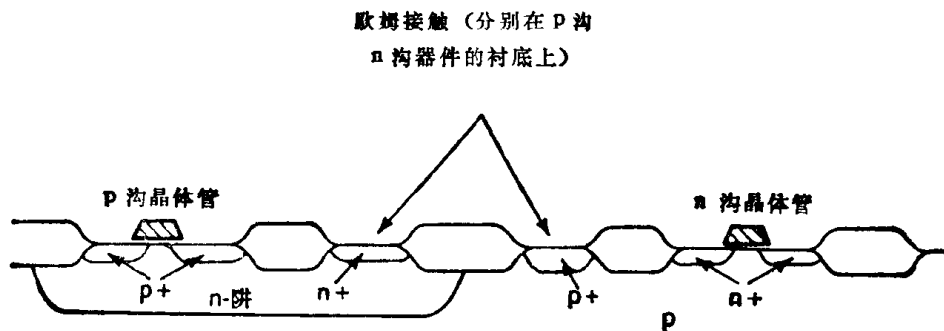


图1.14 n 阱CMOS晶体管的剖面