

微机386硬件系统 分析及维修

孙丕恕 刘 毅 编著



中国建材工业出版社

55707
007/1

微机 386 硬件系统 分析及维修

孙丕恕 刘毅 编著

中国建材工业出版社

(京)新登字 177 号

3521/68

微机 386 硬件系统分析及维修

孙丕恕 刘毅 编著

*

中国建材工业出版社出版

(北京市西钓鱼台甲 57 号 邮编 100036)

新华书店科技发行所发行 各地新华书店经售

北京市财经、计算机管理职业技术教育中心激光照排

三河市付中印刷厂印刷

开本:787×1092 1/16 印张:17.25 字数:460 千字

1993 年 5 月第一版第一次印刷

印数:3000 册

ISBN 7-80090-117-3/TP·5 定价:20.00 元

80386 微机系统原理与维修

前 言

自从1986年Intel公布80386,特别是IBM宣布PS/2-80和Compaq推出高速缓存386系统后,涌现出了许多以80386为CPU的各类微机系统。这些以80386为CPU的微机系统大致分为两类,一类是采用微通道结构的PS/2,而更多是采用与PC/AT总线兼容的ISA结构,尽管两者在结构上有所差别,但其实现原理和方法大致是相同的。笔者在此之前曾经开发过286、386、386SX以及486系统,在开发过程中经常接触一些工程技术人员,有感于国内许多从事系统开发和维修的用户,急切想了解80386总体结构、性能以及系统组成等内容。同时笔者也注意到目前介绍80386的资料大多局限于软件编程,而对80386硬件作详细介绍的很少,为此,编写此书,希望能对国内从事计算机专业的人员有所帮助。

本书将力求给出整个系统的概念,在分析80386内部结构的基础上,重点讲述386的工作原理和外围电路的实现。根据微机技术的发展,讲述页交叉存储器存取的设计原理,给出了高速缓存的概念,以及直接映象高速缓存和利用82385高速缓存控制器组织两路相联集高速缓存的方法。

在叙述的过程中,附有大量的框图和原理图,并给出设计和维修实例。在最后附有CS8230系列芯片组和82C206的管脚说明。

第五、六、七、九、十一、十二章的插图由司志良先生绘制,第四章的插图由郭跃宾先生帮助绘制,在此,特向这两位先生表示衷心的感谢。

目 录

第一章 80386 系统概论	(1)
1.1 前言	(1)
1.2 80386 系统概论	(1)
1.3 C&T CS8230 AT/386 芯片组系统概论	(1)
1.4 带高速缓存 TTL 版电路系统概论	(3)
第二章 80386 信号定义	(5)
2.1 80386 输入/输出信号总论	(5)
2.2 电源信号说明及 PCB 布局考虑事项	(5)
2.2.1 电源的接地需求	(6)
2.2.2 电源和接地面的考虑	(6)
2.2.3 去耦电路	(6)
2.2.4 线路终结	(7)
2.2.5 干扰	(8)
2.2.6 锁死	(8)
2.3 时钟信号	(9)
2.4 数据总线	(9)
2.5 数据总线字节致能信号	(9)
2.5.1 数据总线字节致能信号	(9)
2.5.2 32 位数据总线传输和参数对齐	(10)
2.6 地址总线	(12)
2.7 总线状态信号	(13)
2.8 总线控制信号	(14)
2.9 总线仲裁信号	(15)
2.10 中断信号	(15)
2.11 协处理器信号	(16)
2.12 80386 信号摘要	(16)
第三章 总线周期分析	(18)
3.1 概论	(18)
3.1.1 80386 总线类型	(18)
3.1.2 总线状态	(18)
3.2 复位周期	(18)
3.3 非流水式读/写周期	(20)
3.3.1 读周期	(20)
3.3.2 写周期	(20)
3.4 流水线式读/写周期	(21)
3.5 16 位传输	(22)

3.6 非流水线转换为流水线周期	(23)
3.7 中断允许周期	(23)
3.8 停止/暂停周期	(24)
3.8.1 停止周期	(24)
3.8.2 停机周期	(25)
3.9 要求 HOLD 周期	(25)
第四章 频率产生电路	(30)
4.1 前言	(30)
4.2 82384 时钟产生器	(30)
4.3 采用 C&T8230 系列的时钟产生电路实例	(31)
4.3.1 C&T 301 电路分析	(31)
4.3.2 实用电路举例	(33)
4.3.3 简单型 Turbo 产生电路	(36)
4.4 一般 TTL 电路时钟信号的产生	(36)
第五章 等待电路	(38)
5.1 引言	(38)
5.2 IBM/PC AT 等待电路	(38)
5.2.1 PC/AT 等待电路方框图	(38)
5.2.2 82284 简述	(39)
5.2.3 IBMAT 等待电路分析	(41)
5.2.4 IBM AT 转换电路	(44)
第六章 系统直接存储器存取(DMA)	(50)
6.1 引言	(50)
6.1.1 DMA 的基本概念	(50)
6.1.2 系统中的 DMA 通道	(51)
6.2 DMA 控制器和页面寄存器的地址分配	(52)
6.2.1 页面寄存器的口地址分配	(52)
6.2.2 DMA 控制器的地址分配	(53)
6.3 DMA 控制器	(54)
6.3.1 82C206 中的 DMA 控制器	(54)
6.3.2 8237 的内部寄存器	(57)
6.4 系统中 DMA 操作的应答过程	(61)
6.5 DMA 特性	(61)
6.5.1 最大的 DMA 传输速率	(61)
6.5.2 DMA 等待时间	(62)
6.5.3 DMA 通道的重复使用	(62)
6.5.4 终端计数信号	(62)
第七章 系统中断	(63)
7.1 系统的中断结构	(63)
7.2 中断控制器	(64)
7.2.1 中断控制器功能介绍	(64)

7.2.2 中断处理的过程	(65)
7.2.3 中断内部操作	(66)
7.3 中断系统初始化	(66)
7.3.1 中断系统初始化过程	(66)
7.3.2 中断初始化	(67)
7.3.3 中断向量表初始化	(67)
7.4 8259A 的编程	(69)
7.4.1 初始化命令字(ICW)	(69)
7.4.2 初始化命令字的编程顺序	(70)
7.4.3 操作控制字(OCW)	(70)
7.4.4 386 系统中对 8259A 的初始化	(72)
7.5 8259A 的操作方式	(72)
7.5.1 特殊屏蔽方式	(72)
7.5.2 中断结束	(72)
7.5.3 优先权循环	(73)
7.5.4 查询	(74)
7.5.5 读 8259A 的状态	(74)
7.5.6 级联	(74)
7.6 中断性能	(75)
7.7 I/O 总线中断请求电路接口	(75)
第八章 键盘控制器与及时时钟电路	(77)
8.1 键盘控制电路	(77)
8.2 8042 内部方块和寄存器功能说明	(79)
8.2.1 状态寄存器	(79)
8.2.2 输入/输出缓冲器	(80)
8.2.3 键盘控制器命令	(80)
8.3 及时时钟电路	(82)
8.4 及时时钟和金属氧化半导体	(82)
8.5 时间,日期,闹钟	(86)
8.6 实时时钟/互补金属氧化物半导体(RT/CMOS)RAM 信息	(86)
8.6.1 CMOS 地址分配	(86)
8.6.2 实时时钟信息	(86)
8.6.3 CMOS RAM 配置信息	(88)
8.7 及时时钟电路说明	(92)
8.7.1 电源电路	(92)
8.7.2 82C206 及时时钟电路	(94)
8.7.3 复位保护电路及 CMOS RAM 快速放电电路	(94)
8.8 键盘热复位和快速 GATEA20 设计思想	(95)
8.8.1 键盘复位和 GATEA20 实现的原理	(95)
8.8.2 键盘热复位(HOT RESET)和快速 GATEA20 的实现	(96)

第九章	386 和 387/287 接口实例分析	(100)
9.1	前言	(100)
9.2	基本原理	(100)
9.3	PC-AT 数字协处理器硬件介绍说明	(100)
9.3.1	387 和 287 不同点	(100)
9.3.2	386 控制线	(101)
9.4	80287 连接	(101)
9.4.1	80287 总线周期	(102)
9.4.2	80287 时钟输入	(102)
9.5	80387 接口	(103)
9.5.1	80387 总线周期	(104)
9.5.2	80387 时钟输入	(106)
9.5.3	确认 80287/80387	(106)
9.6	80287 PAL 与硬件实例分析	(106)
9.6.1	PAL 方程式	(106)
9.6.2	80287 PAL 信号线路详细分析	(110)
9.7	C&T387 复位 PAL 及硬件线路分析	(111)
9.7.1	387 复位 PAL 实例线路分析	(112)
9.7.2	387 忙碌 PAL 及硬件线路分析	(113)
第十章	EPROM 接口分析	(118)
10.1	EPROM 接口分析	(118)
10.2	电气特性	(118)
10.3	EPROM 硬件接口概论	(119)
10.4	等待状态时间	(120)
10.5	ROM 映象(SHADOW)	(123)
第十一章	DRAM 接口	(124)
11.1	前言	(124)
11.2	DRAM 规格简介	(124)
11.2.1	DRAM 简介	(124)
11.2.2	256KB 存储器模块	(124)
11.3	DRAM 接口基本概念	(128)
11.3.1	存储器的组织	(128)
11.3.2	DRAM 控制器	(128)
11.3.3	DRAM 地址多工器连接	(128)
11.4	数据总线连接	(129)
11.5	刷新简介	(129)
11.6	DRAM 接口研究	(131)
11.6.1	DRAM 阵列	(131)
11.6.2	DRAM 接口电路分析	(132)
11.6.3	DRAM 控制 PAL 分析	(134)
11.6.4	刷新间隔计数器(D3)PAL	(134)

11.6.5 刷新地址计数器 PAL(D4)	(136)
11.7 页/交替存取器操作方式	(136)
11.7.1 DRAM 操作特点	(136)
11.7.2 DRAM 操作方式	(137)
11.8 DRAM 结构	(138)
11.9 DRAM 存取时间计算	(139)
第十二章 DRAM 接口解码电路实例分析	(141)
12.1 C&T 芯片组存储器管理	(141)
12.1.1 82C302 功能叙述	(141)
12.1.2 交替式存储器刷新	(145)
12.2 DRAM 存取逻辑分析	(145)
12.3 TTL 电路存储器控制及管理	(145)
12.3.1 非高速缓存读操作	(154)
12.3.2 高速缓存 Miss 读周期	(154)
12.3.3 存储器写周期	(155)
12.3.4 刷新周期	(155)
12.3.5 DMA 存储器读周期	(155)
12.3.6 DMA 存储器写周期	(156)
第十三章 高速缓存子系统	(157)
13.1 高速缓存简介	(157)
13.1.1 程序的局部性	(158)
13.1.2 块提取	(158)
13.2 高速缓存的结构	(158)
13.2.1 全相联高速缓存	(158)
13.2.2 直接映象高速缓存	(159)
13.2.3 组相联高速缓存	(161)
13.3 高速缓存更新	(161)
13.3.1 直写式系统	(163)
13.3.2 缓冲直写式系统	(163)
13.3.3 回写式系统	(163)
13.4 高速缓存内容的一致性	(164)
13.4.1 总线看管	(164)
13.4.2 硬件透视	(164)
13.4.3 不可高速缓存存储器	(164)
13.4.4 高速缓存清除(cache flush)	(164)
13.5 高速缓存的效率与性能	(164)
第十四章 80386 高速缓存实例分析	(167)
14.1 概述	(167)
14.2 直接映象高速缓存系统的结构	(167)
14.2.1 高速缓存读写时序	(167)
14.2.2 高速缓存的一致性	(169)

14.3 DRAM 的组织	(170)
14.4 高速缓存系统的组织	(170)
14.4.1 高速缓存的大小	(171)
14.4.2 直接映射式高速缓存组织	(198)
14.4.3 高速缓存的一致性	(199)
14.4.4 流水线式操作(PIPELINE OPERATION)	(199)
14.5 存储器测试程式	(199)
14.6 双路相连集高速缓存系统概述	(199)
14.7 系统结构	(199)
14.7.1 80386 局部总线/82385 局部总线/系统总线	(214)
14.7.2 总线仲裁	(214)
14.7.3 高速缓存一致性	(214)
14.8 82385 高速缓存的管理	(215)
14.8.1 两路相联集式高速缓存的结构及术语	(215)
14.8.2 LRU 位的算法	(215)
14.9 两路相联集式高速缓存的操作	(215)
14.9.1 读命中	(215)
14.9.2 读漏失	(218)
14.9.3 80386 存储器写周期	(218)
14.9.4 非高速缓存周期	(218)
14.9.5 80386 局部总线周期	(219)
14.9.6 高速缓存更新	(219)
14.10 82385 信号描述	(219)
14.10.1 80386/80385 接口信号	(219)
14.10.2 高速缓冲存储器控制信号	(220)
14.10.3 80386 局部总线译码输入	(221)
14.10.4 82385 局部总线接口信号	(221)
14.10.5 82385 总线数据收发器和地址锁存控制信号	(222)
14.10.6 状态和控制信号	(222)
14.10.7 总线仲裁信号(BHOLD 和 BHLDA)	(223)
14.10.8 高速缓存一致性(总线观察)支持信号(SA2-SA31, SSTB#, SEN)	(223)
14.10.9 配置输入(2W/D#, M/S#)	(223)
14.11 80386 局部总线接口	(223)
14.11.1 处理器接口	(223)
14.11.2 Cache 配置	(228)
第十五章 系统侦错维护卡的制作及维修	(230)
15.1 概述	(230)
15.2 实例介绍	(230)
15.3 系统使用中常见的问题	(230)
附录 A CS8230 系列芯片	(242)
A.1 序言	(242)

A. 2 82C301 引脚功能	(244)
A. 2.1 时钟	(244)
A. 2.2 控制	(244)
A. 2.3 CPU 接口	(244)
A. 2.4 译码器	(245)
A. 2.5 IO 通道接口	(246)
A. 2.6 DMA 接口	(246)
A. 2.7 控制选通	(247)
A. 2.8 刷新	(247)
A. 2.9 X 总线接口	(247)
A. 2.10 存储器控制	(248)
A. 2.11 其它	(249)
A. 3 82C302 引脚功能	(249)
A. 3.1 时钟及控制	(249)
A. 3.2 存储器扩展	(251)
A. 3.3 动态存储器接口	(251)
A. 3.4 其它	(252)
A. 4 82C303 引脚功能	(252)
A. 4.1 控制	(252)
A. 4.2 处理器/总线接口	(253)
A. 4.3 其他	(253)
A. 5 82A304 引脚功能	(253)
A. 5.1 控制	(253)
A. 5.2 处理器/总线接口	(254)
A. 5.3 其它	(255)
A. 6 82A305 引脚功能	(255)
A. 6.1 控制	(255)
A. 6.2 供电电源	(256)
A. 7 82A306 引脚功能	(256)
A. 7.1 时钟	(256)
A. 7.2 控制	(256)
A. 7.3 供电电源	(258)
符录 B 82206 集成外设控制器	(259)
B. 1 概述	(259)
B. 2 82C206 引脚功能	(260)
参考文献	(266)

第一章 80386 系统概论

1.1 前言

随着 Intel 在 89 年第 2 季发表 80486CPU 后,微电脑又进入了一个新的时代。由于市场的需求,高速度和高功能的 386 系统将势必取代以 286CPU 为主的 AT 级电脑。Intel 更为了争夺 CPU 市场,取得市场根基,借以打击其他厂商所推出的 286 系列产品,例如 NEAT……等,而推出在软硬件均能和 386 兼容的 386SX——并取名为 P9(即指 Intel 内部的 Project9 之意)。顿时整个市场全是 386SX 的报道,并有多家厂商大力支持这个市场年的新秀。由于 386SX 基本的结构和 386 大同小异,因此只要了解了 386 后,386SX 自然能够迎刃而解。

1.2 80386 系统概论

386 系统是以 80386 为 CPU 建立的高性能的 32 位系统。386CPU 本身为 32 位操作,且其速度可达 33MHz,再加以其他一些厂商开发出辅助产品;如 Weitek3167 数字处理器,均大大的增加 386 的处理功能。80386CPU 把许多功能结合到一块芯片上,这些功能主要包括:

(1) 具有流水(pip-line)和非流水(non-pipeline)操作功能。

(2) 32 位结构;80386 直接输出 32 位地址总线,支持 4GB 的物理内存空间。虚拟地址空间高达 64GB。

(3) 80386 一个总线周期仅需二个时钟周期,以 33MHz 的系统为例,一个总线周期为 60ns。

(4) 80386 快取方式提供系统更高的效率。

(5) 总线的宽度可以动态组合;它提供 16 位或 32 位操作。

(6) 向上兼容。80386 提供了比前几代微处理器强得多的性能,但也考虑微处理间的兼容性。在软件上,提供了目标代码级兼容,这样可以保护已有的在 8086 和 80286 上的软件投资。

如图 1-1 所示为 80386 系统结构,其中有些部分是属于可选择性的,如 Cache 部分,目前 Intel 提供一个称为 82385 的芯片,用来协助主机板厂商发展具有 Cache 的 386 系统。而 C&T 公司也提供一个 307 芯片来协助现有使用 C&T386 晶片组的客户发展 Cache 功能。另外 Multibus 这部分的接口也是可选择的,一般 386 系统均不将此功能装置在主机板内,除非有特殊功用。另外在外围器件方面,除了 8259,8254,EPROM 是必需的以外,一般其他的接口芯片(如图 1-1 所示)大部分也都很少使用,而改用其他兼容的接口卡来取代。

1.3 C&T CS8230 AT/386 芯片组系统概论

本节之所以介绍由晶技(Chip & Technology;简称 C&T)公司所提供的 386 系统,主要是因为目前市面上大约有 90%的厂商的 386 主机板是用 C&T 的。其他的一些 386 芯片组可能由 VLSI, Suntac, G2……等。本书内有许多实例有的是用 TTL 板,有的是用 C&T 的范例作介绍,主要是希望对目前从事于相关工作的工程师或即将踏入此行业的技术人员能够马上进入最佳的工作状况,减少摸索的时间。如图 1-2 所示为 CS8230 系统 AT/386 方框图,现就每一芯片功能简略说明如下:

(1) 每一种总线均用不同的代号标明,例如系统内存总线是用 M-BUS 表示。换句话说,当读者看到线路图时,标明的 MD0-MD15 的一定是连接主存贮器的数据总线,而 XA0-XA7 一定是

连接至外围器件的地址总线。

(2) 82301: 为总线控制器, 主要是提供 AT 总线时钟, 以及允许弹性的选择 CPU 时钟的速度。

82302: 为页/交替 (page/interleaved) 内存控制器, 最大容量为 16MB, 可以使用 256K 位或 1M 位的 DRAM。

82A303/304: 为地址总线的缓冲器。303 为高位地址 (A31-12), 而 304 为低位地址 (A11-0) 的缓冲器。

82A305: 2 个 82A305 为局部、系统内存和 AT 总线的数据缓冲器。

82A306: 为控制缓冲器, 其主要功能为①产生 1.19MHz 频率; ②产生 AF32# 信号; ③字节允许与禁止; ④奇偶校验检查与产生; ⑤总线驱动器。

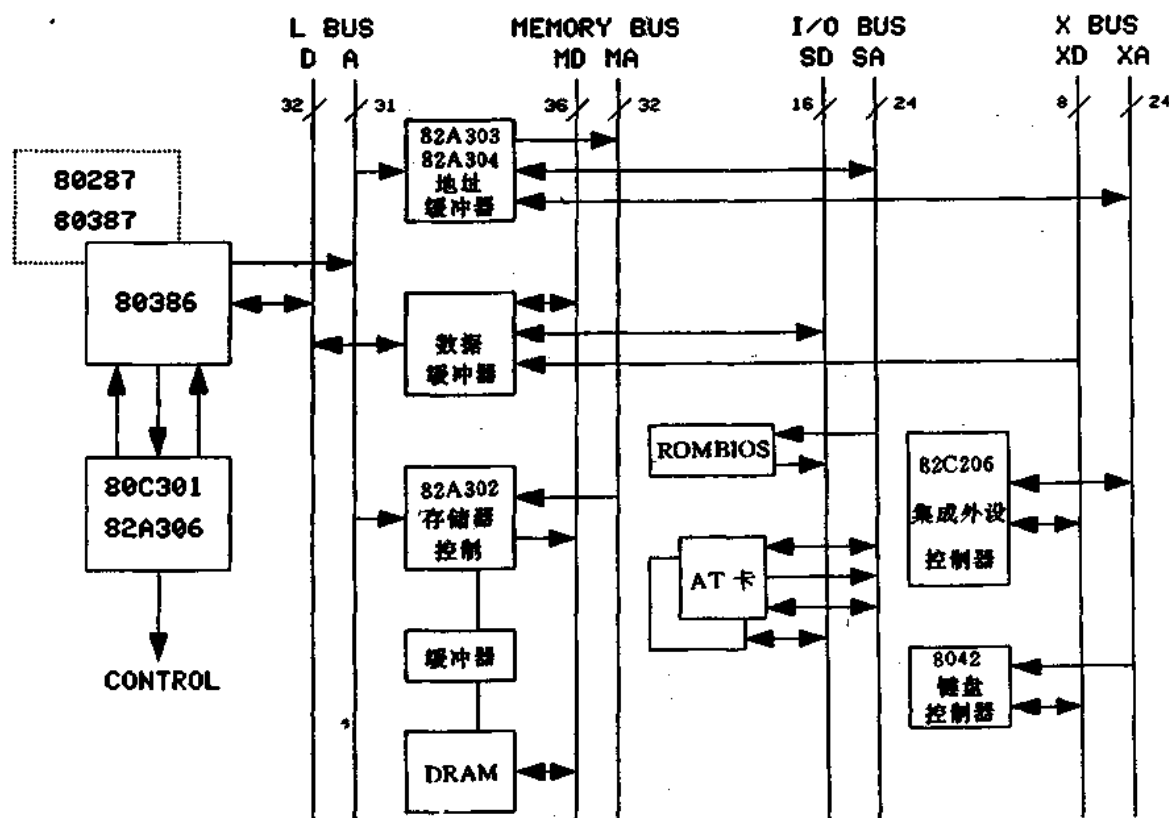


图 1-2 C&T AT/386 系统框图

1.4 带高速缓存 TTL 版电路系统概论

在本书的讲解过程中, 主要使用两个电路作为范例, 一个是上节介绍的 C&T 芯片组, 第二个就是带高速缓存器的 TTL 版电路。在这个 TTL 版电路中, 其高速缓存控制器是 Intel 公司的 82385, 以双路相联集方式组织 64KB 高速缓存。由于具有高速缓存系统, 使其成为当今 386 市场上最高档的系统。图 1-3 所示为此系统的方框图。

从系统框图中可以看出, 与别的 386 系统不同之处在于 80386 并不是直接将地址、数据、控制总线连到系统中去, 而是经过 82385 高速缓存控制器再连到系统中去, 因此把 82385 看作是 CPU 的前沿。

本章以后, 将对 80386 开始作详细介绍, 其中大部分都以 TTL 的方式详加介绍, 而少部分电路说明为了使读者更了解实例电路的设计及分析, 也用 C&T 电路为例说明。在介绍的过程中, 二个

[illegible]

• 4 •

第二章 80386 信号定义

2.1 80386 输入/输出信号总论

80386 CPU 的所有输入/输出信号可以归纳为如下几类:

- (1) 电源、地
- (2) 时钟
- (3) 数据总线
- (4) 地址总线
- (5) 总线周期控制
- (6) 总线周期定义
- (7) 总线仲裁控制
- (8) 中断控制
- (9) 数字协处理器控制

图 2-1 所示的 I/O 信号图标示出上列九项功能的详细信号名称,现详述如下。

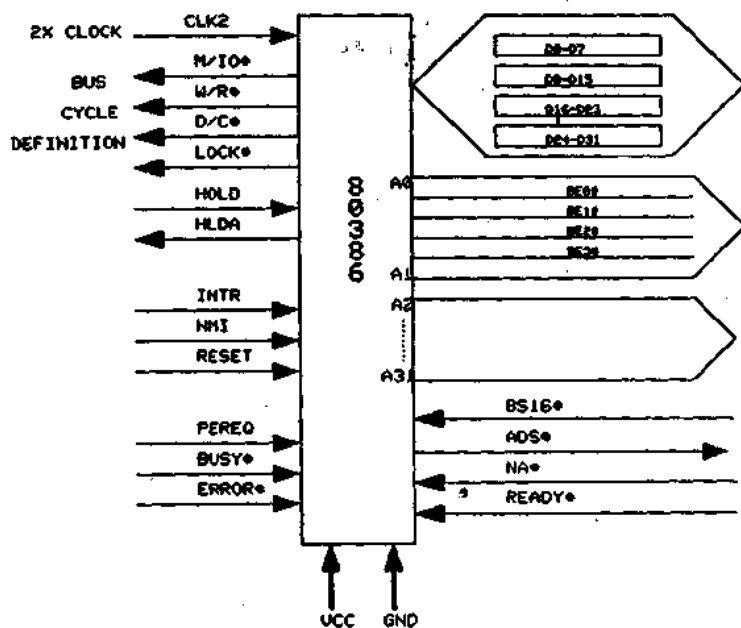


图 2-1 80386CPU 输入/输出信号图

2.2 电源信号说明及 PCB 布局考虑事项

80386Vcc 管脚特性:

- 共有 20 个 Vcc 管脚。
- $V_{cc}=5V \pm 5\%$ 。
- $I_{cc}=550mA$ (20MHz 下的最大值)。

· $I_{CC}=460\text{mA}$ (20MHz 下的典型值)。

80386CPU 还有 21 个 V_{SS} 接脚。

2.2.1 电源的接地需求

80386 是以 CHMOS Ⅲ 的技术来实现其特殊功能,故所需的电源供应都要比以往的 HMOS 微处理器较少。它本身几乎没有直流功率损耗。电源损耗大部分是依频率而定。

主要的电源损耗可以分为:内部(逻辑)功率和 I/O(总线)功率损耗两部分。内部的功率消耗会依下列三项因素而有所不同:①操作频率;②等待状态(wait state);③软件程序。而 I/O 的功率消耗约占总电源消耗的五分之一,主要受下列几项因素的影响:①操作频率;②总线负载的电容量,80386 技术规格中注明了正常交流操作所能担负的总线电容负载。当负载超过 80386 所定义的值时,效率就会减低;③软件编址方式也会通过改变地址脚有效频率来影响 I/O 功率。

2.2.2 电源和接地面的考虑

在 80386 系统内,通常要使用电源和接地面以减低其干扰。电源和地线本身即具有电感抗和电容抗,因此就会产生一个 $Z=\sqrt{L/C}$ 的阻抗值。为了减低电源供应给系统的总阻抗,可以多加一些电源线和接地线。换句话说,即把电源和接地线的截面积加大。如图 2-2 所示,说明两条线并联在一起会降低 1/2 阻抗(impedance)值。如果要降低更多,就要多加一些。因此,无限条的并联线,或者一个地和电源平面将会使阻抗减到最低情况下。80386 共有 20 个 V_{CC} 和 21 个 V_{SS} (GND)接脚。所有的这些电源和接地脚都必须连接至平面上。最理想是将 80386 设计在板子的中央,使其能有效的利用这些降低阻抗的平面。

尽管说 80386 一般比 80286 要求的功率要小一些,但电源的波动却因高频率和腿的数目增多而增加了发生的可能性。 V_{CC} 和 V_{SS} 之的噪音的峰~峰值应该最好不超过 200mV。

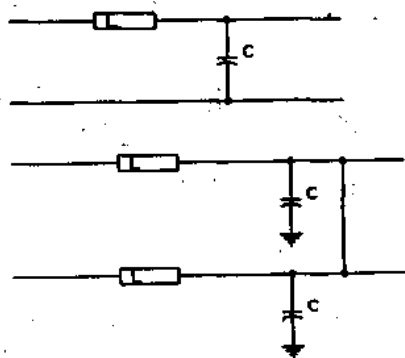


图 2-2 减少特性阻抗

2.2.3 去耦电路

一个器件的开关活动可以通过电源传递到其它设备,如图 2-3 的 TTL 与非门, Q3 和 Q4, 在输出进行转换的瞬间,都处于导通状态,这样,增加的负载在 V_{CC} 上造成一个负尖刺,在地上造成一个正尖刺。在同步系统中,许多门同时开关,结果在电源线和地线上造成极大的噪音。

去耦电容跨接在器件的 V_{CC} 和地两端,在开关瞬间供应额外的电流,减小电压尖刺。这种电容应该靠近器件,因为连接线的电感会抵消它们的作用。

选择去耦电容时,用户应该为每个器件安装 0.01 微法电容,为每二十个门提供 0.1 微法电容。必须使用射频电容,而且应该均匀分布在整个线路板上,以发挥最大效能。另外,线路板本身还应该用 2.2 微法电容进行电源去耦。