

WDZ

WDZ

WDZ

WDZ

微电子系统 设计导论

专用芯片设计

童勤义 编著

WDZ

WDZ

WDZ

02 330733

微电子系统设计导论

专用芯片设计

童勤义 编著

东南大学出版社

137103
内 容 提 要

本书介绍硅系统的设计理论和技术,内容包括硅集成系统的设计方法学、硅数字系统设计与制备的接口——设计规则、硅集成系统的主要设计技术、典型的硅系统设计举例。本书旨在帮助读者掌握硅集成系统设计的基本方法。本书可做微电子、电路、系统、自动控制、计算机等有关专业研究生和高年级学生的教材或教学参考书,也可供工厂、科研单位中有关专业的科技人员参考。

微 电 子 系 统 设 计 导 论

专用逻辑设计

董勤义 编著

东南大学出版社出版

南京四牌楼2号

江苏省新华书店发行 武进县第三印刷厂印刷

开本787×1092毫米 1/32 印张14 3/16 字数319千字

1990年7月第1版 1990年7月第1次印刷

印数: 1—1500册

ISBN 7—81023—219—3

TN·26 定价: 2.85元

责任编辑 王小然

前 言

集成电路技术经过近30年的迅速发展，已经达到超大规模集成(VLSI)阶段，在一块硅芯片上集成一个电子系统或子系统不仅必要而且可能。这种用一片或几片硅芯片组成的电子系统称为微电子系统或集成系统。集成电路是一种技术能力。发展集成电路的主要驱动力是它的应用。依据各行各业技术改造和产品更新的需要，设计和制造专用硅系统是超大规模集成电路的主要应用领域。硅系统极为优越的性能价格比，使其对于国民经济的发展有着巨大意义。为了充分发挥VLSI的潜力，掌握硅系统的设计理论和技术已成当务之急。本书的目的即在于此。本书集多年来作者部分研究成果，例如微电子系统设计及制备方法学，兼容理论及CMOS接口电路等。同时在收集国内外大量资料的基础上，精炼内容及目前较为肯定的重要结果，力求做到深入浅出，理论结合实践。书中各章均列出大量参考文献，供读者在必要时深入了解细节，同时也指出发展方向和主要研究课题。

第一章介绍硅集成系统的设计方法学，也就是复杂性管理，这是VLSI设计的基本理论。第二章介绍大规模及超大规模集成电路的主流工艺技术，供非半导体及微电子学专业基础的读者学习。第三章介绍硅数字系统设计与制备的接口——设计规则。第四章给出了硅集成系统的主要设计技术，即门阵列、标准单元阵列，宏单元阵列，可编程逻辑阵列，兼

容设计及可测性设计技术。第五章到第七章分别介绍典型的硅系统设计，即微处理器，存储器和模拟接口电路设计。本书可以帮助读者掌握独立进行硅集成系统设计的基本方法。

编著者曾以此内容在东南大学(原南京工学院)对研究生进行讲授。由于这个领域发展迅速,内容丰富,加之编著者时间仓促,水平有限,因此,本书一定存在不少缺点和不足,敬请读者提出批评与指正。这也是本书称为“导论”的含意所在。

编著者借此向热诚支持本书出版的东南大学微电子中心的同事们及研究生们表示衷心感谢。在成稿过程中, 阙世惠同志与作者进行了有益的讨论,并对初稿进行了全面的整理,在此表示诚挚的谢意。

童勤义

1988年 8月

目 录

第一章 微电子系统设计方法学	(1)
1.1 超大规模集成 (VLSI) 的特点及能力	(1)
1.1.1 集成度与设计能力	(1)
1.1.2 设计复杂性管理	(5)
1.1.3 VLSI算法	(8)
1.1.4 设计规则	(11)
1.1.5 模拟能力	(13)
1.2 系统集成与专用电路	(15)
1.2.1 系统集成概念	(15)
1.2.2 ASIC概念	(20)
1.3 微电子系统的设计方法学	(26)
1.3.1 VLSI系统设计复杂性管理方法	(26)
1.3.2 VLSI系统的设计过程	(34)
1.4 硅系统设计的CAD 系统	(40)
1.4.1 硅系统设计中CAD的主要内容	(40)
1.4.2 VLSI设计的CAD系统	(50)
1.5 小结	(53)
参考文献	(55)
第二章 MOS 工艺及器件基础	(58)
2.1 MOS 晶体管基础	(58)
2.1.1 MOS管基本方程	(60)
2.1.2 MOS管速度性能	(66)

2.2	MOS倒相器	(67)
2.2.1	E/D NMOS倒相器	(67)
2.2.2	倒相器速度性能	(73)
2.2.3	CMOS倒相器	(78)
2.3	MOS 集成电路制备工艺	(82)
2.3.1	E/D NMOS集成电路工艺	(82)
2.3.2	硅栅CMOS集成电路工艺	(87)
2.3.3	CMOS 电路中自锁效应	(92)
2.4	超级缓冲器及 HMOS 概念	(94)
2.4.1	超级缓冲器	(94)
2.4.2	HMOS 概念	(96)
	参考文献	(99)
第三章	工艺与设计接口	(100)
3.1	以 λ 为基础的设计规则	(100)
3.2	2 μm 硅栅双层铝 CMOS设计规则	(112)
3.2.1	以微米为基础的设计规则	(112)
3.2.2	几何设计规则的细节	(113)
3.2.3	电学参数设计规则	(131)
	参考文献	(135)
第四章	微电子系统的主要设计技术	(136)
4.1	引言	(136)
4.2	门阵列设计技术	(144)
4.2.1	门阵列单元设计及布局布线	(144)
4.2.2	门阵列设计系统	(169)
4.3	标准单元设计技术	(178)
4.3.1	标准单元库设计	(179)
4.3.2	标准单元阵列的布局布线	(182)

4.3.3	标准单元阵列自动设计系统	(184)
4.3.4	宏单元设计技术及模拟单元	(186)
4.4	可编程逻辑阵列设计技术	(190)
4.4.1	组合逻辑PLA设计	(191)
4.4.2	时序逻辑PLA设计	(205)
4.5	兼容设计技术	(217)
4.5.1	兼容设计概念	(218)
4.5.2	兼容设计实例	(220)
4.6	可测性设计	(231)
4.6.1	可测性设计概念	(231)
4.6.2	系统划分法	(234)
4.6.3	扫描路径测试结构	(235)
4.6.4	特征分析法	(238)
4.6.5	自测试	(241)
	参考文献	(241)
第五章	微处理器系统设计	(245)
5.1	寄存器可变延迟线芯片设计	(245)
5.1.1	总体性能要求	(245)
5.1.2	功能设计	(246)
5.1.3	电路/逻辑设计	(247)
5.1.4	版图设计	(252)
5.2	微处理器芯片设计	(260)
5.2.1	运算器总体设计	(260)
5.2.2	四位移位器设计	(264)
5.2.3	ALU设计	(268)
5.2.4	寄存器阵列设计	(283)
5.2.5	I/O端口设计	(292)
5.2.6	运算器版图设计	(292)

参考文献	(303)
第六章 存储器系统设计	(304)
6.1 引言	(304)
6.2 存储器基本单元	(305)
6.2.1 三管动态MOS存储器单元	(305)
6.2.2 单管动态MOS存储器单元	(308)
6.2.3 四管动态MOS存储器单元	(310)
6.2.4 六管静态MOS存储器单元	(314)
参考文献	(319)
第七章 模拟电路与接口系统	(320)
7.1 引言	(320)
7.2 集成模拟元件	(322)
7.2.1 集成二极管	(322)
7.2.2 集成电阻器	(327)
7.2.3 集成电容器	(339)
7.3 基本集成模拟器件	(347)
7.3.1 MOS场效应晶体管性质	(347)
7.3.2 MOS模拟开关和开关-电容等效电阻	(355)
7.3.3 MOS电流镜	(361)
7.3.4 MOS差分对	(365)
7.3.5 CMOS倒相器增益级及CMOS差分级	(367)
7.3.6 MOS基准电压	(372)
7.4 CMOS运算放大器设计	(374)
7.4.1 基本CMOS运算放大器结构	(374)
7.4.2 频率补偿	(375)
7.4.3 输出级设计	(382)
7.4.4 噪声性能	(386)

7.4.5	单级 CMOS放大器	(388)
7.4.6	电压比较器	(391)
7.5	开关-电容滤波器	(394)
7.5.1	开关-电容滤波器	(394)
7.5.2	有源梯形滤波器	(398)
7.6	数/模转换器	(407)
7.6.1	电荷再分配型平行D/A转换器	(410)
7.6.2	串行D/A转换器	(412)
7.7	模/数转换器	(414)
7.7.1	积分型A/D转换器	(418)
7.7.2	逐次逼近A/D转换器	(422)
7.7.3	并行A/D转换器	(425)
7.8	硅集成传感器和执行器	(427)
7.8.1	硅集成传感器	(427)
7.8.2	硅集成执行器	(439)
	参考文献	(440)

第一章 微电子系统设计方法学

1.1 超大规模集成(VLSI)的特点及能力

1.1.1 集成度与设计能力

自1959年世界上第一块半导体硅集成电路研制成功以来,集成电路以其极高的性能-价格比,受到工业界及学术界的极端重视,实现了人类历史上最为迅速的技术发展。衡量集成电路技术进步的主要标志是集成度。所谓集成度是指在一块芯片上所集成的晶体管的数目。集成度的提高使集成电路的功能增强,单位功能的成本降低,电路速度提高,功耗下降,可靠性加强。这些优点恰恰就是集成电路出现的驱动力,也是分立元件组成的电路发展成集成电路的根本原因。数字集成电路的主要应用是数字信号处理。一般用信息吞吐率(Function Throughput Rate—FTR)来描述一个集成电路对信号处理的能力。信息吞吐率FTR定义为集成电路芯片所含的等效门数 n 与每门的最高时钟频率 f_{\max} 的乘积

$$FTR = n \cdot f_{\max} \quad (1.1)$$

其中 f_{\max} 等于单门延迟时间 τ_p 四倍的倒数

$$f_{\max} = \frac{1}{4\tau_p} \quad (1.2)$$

由式(1.1)可知,集成度的提高使信息吞吐率随之增大。

集成度的提高还使电路所需焊接的外引线端数与器件总数之比大幅度减少,使失效主要根源之一的焊点失效显著降低,提高了可靠性。从电子系统的观点看,集成度的提高,使实现一定功能的系统所需之电路数目减少。这不仅使焊点数相对减少从而使可靠性提高,而且由于集成电路块之间的引线寄生电容及噪声也随之减少,使系统的速度与功耗均得到改善。同时也使电子系统的重量与体积下降,装配电子系统所需的设备和技术简化,人员、工厂投资均相应减少。

基于上述原因,集成度是集成电路技术进展的主要标志,围绕着提高集成度为目标的工艺和设计技术一是直集成电路技术的主要发展方向。

近卅年来,集成电路从小规模、中规模发展到大规模和超大规模集成阶段。集成度的增长可以用莫尔定律^[1]来描述,即集成度每年增加一倍(乘2)。图1.1是集成度随年份增加的实际曲线。由图还可以看出:集成度提高的三个主要技术因素是器件尺寸缩小,芯片面积增大及芯片集成效率(工艺结构及设计改进)提高。每芯片集成的元件数目确实以指数型迅速增加。

在集成度迅速增加的同时,近卅年来,集成电路的性能价格比也急剧提高:对数字信号处理电路,增加到 10^{18} 倍;对模拟集成电路,这个因子是 10^{12} 。在近十年中,存储器每一位的成本下降为原来值的百分之一。形象地用航空工业作个比较,如果飞机制造业在过去卅年中也能得到如集成电路一样迅速的发展,今天的波音767飞机将只需500美元一架。围绕地球一周仅需廿公升汽油^[2]。由此可见,集成电路技术

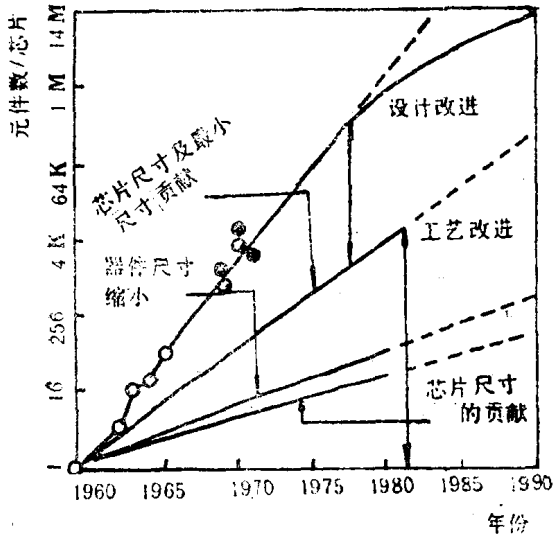


图1.1 集成度随年份增长及三个主要技术因素的贡献^[1]

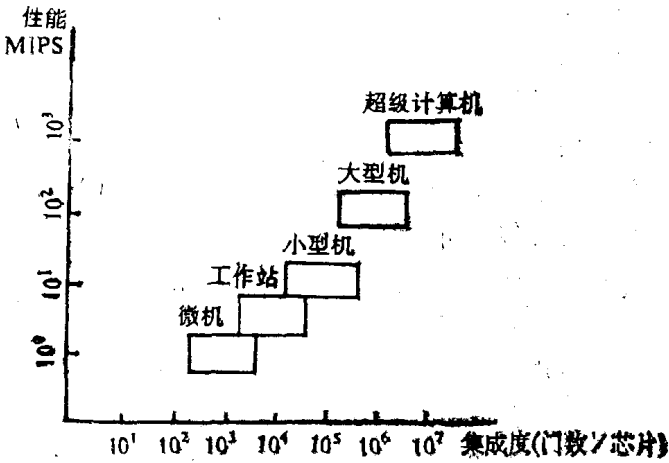


图1.2 集成度与集成电路性能的关系

的进展的确是人类技术发展上史无前例的。图1.2给出了集成度与集成电路性能的关系^[3]。其中MIPS表示信息处理速率，即每秒百万指令数。

由此可见，由于集成度的提高，VLSI有极强的计算能力和低廉的芯片成本。但集成度的提高也意味着复杂性的增加。因此，复杂性管理是VLSI设计的关键内容。

目前，VLSI的主流工艺CMOS，可制备的最小CMOS单门尺寸每边小于 $15\mu\text{m}$ ，而人脑神经细胞的线度为 $40\mu\text{m}$ ；这种CMOS单门的开关能量为 $(1\text{E}8)\text{kT}$ 焦耳，而人脑神经细胞的开关能量为 $(1\text{E}11)\text{kT}$ 焦耳^[4]。但是，目前最为先进的计算机的运行速度为数十亿次/秒，比人脑的运行速度约低 10^3 数量级。人脑约有10亿个结点，每秒运行 10^4 亿次，故对10亿个结点的访问周期为 1ms 。其不同的原因是总体结构及通信能力的差别。VLSI虽然有很强的计算能力，但通信能力受到内引线上延迟时间及外引线数目的严重限制。VLSI芯片中内引线数原则上并无限制。但在实际制备工艺中，金属引线的尺寸却往往比其它尺寸大，占据芯片相当部分的面积。同时，引线截面积的按比例缩小使信号在引线上的延迟及压降成为限制芯片性能的主要因素^[5]，此种情况对于电源、信号总线、时钟等长引线更为严重。由于芯片面积不断增大，此类引线在截面积缩小的同时，其长度非但不能同步减小反而增大。对于外部引线，芯片内器件数目随年份指数地增加，但集成电路块封装管壳的管脚数目不能同步增加，几乎保持常数。实验证明，^[6]如果芯片上的功能数目对应于球的体积，那么这些功能所要求的芯片外引线(管脚)数目则应与球的表面积相对应。VLSI芯片不能满足此项要求，结果是

管脚数目与芯片内器件数目之比几乎呈指数下降,使VLSI芯片之间的通信极为困难,可测性差。同时,印刷电路板上的引线本身是一个大的负载电容,为了使芯片保持其应有的性能,芯片内部必须设置输出驱动级,这带来芯片功耗的增大。而且由于芯片面积及成品率等实际因素的考虑,一般外部信号仍比内部信号速度慢一个数量级。VLSI芯片的低成本,高集成度,强计算能力及芯片通信能力的限制,必然要求利用VLSI技术的微电子系统或子系统具有与常规电子系统不同的新的总体结构。

1.1.2 设计复杂性管理

VLSI是一个高度复杂的系统。要将几十万或更多的器件集成在大约一厘米见方的硅片上,必须进行各器件设计,它们间的互连及隔离(即版图)设计,而且还需考虑在设计提出、设计的验证及设计的实现过程中所包含的各方面因素,例如测试,封装,功能模拟,性能模拟及规则检查等。VLSI的一个特点是,如果没有特殊的措施,在数以万计的器件中,只要有一个器件或一段互连线失效(安排失误),整个芯片就会失去功能,而且不能予以恢复。在芯片中设置容错电路,可使芯片具有一定的修复功能。另一方面,通过计算机辅助的验证模拟可以避免设计失误。为了使VLSI芯片的复杂性困难得以控制,将一个复杂的问题分解为许多级别的较为简单的问题,并加以分别的验证,给予各层次级别以明确的接口定义,是一条行之有效的途径。这种设计方法学称为分级管理(Hierachical Management)。这在下面会进一步讨论。

随着集成度的提高，集成电路的设计成本指数上升。图 1.3 给出了设计成本(用平均每设计每月所花费的人时表示)与年份关系的实际情况。^[8]

例如，用全定制设计技术，即人工设计器件及布局布线，加以计算机图形编辑和辅助模拟技术，平均而言，一个含有 10^4 元件的随机逻辑集成电路，需要 2 人年完成设计。随着集成度的提高，复杂性增加，设计周期不是线性地增加而是指数型上升。设计一个含 10^5 元件的随机逻辑集成电路所需的设计

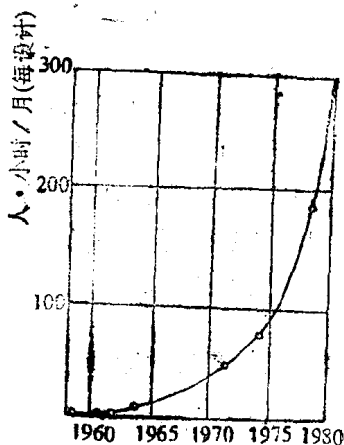


图 1.3 设计成本随年份的变化

周期，不是 20 人年而是 60 个人年。在实际的集成电路设计中，十六位微处理器 M 68000 花费 52 个人年完成设计；Intel 八位微处理器 8086，仅版图设计一项即需 13 个人年。对于这样高昂的设计成本及持久的设计周期，只有象存储器、微处理器这样少数的 VLSI 产品可以承受。它们的产量极大，市场有保障，分摊到每一个电路的设计成本相对较小。一般估计，产量大于 10^5 个的电路，用全定制技术才可取。这种情况显然极大地限制了为数众多的小批量、多品种的 VLSI 产品的开发。换句话说，只有降低设计成本和缩短设计周期，VLSI 技术才能得到广泛应用。

为达到上述要求，优化设计每一个管子的办法显然是不适用的。高度规则化的结构不仅使设计成本下降、周期缩

短，而且可以在同样面积上集成更多的器件。图1.4给出了更在 $12.7 \times 12.7 \text{mm}^2$ 的硅片上，采用不同规则化因子 R ，所集成的器件数目的示意图。^[3]

设计的规则化因子 R 的定义如下

$$R = \frac{\text{芯片上总的器件数}}{\text{需单独设计的器件数}}$$

其中“需单独设计的器件数”显然等于器件总数减去规则结构的器件数。

规则化因子 R 表示了一个芯片中，器件结构规则化的程度。若 $R = 1$ ，说明芯片中每一个器件均需

单独设计，无一重复。对于VLSI，这种设计方式显然是不合适的。在VLSI芯片中尽量采用少数几种规则化的器件图形结构。 R 增大，可使设计效率提高。动态随机存储器DRAM之所以成为VLSI产品的先导，其原因就在于此。在设计一个VLSI芯片中，更多地采用RAM、ROM(唯读存储器)及PLA(可编逻辑阵列)的结构，可使 R 提高。由图1.4可见，若 $R = 4$ ，则采用器件的特征尺寸为 $1\mu\text{m}$ 时，在 $12.7 \times 12.7 \text{mm}^2$ 的硅片上，可集成100万个元件。

实验和理论均已证明，规则化的图形结构便于发挥计算机的效率，这给计算机辅助布局、布线、版图及性能验证、芯片可测性设计均带来很大方便。使设计周期及成本显著减

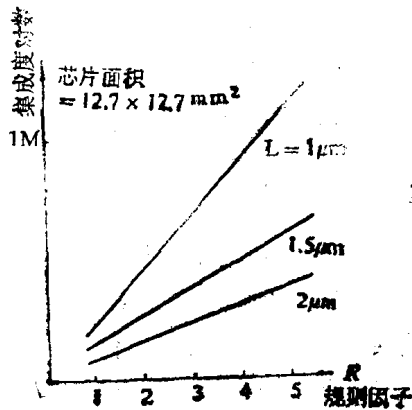


图 1.4 $12.7 \times 12.7 \text{mm}^2$ 芯片上集成器件数与规则化因子 R 的关系