

快 总 线

新一代高速数据获取与控制系统

美国国家及电子电气工程师学会标准
(ANSI/IEEE Std 960-1986)

何孟嘉 唐素秋 译
郑国瑞 赵京伟

电子工业出版社

序

自然界的物质是以各种各样的信息来表达它的行为和内在规律的。例如对微观世界的奥秘，人们是通过获取和处理核信息及粒子信息来进行研究的。而生命的活动则可以通过获取和处理生物信息来加以探索。通常，信息都可以通过传感器转变成电信号，然后形成数据。这样，信息就可以用各种数据来表示。可见，数据的获取和处理、控制和利用是一个非常重要的、带有普遍意义的问题。

现代尖端科技活动往往需要在很短的时间内获取和处理数量极大的数据。在高能物理实验中，信息的原始数据率可高达 10^{10} 字节/秒。经过严加筛选后加以记录的数据率也在 10^4 字节/秒的量级。电子计算机的发展才使得这样高的数据率的数据获取和处理有可能得以实现。但是，不难想象，这是一种极为庞大和复杂的数据获得和处理系统。要使这样的系统能够准确、经济、有效、可靠地工作，标准化实属首要问题。就是说，必须对系统的机械结构和尺寸、供电电压及方式、数据的联接、传输和操作系统、系统的构成和运行以及系统的冷却等问题作出明确的规定并具有统一的标准，并使这种标准国际化，使世界各国都能够根据自己的实际情况和需要加以应用。

六十年代末期出现了CAMAC标准(Computer Automated Measurement And Control)。它被成功地应用在高能物理研究、宇航研究、核技术应用以及其他领域中，至今仍在广泛使用。而这本书中介绍的快总线标准(FASTBUS)则是一种比CAMAC标准的速度更快，灵活性更高，功能更强、技术

更新，因而更能适应现代科技和工业需要的系统。应该说，快总线标准是新一代的数据获取和处理系统的标准。虽然，快总线标准首先是在高能物理实验需要的推动下发展起来的，但是，由于这个标准的设计周密，具有众多特点，它完全可以应用于其他领域，而且前景是诱人的。

应该指出的是：快总线标准得以实现是和当代先进的电子技术紧密相联的。快总线标准是计算机技术、大规模和超大规模集成电路、高速和超高速集成电路技术、多层印制板组装技术、精密的插接件技术以及高密度电子仪器的冷却技术等等的集合。可以说，快总线标准的引进能从一个侧面反映电子工业所达到的水平，它能够促进电子工业有关领域的进一步发展。

从1975年提出建立新一代高速数据获取系统标准的设想以来，经历了十年时间，经过大量专家的辛勤劳动，快总线标准现在已趋成熟，其正式文本已经由国际性标准化组织公布。目前，各先进国家竞相采用。美国、加拿大、日本、西欧等十个国家已取得成果。每年在国际性学术会议上有大量论文发表。我国也已开展这方面的工作。希望这本快总线标准文本译稿的出版，能对我国各有关领域开展快总线标准的工作起到良好的促进作用。

席德明 谨识

1986年3月

目 录

第一章 综述

1.1 内容简介	(1)
1.2 系统概述	(1)
1.2.1 快总线操作	(5)
1.2.2 段连接器	(8)
1.2.3 控制和状态寄存器	(10)
1.2.4 地理寻址	(11)
1.2.5 字组和流水传输	(11)
1.2.6 地址锁定与仲裁锁定操作	(13)
1.2.7 稀疏数据扫描	(14)
1.2.8 广播操作	(14)
1.2.9 总线控制权的仲裁	(15)
1.2.10 中断	(17)
1.2.11 定时	(18)
1.2.12 初始化	(18)
1.2.13 诊断工具	(19)

第二章 约定、定义、缩语和符号 (20)

2.1 本规范的几点说明	(20)
2.2 标注和逻辑信号的约定	(21)
2.3 定义	(22)
2.4 缩语	(30)
2.5 符号	(33)

第三章 信号、信号线和插座脚

3.1	信号线的类型	(35)
3.2	信号的命名	(35)
3.3	信号、信号线和插座脚的简要叙述	(36)
3.3.1	AS 地址同步 (T, 主设备)	(36)
3.3.2	AK 地址回答 (T, 从设备或ANC)	(36)
3.3.3	EG 地理寻址使能 (CT, 主设备或ANC)	(36)
3.3.4	MS 类型选择 (C, 主设备)	(37)
3.3.5	AD 地址/数据 (I, 主设备或从设备)	(37)
3.3.6	SS 从设备状态 (I, 从设备)	(37)
3.3.7	DS 数据同步 (T, 主设备)	(37)
3.3.8	DK 数据回答 (T, 从设备或ANC)	(37)
3.3.9	RD 读 (C, 主设备)	(37)
3.3.10	PE 奇偶校验使能 (I, 主或从设备)	(38)
3.3.11	PA 奇偶校验 (I, 主或从设备)	(38)
3.3.12	WT 等待 (A, 任何设备)	(38)
3.3.13	AR 请求仲裁 (A, 主设备)	(38)
3.3.14	AG 允许仲裁 (TA, ANC)	(38)
3.3.15	AL 仲裁级 (IA, 主设备)	(38)
3.3.16	GK 允许回答 (TA, 主设备)	(38)
3.3.17	AI 禁止请求仲裁 (CA, ANC)	(39)
3.3.18	SR 服务请求 (A, 主或从设备)	(39)
3.3.19	RB 总线复位 (A, 主设备或从设备通过SI)	(39)
3.3.20	BH 总线保持 (C, ANC)	(39)
3.3.21	GA 地理地址 (F, 绕接)	(39)
3.3.22	TP T脚 (I, 从设备)	(39)
3.3.23	DL、DR 菊花链 (I, 主或从设备)	(40)
3.3.24	TX、RX 串行网络线 (A, 主或从设备)	(40)

3.3.25	TR 带匹配终端的专用线	(40)
3.3.26	UR 不带匹配终端的专用线	(41)
3.3.27	其它线与插脚	(41)
3.4	总线负载	(41)
3.4.1	信号线与F脚的电压电流限制	(41)
第四章	快总线操作: 寻址	(42)
4.1	逻辑寻址	(43)
4.2	地理寻址	(45)
4.3	广播寻址	(47)
4.3.1	主设备的广播操作控制	(48)
4.3.2	从设备对广播操作的响应	(51)
4.4	次级寻址	(53)
4.5	稀疏数据扫描操作	(55)
第五章	快总线操作: 定时、时序和响应	(57)
5.1	对主/从设备定时的一般要求	(58)
5.1.1	主设备信号的定时要求	(58)
5.1.2	从设备信号的定时要求	(60)
5.1.3	等待(WT)信号的使用	(62)
5.2	主地址周期	(63)
5.2.1	主设备设置AS	(65)
5.2.2	从设备对AS(u)的响应	(66)
5.2.3	主设备对AK(u)的响应	(67)
5.3	操作	(68)
5.3.1	主设备设置DS	(69)
5.3.2	从设备对DS(t)的响应	(74)
5.3.3	从设备状态响应的讨论	(75)
5.3.4	主设备对DK(t)的响应	(77)
5.4	总线复位信号RB的使用	(78)

5.4.1	主设备产生RB	(78)
5.4.2	设备对RB信号的响应	(78)
5.5	设备对加电的响应	(79)
第六章	总线仲裁	(80)
6.1	仲裁总线的使用	(81)
6.2	仲裁的过程	(84)
6.3	仲裁原则	(87)
6.3.1	主设备产生AR及SI传送AR	(87)
6.3.2	ATC产生和释放AI	(88)
6.3.3	ATC产生和释放AG	(88)
6.3.4	主设备产生和释放AL	(88)
6.3.5	主设备产生和释放GK	(90)
6.4	系统范围的仲裁	(90)
第七章	段的公用逻辑	(93)
7.1	仲裁定时控制(ATC)	(93)
7.1.1	ATC产生AI	(93)
7.1.2	ATC产生AG	(93)
7.2	地理地址控制	(95)
7.3	系统握手的产生(广播)	(96)
7.4	运行/保持控制及总线保持	(98)
7.5	终端匹配	(98)
7.6	机箱段的公用逻辑	(99)
7.7	电缆段的公用逻辑	(100)
第八章	控制及状态寄存器空间	(101)
8.1	选择置位及清除功能	(102)
8.2	CSR常用空间的分配	(103)
8.3	CSR寄存器0	(106)
8.3.1	设备ID字及其配置	(106)

8.3.2 控制及状态位的分配	(107)
8.4 CSR寄存器1	(111)
8.5 CSR寄存器2	(111)
8.6 CSR寄存器3	(114)
8.7 CSR寄存器4	(114)
8.8 CSR寄存器5	(115)
8.9 CSR寄存器6	(115)
8.10 CSR寄存器7	(115)
8.11 CSR寄存器8	(116)
8.12 CSR寄存器9及CSR寄存器1CH至1FH	(116)
8.13 CSR寄存器AH至FH	(117)
8.14 CSR寄存器20H至3H	(117)
8.15 CSR寄存器70H至81H	(118)
8.16 CSR寄存器A0H~AFH, B0H ~BFH及C0H~CFH	(119)
8.17 CSR寄存器8000 0000H~BFFF FFFFH, 参量空间	(119)
8.18 CSR位的清除	(121)
第九章 中断	(123)
9.1 中断操作	(123)
9.2 服务请求线	(124)
第十章 段的连接	(127)
10.1 段连接器的类型	(128)
10.2 操作的传递	(129)
10.3 竞争的解决	(130)
10.4 路径表	(131)
10.5 控制和状态寄存器	(133)
10.5.1 CSR# 0-ID, 状态和控制寄存器	(133)

10.5.2	CSR # 1 远端仲裁级	(136)
10.5.3	CSR # 8 近端仲裁级	(137)
10.5.4	CSR # 9 定时控制寄存器	(137)
10.5.5	CSR # 40H 路径表地址寄存器	(137)
10.5.6	CSR # 41H 路径表数据寄存器	(137)
10.5.7	CSR # 42H 近端地理地址	(138)
10.5.8	CSR # 43H 远端地理地址	(138)
10.5.9	SI中不同操作对CSR位的影响	(138)
10.6	路径表	(139)
10.6.1	通过、目标和基本信息	(139)
10.6.2	产生的原则	(140)
10.7	SI的工作	(140)
10.7.1	地址识别	(140)
10.7.2	SI的仲裁	(141)
10.7.3	竞争的解决	(141)
10.7.4	否定的响应	(142)
10.7.5	地理与广播地址的修正	(144)
10.7.6	操作的传递	(144)
10.7.7	奇偶校验的使用和产生	(147)
10.7.8	SI对RB的响应	(148)
10.7.9	定时要求	(148)
10.8	基本地址寄存器	(148)
第十一章	字组和流水传输	(150)
11.1	字组和流水传输的终止	(152)
11.2	字组传输的内部地址增量	(153)
11.3	FIFO和数据传输错误	(153)
第十二章	信号特性	(155)
12.1	信号电平	(155)

第十三章 插 件	(157)
13.1 插件线路板	(160)
13.1.1 静电荷泄放用的接地区域	(160)
13.2 插座	(160)
13.2.1 段插座	(160)
13.2.2 插件辅助插座	(166)
13.2.3 其它插座	(168)
13.2.4 段和辅助插座插孔序号的确定	(168)
13.3 温度限制和功率耗散	(169)
13.3.1 集成电路外壳和插件的的温度	(169)
13.3.2 功率耗散	(169)
13.3.3 冷却	(170)
13.4 前面板	(170)
13.5 插件工作指示	(171)
13.6 电源要求的标志	(171)
13.7 瞬态干扰	(171)
第十四章 机箱	(172)
14.1 机箱结构	(172)
14.2 机箱后背板	(172)
14.2.1 机箱段插头及其布线	(175)
14.2.2 机箱辅助插头	(177)
14.2.3 插座的导轨	(178)
14.2.4 后背板电流要求	(178)
14.2.5 后背板的其它条款	(179)
14.3 冷却	(179)
14.4 运行/保持开关装置	(179)
14.5 安装在后背板反面的线路板	(180)
14.6 机箱标志	(181)

14.7 静电荷泄放的通路·····	(182)
第十五章 电源 ·····	(183)
第十六章 电缆段 ·····	(185)
16.1 电缆段上的信号·····	(185)
16.2 电缆段插座及其接点分配·····	(185)

附 录

附录A 装备技术(用不同器件实现时)的要求·····	(188)
A.1 用ECL器件实现·····	(188)
附录B ECL电路前面板的互连·····	(192)
B.1 信号的幅度和电平·····	(192)
B.2 电缆·····	(192)
B.3 插头座·····	(192)
B.4 驱动器、接收器和终端匹配器·····	(193)
附录C 电缆段的实现·····	(193)
C.1 有关电缆段电子学的说明·····	(196)
C.2 ECL电缆段的实现·····	(196)
附录D 主设备部件的实例·····	(197)
D.1 主设备仲裁电路·····	(197)
附录E S-1型快总线段连接器·····	(198)
E.1 S-1型段连接器的一般特性·····	(199)
E.2 前面板·····	(201)
附录F 插件的实现·····	(202)
F.1 典型插件的实现·····	(202)
附录G A型机箱的实例·····	(203)
G.1 A型机箱·····	(203)
G.2 A型机箱的实例·····	(203)
G.3 背面线路板的安装·····	(208)
附录H W型机箱和W型插件的实例·····	(208)

H.1	W型机箱·····	(208)
H.2	W型机箱的插件·····	(209)
附录 I	标准电源·····	(212)
I.1	高效率电源·····	(212)
I.2	低噪声电源·····	(217)
附录 J	非零错误状态的处理方法·····	(219)
J.1	寻址期间的错误·····	(219)
J.2	数据周期超时·····	(222)
J.3	从设备状态响应·····	(222)
J.4	主处理机对错误信息的响应·····	(224)
J.5	与FIFO和 I/O 口有关的错误·····	(224)
附录 K	元器件·····	(226)
K.1	接插件·····	(227)
索 引	·····	(229)

第一章 综 述

快总线 (FASTBUS) 是一种用于数据获取, 数据处理和控制的标准化积木式的数据总线系统。它由多个可以独立工作而又连接在一起以传递数据及其它信息的总线段组成。采用握手的方式, 快总线能可靠地完成不同速度设备间的异步操作而无须事先知道它们的速度。它也可以完成非握手方式的同步操作。以实现在最高速度下的数据块传输。

1.1 内容简介

为了便于理解快总线这样复杂的系统, 本文先对系统作简要的说明, 然后再由简到繁地详细叙述系统的各个部分。因此这一章里先总括地介绍快总线的基本特性和操作。以后各章除规范本身外还介绍了有关特性及使用。第二章是快总线系统中带有特殊含意的词的定义。这章还规定了快总线系统各部分在框图中使用的符号, 并列表给出了通用的缩写字符。余下各章是快总线的详细说明。最后在附录里给出了有关快总线特性的一些更详细的说明, 在快总线里有特殊含义的词在本章中用黑体字表示。

1.2 系统概述

快总线的设计特点反映了当前对数据获取系统的要求。它采用许多处理器并行工作来实现对高速的要求, 这些处理器可以彼此间并和其它数据获取和控制设备之间相互通讯。规范对处理器及设备的通讯提供了一个很大的数据和地址域, 而规范的定义与设备的具体实现方法无关, 这就保证了它可以不断得益于新的技

术进展。灵活性的要求是用积木式的设计实现的。这使得在构成系统时可以有多种选择。

积木式的仪器系统与其它系统的区别在于它是靠设备的相互连接构成的，其机械、电气和逻辑的连接形式必须事先予以规定。电气的连接由一组称之为段的信号线完成。快总线设备可以简单地用电缆段(Cable Segment)连接，这种方法可能会损失速度。更一般的情况是用一些在确定位置上的插件来完成所要求的功能，这些插件成组地插在机箱里，共用一块后背板总线(图1.2(a))。这个总线称为机箱段或段。和电缆段一样，它是快总线系统的一个逻辑部件。

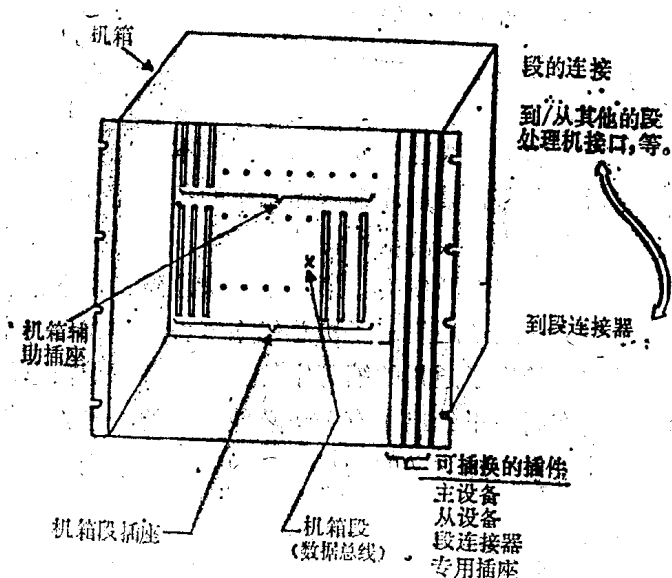


图1.2(a) 快总线的基本部件

按照快总线规范,段是一个有自治能力的总线,它把一个或多个主设备与一些从设备连接起来。所有的总线操作都包含有主-从的关系,启动者一定是主设备,响应者一定是从设备。主

设备可以请求并获得它所连接的段的控制权，以便与从设备通讯。如果要和另一个主设备通讯，则在操作进行期间，响应的主设备起从设备的作用。从设备不能成为总线的控制者，但它可以产生服务请求。同一个段上的主设备可以根据该请求启动一个对它服务的操作。主设备有更为灵活的中断机构，它们可以得到总线的控制权并把有关的中断信息写到一个中断服务设备里。假如一个段上有多个主设备，则段必须能够处理同时发生的使用总线的请求。每一个主设备都被赋予一个在仲裁周期内使用的仲裁级。段仲裁定时控制器(Arbitration Timing Controller)产生的定时信号使每个主设备上的线路决定哪一个请求总线使用权的主设备将被批准成为下一个总线的控制者。由于下一个主设备可以在现行的主设备完成它的操作前选定，所以仲裁过程通常不带来时间上的损失。

单个段上的多个主设备共用一个总线，对于一个给定的主设备来说，竞争使用总线可能会使它的功能受到影响，因为它需要花费时间去等待得到一个正忙着的总线的控制权。由于各个段是独立地进行工作的，所以把主设备分配到几个段上可以减少它们之间的竞争，同时增加每个主设备在本段范围内的处理能力。

一个段上的主设备还必须能很快地与另一个段上的从设备通讯。这种能力是靠**段连接器**（简称SI）完成的，它可以暂时地把独立的段连接在一起(图1.2(b))。为了完成一个跨段的操作，操作所通过的段都必须在同一个时间供给该操作占用。线路上每个SI的仲裁机构把总线的竞争延伸到源主设备不在的段上，这个过程就象在源主设备所在的段上一样。由于一个段可以和任意数量的不同段相连，因此采用最短数据通路可以构成从时间意义上讲是最佳的系统。

本文对两个段间一对SI的通讯方式未作规定，在实际应用时可酌情选择最适当的方法。附录E中给出了一个最有效的方法，

主设备大都具有某些处理能力，快总线系统的设计同样也要重视大的或小的计算机与系统的连接。这种连接是通过处理器接口实现的。处理器接口可通过电缆段或机箱段和快总线系统相连（图1.2(b)）。每个系统都要有一个了解整个系统结构的处理器。它必须能访问系统的每一个段，并且知道各个段是怎样相互连接在一起的。这个处理器称为**主处理机** (Host)。主处理机通过系统初始化规定什么样的操作可以从SI的一端传递到它的另一端。借助于**地理寻址**，**主处理机**可以确定每个设备在系统中的具体位置及其类型。如果需要的话，还可给设备分配一个**逻辑地址**。逻辑地址允许设备根据需要使用内部地址域，该域与设备在段内的位置无关。

快总线的特点和能力可以归结如下：

- 速度仅仅受限于传输与逻辑线路的延时（对ECL线路，通常高于10MHz）
- 大的地址和数据域（32位）
- 允许并行处理的段结构的总线
- 全系统范围的通讯能力
- 握手或非握手方式的字组传送
- 统一的系统规约
- 中断及仲裁能力。

1.2.1 快总线操作

第五章里定义的快总线操作使用一组总线，表1.2.1是总线信号的分配。电缆段由表上半部的60根线组成，机箱段则包括了表中所列的所有的线及电源线。信号按其用途分类也在表1.2.1中给出。

大多数快总线操作都是从一个主设备请求并被允许得到总线的控制权开始的。然后，主设备用主地址周期去选择一个从设备，跟着的是任意数量的数据传输周期，随后总线被释放。