

# 金属-氧化物-半导体集成电路

金属-氧化物-半导体大规模集成电路的  
理论、设计、制造和在整机中的应用

〔美〕 W. M. 彭尼 L. 劳 編  
清华大学电子工程系半导体專間 譯

科学出版社

## 内 容 简 介

金属-氧化物-半导体 (MOS) 大规模集成电路,是近十年来发展起来的一种新技术。

本书以铝栅P沟道MOS工艺为重点,对这一技术进行了比较全面的介绍。内容包括: MOS技术的优缺点及应用情况(第一章); MOS绝缘栅场效应晶体管的原理、工艺和版图设计(第二、三、八章); MOS技术的电路设计、逻辑设计和整机设计(第四、五、六章); 半导体存储器的基本概念(第七章); MOS阵列的可靠性问题、测试问题和筛选方法(第九章)。

本书可供从事MOS技术的元件制造、电路设计以及整机设计和应用等方面的同志参考。也可供大专院校有关专业的师生和自学者参考。

William M. Penney, Lilliau Lau  
MOS INTEGRATED CIRCUITS  
Theory, Fabrication, Design,  
and Systems Applications of MOS LSI  
Van Nostrand Reinhold Company  
1972

## 金属-氧化物-半导体集成电路

金属-氧化物-半导体大规模集成电路的  
理论、设计、制造和在整机中的应用

【美】W. M. 彭尼 L. 劳 编

清华大学电子工程系半导体车间 译

\*

科学出版社出版

北京朝阳门内大街137号

北京印刷一厂印刷

新华书店北京发行所发行 各地新华书店经售

\*

1977年2月第一版 开本: 787×1092 1/16

1977年2月第一次印刷 印张: 21

印数: 0001—14,750 字数: 480,000

统一书号: 15031·143

本社书号: 790·15-7

定价: 2.10元

## 原 序

写这本书的目的是介绍用金属-氧化物-半导体 (MOS) 大规模集成电路来实现系统时需要掌握的技术。人们可以用这些技术来划分一个系统,并为被划分的系统准备详细的逻辑设计,然后根据一种简化了的 MOS 器件的模型进行详细的电路设计,以便最后能获得就尺寸、造价和执行功能的能力等方面来说为最佳的集成电路。本书包括的内容还有 MOS 晶体管的基本的物理理论,并对在制造 MOS 大规模阵列时可能采用的几种工艺作了介绍。

本书主要是为在数字设备方面从事逻辑设计的工作人员和与系统打交道的人员编写的。不过,书中包括的有关电路设计的数据以及关于布局方面的分析,对研制电路的工程人员也是有用的。关于读者的文化水平,我们假定读者已具有电机工程或电子工程的基础;对半导体的基本理论有一般的了解,并对用于数字系统设计的布尔代数是熟悉的。在数学分析方面,则只包括那些为了保证清楚地阐明问题所必需的方程式。

本书的大部分内容是根据一门 MOS 工程技术课的教材加以发展而写成的。美国微电子系统公司(AMI)\* 从 1966 年以来为美国的工程人员和设计人员,并在最近为欧洲和日本的工程人员开设了这门课。原课程的教本和修订版本中的丰富材料,以及几年来选课者的评论和意见,对本书的编写都是很宝贵的。

在第一章中,彭尼(W. M. Penney)就 MOS 大规模集成电路的性能、造价以及这种新技术对供需双方在经济上的影响,讨论了 MOS 电路的优缺点,其中列举了一些主要的很适宜应用 MOS 阵列的领域。这些领域可以分成两类,第一类是 MOS 已经获得稳定应用的领域,第二类则是在不久的将来可能逐步应用 MOS 的新市场或新产品。同时,在这一章中,作者还简短地回顾了 MOS 器件从早期的场效应原理到制成 MOS 集成电路的发展过程。

第二章主要由弗兹(P. Vutz)执笔,内容包括关于 MOS 器件的物理理论的分析,接着推导了在大规模阵列中正确使用 MOS 晶体管所必需的基本设计方程,然后又介绍了在电路设计和分析中起重要作用的器件参量及其特点。在这一章中还由福丹福沃特(J. N. Fordemwalt)对半导体物理的基本理论进行了简要的介绍,他有意地把这部分内容限制在只包括那些为了理解 MOS 晶体管的工作原理以及为了推导器件设计方程所必需的材料。

在第三章中,维特莱生(G. A. Wetlesen)综述了适用于 MOS 大规模集成电路的基本工艺及组装技术。他在详细地描述了典型 P 沟道(高阈电压)MOS 工艺以后,又介绍了目前已相当普遍的一些其它的工艺,并把这些工艺的性质和特点与高阈电压 P 沟道工艺作了比较。

霍顿(J. A. Horton)在第四章中讨论了用 MOS 器件来设计复杂的数字集成电路的问题。他用作图法和解析法详细地研究了基本的 MOS 反相器,推证并研究了反相器的直流

\* AMI 是英文 American Micro-system Incorporated(即美国微电子系统公司)的缩写。——译者注

转移特性及其瞬变响应。他又用一些例子说明如何把设计思想应用于实际的 MOS 大规模集成电路。

在第五章中,萨道斯基(R. J. Sadowski)和阿什克拉夫特(G. S. Ashcraft)根据 MOS 独特的性能讨论了各种有用的逻辑设计技术。他们在综述了可以用 MOS 实现的各种逻辑的基本类型以后,又分析了它们的优缺点。接着,他们详细地分析了典型的 MOS 逻辑结构,然后又用设计例子说明如何把这些设想应用于典型的设计问题,而且还考虑了特定的逻辑设计对最后 MOS 产品的影响。

在第六章中讲述的是用 MOS 大规模集成电路来设计系统和选择方案时必须分析的各种因素。在这一章中,泰勒(L. A. Taylor)和萨道斯基讨论了象系统划分等一类在系统设计中必须考虑的问题,并且提供了一些原则,以便获得一种就造价、性能和可靠性来说为最佳的 MOS 系统。在此以前,彭尼对 MOS 大规模集成电路系统的整机厂和器件厂之间的一些承接关系作了评论,并比较说明了每一种承接方式的优缺点。最后还讨论了逻辑模拟的问题。此外,阿什克拉夫特还讲述了检验复杂 MOS 阵列时必须采用的设计思想和具体方案。

贾斯珀(S. Jasper)在第七章中讨论了 MOS 器件在象存贮器等一类产品中的应用,并讨论了基本存贮单元的概念,接着又讨论了用这些单元制造的各种类型的 MOS 存贮器系统。在这一章的末尾,又综述了各种 MOS 存贮器产品的典型应用,包括一般的数据存贮功能和逻辑功能的应用。

在第八章中,霍顿讨论了有关 MOS 电路版图设计的指导思想以及电路的设计规则。他又讲述了研制一种典型产品的流程图,这个表的作用是把前面各章讨论过的大部分材料贯串起来了。在关于是用手工还是用计算机辅助来进行电路布局的问题上,他分析了那些在对这个问题作出决定时起重要作用的因素。他在描述了 MOS 电路布局的作图步骤以后,又讲述了典型电路设计的规则和允许误差,还讨论了这些规则会如何影响一种制造工艺的成品率。

在第九章中,法利(J. L. Farley)讨论了 MOS 大规模系统的可靠性。讨论的内容包括 MOS 阵列失效的主要方式和机理。接着,他又讨论了电路设计者和工艺工程师为了使失效率降到最低限度所应采取的技术措施,和能够消除潜在可靠性失效的筛选技术。同时,他还介绍了一种可以用来检验可靠性的陪检器件,半导体器件厂利用这种陪检器件就能以非常少的费用来对工艺的可靠性进行连续的监视和测量。

W. M. 彭尼

L. 劳

# 目 录

译者前言 .....	i
原序 .....	iii
<b>第一章 MOS 大规模集成电路技术</b> .....	<b>1</b>
1.1 引言 .....	1
1.2 MOS 大规模集成电路的发展 .....	2
1.3 MOS 大规模集成电路的优点 .....	4
1.3.1 经济上的优点 .....	5
1.3.2 性能方面的优点 .....	8
1.4 MOS 大规模集成电路中存在的问题 .....	11
1.4.1 经济上的问题及其考虑 .....	11
1.4.2 性能方面的缺点 .....	13
1.4.3 商业管理的一些考虑 .....	15
1.5 其它MOS工艺 .....	16
1.6 MOS 大规模集成电路的应用 .....	18
1.6.1 MOS 大规模集成电路在现阶段的应用 .....	19
1.6.2 MOS 大规模集成电路的新用途 .....	19
<b>第二章 MOS 器件的基本理论和特性</b> .....	<b>24</b>
2.1 引言 .....	24
2.2 半导体的基本理论 .....	24
2.2.1 简单的能带理论 .....	24
2.2.2 费米能级 .....	25
2.2.3 本征半导体 .....	25
2.2.4 本征载流子的产生 .....	26
2.2.5 掺杂半导体 .....	27
2.2.6 费米势与杂质浓度的关系 .....	28
2.2.7 载流子的迁移率和电导率 .....	29
2.2.8 P-N结 .....	30
2.2.9 耗尽层 .....	30
2.2.10 结电容 .....	32
2.2.11 二极管的伏-安特性 .....	32
2.2.12 雪崩击穿 .....	33
2.3 MOS 晶体管的分析 .....	34
2.3.1 半导体表面层的性质 .....	34
2.3.2 MOS 电容 .....	37
2.3.3 阈电压的定义 .....	38
2.3.4 MOS 晶体管 .....	41

2.3.5 饱和 .....	45
2.3.6 小结 .....	48
2.4 器件的参量和特性 .....	49
2.4.1 MOS 晶体管的简单直流模型 .....	49
2.4.2 MOS 晶体管的漏特性曲线 .....	50
2.4.3 导电因子( $k'$ ) .....	53
2.4.4 阈值电压( $V_T$ )的特性 .....	60
2.4.5 MOS 晶体管的小信号参量 .....	61
2.4.6 体效应 .....	63
2.4.7 MOS 电容 .....	66
2.4.8 电容-电压( $C-V$ )特性曲线 .....	68
2.4.9 寄生电容 .....	70
2.4.10 结电容 .....	71
2.4.11 结的漏电流和击穿 .....	75
2.4.12 栅保护 .....	77
2.4.13 扩散电阻 .....	80
2.4.14 寄生晶体管 .....	83
2.4.15 MOS 参量的测试方法 .....	89
符号说明 .....	92
<b>第三章 MOS 工艺</b> .....	<b>95</b>
3.1 引言 .....	95
3.2 基本的硅工艺技术 .....	95
3.2.1 硅材料, 扩散和氧化 .....	95
3.2.2 光刻和腐蚀 .....	96
3.2.3 组装 .....	99
3.3 典型的 P 沟道 MOS 工艺 .....	102
3.3.1 在晶片上制造电路 .....	103
3.3.2 组装和测试 .....	112
3.4 MOS 工艺的概述和比较 .....	117
3.4.1 N 沟道工艺 .....	117
3.4.2 互补 MOS 工艺 .....	120
3.4.3 厚氧化层与薄氧化层 P 沟道的比较 .....	122
3.4.4 高阈值电压工艺和低阈值电压工艺 .....	123
3.4.5 离子注入技术 .....	127
3.4.6 硅栅工艺 .....	130
3.4.7 其它工艺 .....	132
<b>第四章 MOS 电路的设计理论</b> .....	<b>135</b>
4.1 引言 .....	135
4.2 基本的数字反相器 .....	135
4.2.1 用扩散区作负载电阻器 .....	138
4.2.2 用 MOS 作负载电阻器 .....	138
4.2.3 电压转移特性的解析表达式 .....	142

4.2.4	线性电阻负载	145
4.2.5	饱和的 MOS 负载	145
4.2.6	非饱和的 MOS 负载	147
4.2.7	广义的电流方程式	153
4.2.8	关于体效应的考虑	154
4.2.9	MOS 反相器电路的瞬态响应	154
4.2.10	截止或上升时间	155
4.2.11	导通或下降时间	158
4.2.12	上升和下降时间	166
4.3	反相器的设计举例	167
4.3.1	输出反相器的设计	167
4.3.2	输出反相器的负载器件	168
4.3.3	输出反相器的输入器件	170
4.3.4	输出反相器功率的考虑	171
4.3.5	开漏的考虑	172
4.3.6	内部反相器	173
4.3.7	内部反相器的负载器件	173
4.3.8	内部反相器的输入器件	174
4.3.9	内部反相级的噪声考虑	175
4.3.10	堆集式(串联)输入器件	175
4.4	特殊电路的设计问题	176
4.4.1	MOS 与双极型电路的接口问题	176
4.4.2	推挽驱动器	177
4.4.3	无比电路	178
<b>第五章</b>	<b>MOS 电路的逻辑设计</b>	<b>181</b>
5.1	引言	181
5.2	静态逻辑电路	181
5.2.1	静态逻辑单元	182
5.2.2	静态存贮单元	184
5.3	动态逻辑电路	187
5.3.1	两相有比逻辑电路	187
5.3.2	两相无比逻辑电路	191
5.3.3	四相无比逻辑电路	199
5.4	同步时序机	210
5.4.1	设计过程举例	214
5.4.2	设计分析	224
5.5	初步设计转换成两相有比逻辑电路	225
5.5.1	延迟单元的安排	225
5.5.2	替换	226
5.5.3	最小化	227
5.6	初步设计转换成两相无比逻辑电路	229
5.6.1	延迟单元的安排	229

5.6.2	替换	229
5.6.3	最小化	231
5.7	初步设计转换成四相逻辑电路	231
5.7.1	延迟单元的编排	232
5.7.2	替换	232
5.7.3	最小化	233
5.7.4	转换步骤举例	233
5.8	MOS大规模集成电路的测试问题	237
5.8.1	不能测出的失效问题	237
5.8.2	缩短测试程序	238
5.8.3	对测试端点的限制	239
5.8.4	测试仪与芯片同步的问题	240
<b>第六章</b>	<b>用MOS阵列进行系统设计</b>	<b>241</b>
6.1	引言	241
6.2	整机厂与器件厂之间的承接关系	241
6.2.1	系统的性能指标	242
6.2.2	系统的算法	242
6.2.3	系统的方框图	242
6.2.4	系统的初步逻辑图(或逻辑方程)	242
6.2.5	按芯片划分的初步逻辑图	243
6.2.6	MOS逻辑图	243
6.2.7	芯片的技术指标	243
6.2.8	芯片的工艺复合图	243
6.2.9	芯片的掩模版图或掩模母版	244
6.3	系统划分的考虑	244
6.3.1	系统划分的目的	244
6.3.2	系统划分所受到的限制	245
6.3.3	系统划分的规则	246
6.3.4	规则1——减少芯片的数目	247
6.3.5	规则2——减少芯片的种类	247
6.3.6	规则3——降低测试的要求	248
6.3.7	规则4——减少芯片之间的连线数	248
6.3.8	规则5——降低封装的成本	248
6.3.9	各规则之间的协调工作	248
6.3.10	芯片面积的估算	249
6.4	系统设计的考虑	251
6.4.1	现有的系统	251
6.4.2	系统逻辑的分析	251
6.4.3	逻辑图转换成MOS逻辑电路	252
6.4.4	系统逻辑图的划分	252
6.4.5	核算	254
6.4.6	新系统	254



6.4.7	系统的特点	255
6.4.8	处理的方案	255
6.4.9	详细的逻辑图	257
6.4.10	系统的划分技术	257
6.5	逻辑模拟	262
6.5.1	硬件模拟方法	262
6.5.2	计算机软件模拟方法	265
6.6	MOS 阵列的测试	266
6.6.1	测试图形的产生	267
6.6.2	采用计算机辅助来产生测试图形	267
6.6.3	采用手工方法产生测试图形	268
6.6.4	生产用的测试设备	268
<b>第七章</b>	<b>MOS 存贮器</b>	<b>273</b>
7.1	引言	273
7.2	可以改变的随机存贮器	274
7.3	MOS 存贮器的结构	275
7.3.1	静态的存贮单元	275
7.3.2	动态的存贮单元	276
7.3.3	可寻址存贮器	277
7.3.4	译码逻辑	278
7.3.5	输入/输出缓冲器	279
7.4	存贮器系统设计中的协调工作	279
7.4.1	速度	280
7.5	唯读存贮器的概念	280
7.6	唯读存贮器的结构	280
7.6.1	存贮器阵列	281
7.6.2	输入/输出的缓冲问题	282
7.7	用唯读存贮器来实现系统	282
7.8	唯读存贮器技术	283
7.8.1	级联唯读存贮器技术	283
7.8.2	带有部分译码的唯读存贮器技术	284
7.8.3	同步唯读存贮器	285
7.9	串行存贮器	287
7.10	串行存贮器的结构	288
7.10.1	静态位	288
7.10.2	动态位	288
7.10.3	应用	289
<b>第八章</b>	<b>阵列的掩模版图设计</b>	<b>292</b>
8.1	引言	292
8.2	布局的一般考虑	292
8.3	工艺复合图的绘制	293

8.4 基本电路的分类和有关布局的考虑 .....	294
8.4.1 逻辑阵列 .....	294
8.4.2 规则阵列 .....	299
8.5 设计规则 .....	299
8.5.1 图形的设计规则 .....	301
8.5.2 电参量的设计规则 .....	301
8.5.3 特殊的设计规则 .....	302
<b>第九章 MOS 器件和阵列的可靠性</b> .....	<b>303</b>
9.1 引言 .....	303
9.2 主要的失效方式和现象 .....	303
9.2.1 断路 .....	304
9.2.2 短路 .....	307
9.2.3 阈电压的漂移 .....	311
9.3 可靠性的设计问题 .....	312
9.4 失效率 .....	314
9.5 提高器件可靠性的筛选方法 .....	315
9.5.1 光学方法筛选 .....	318
9.5.2 机械方法筛选 .....	319
9.5.3 热学方法筛选 .....	319
9.5.4 老化筛选 .....	320
9.5.5 X射线筛选 .....	320
9.6 可靠性的鉴定 .....	321
9.7 分析失效的有用工具和技术 .....	323

# 第一章 MOS 大规模集成电路技术

## 1.1 引言

金属-氧化物-半导体(MOS)\*大规模集成电路(LSI)\*\*，将被证明是电子工业中自从引进双极型晶体管以来最有发展前途的一种起推动作用的技术。当人们把 MOS 大规模阵列同良好的生产方法和精密的系统设计彼此结合起来时，就可以制造出各种高性能、低成本的可靠的系统和设备。用 MOS 工艺可以制出功耗最小、每个门或每个存贮位的成本较低的中速的复杂逻辑阵列和延迟时间较长的移位寄存器。此外，用这种工艺来制造中等规模的存贮器(不论是随机存取存贮器，还是唯读存贮器)也是十分理想的，因为就中等规模的存贮器来说，对速度上的要求不允许人们去采用现有的磁性器件。由于 MOS 晶体管的截止电阻高而且失调电压(offset voltage)为零，所以在多路选通和模拟开关的应用中，就会自然地选择 MOS 电路。但是，MOS 技术的最大优点是，与现有的任何工艺相比，它能以较低造价来生产出以中等速度工作的高度复杂的逻辑功能。尽管，当我们以开关速度作为基础来进行比较时，双极型技术在未来的一段时间内仍然会继续压倒 MOS 技术，但是由于用 MOS 技术可以很容易根据需要进行设计和制造出各种订制的大规模集成电路阵列，所以上面所说的这种缺陷将会在很大程度上得到弥补。

本章将讨论 MOS 大规模集成电路的意义；为什么系统设计者和逻辑设计者对它有这么大的兴趣；它有哪些优缺点；把它用在哪儿最为有利。

虽然 MOS 大规模集成电路可以用几种不同的方式来定义，但是在这本书里我们所指的是一块包含有许多互相连接的逻辑功能的硅半导体小片(die) [也叫芯片(chip)或阵列(array)]\*\*\*，有时候还包含有许多存贮单元。这些功能既可以复杂到自成一个完整的系统，也可以简单到只是一个复杂系统中的子系统的一部分。这个定义有意识地避免了这样一个倾向，即把一个 MOS 大规模阵列规定为必须包含一个确定数目的等效逻辑门或 MOS 晶体管的半导体小片。不过，在目前的大多数 MOS 大规模集成电路中，一般都包含有 100 个以上的逻辑门或者 400 个以上的 MOS 晶体管。这个数字看来在不久的将来还可能加倍。我们给 MOS 阵列所下的定义更偏重于这个阵列执行某些功能的能力。在过去为了执行功能是要把许多彼此分开的集成电路、部件(或模块)以及印刷电路相互连接起来的。这个定义把注意力集中在逻辑功能相互连接的重要性以及逻辑功能的本身。在以前使用封装好的逻辑功能时，需要进行大量的互连，而这样的互连既费钱又不十分可靠，因此减少这种互连的必要性，也是推动 MOS 大规模集成电路向前发展的一个主要因素。由于 MOS 大规模集成电路能够同时完成两个任务——互连和执行逻辑，这就使得以前不能以低廉造价来制造的新产品和新系统，现在都变得可以制造了。

\* MOS 是英文 Metal-Oxide-Semiconductor(即金属-氧化物-半导体)的缩写。——译者注

\*\* LSI 是英文 Large-Scale Integration(即大规模集成)的缩写。——译者注

\*\*\* 也叫作管芯。——译者注

## 1.2 MOS 大规模集成电路的发展

在已有二十年历史的半导体领域中，MOS 大规模集成电路虽然一直被人们看作是一项新技术，但是在实际上，关于 MOS 绝缘栅场效应晶体管(MOS FET, 有时为 IGFET)\* 的基本概念却比双极型晶体管出现得更早。但是只是在稳定的、可预测的和高成品率的制造方法最近被研究出来以后，MOS 大规模集成电路才能在今天成为现实。在这种方法研究出来以前，由于固体表面条件的控制不良和对它缺乏全面的了解，因此造成了成品率低和电性能不稳定的结果。

根据文献记载，早在三十年代初期，利连菲尔德(J. E. Lilienfield) 就曾企图试制一种能按场效应原理工作的有源固体晶体管。后来，海尔(Oskar Heil) 在一份 1935 年出版的英国专利中宣布了他的发明。但是第一个单极型或场效应晶体管的工作模型则是在贝尔电话实验室中研制出来的，在这个实验室工作的巴丁(Bardeen) 和布拉顿(Brattain) 于 1948 年发现了晶体管效应。这两位科学家曾经为了试图在一块锗片上调制通过点接触的电 流而进行了一系列的实验，正是在这一系列的实验中，他们观察到场效应。他们的发现为点接触晶体管和双极型结型晶体管的发明铺平了道路。这两种晶体管的基本工作原理是利用少数载流子注入的原理，而不是利用场效应(由多数载流子形成电流)的原理。从这以后，人们的注意力就开始集中在这两类双极型晶体管上，而场效应晶体管的研制工作实际上也就停止了。

1952 年，肖克利(Shockley) 介绍了一个用反向偏置结作控制极的场效应晶体管<sup>[2]</sup>，随后，达西(G. C. Dacey) 和罗斯(I. M. Ross) 制成了这样的结型场效应晶体管并进行了测试，他们并在 1955 年用解析方法研究了这种器件的极限性能。但是，由于缺乏稳定而可控的表面，早期试制 MOS 场效应晶体管的努力没有获得成功。

在六十年代初期，随着硅平面管工艺的发展，在半导体工艺中出现了一个重要的突破<sup>[3]</sup>。在硅衬底上生长、腐蚀、重生长一层氧化绝缘层的工艺，为人们提供了一种可能来获得稳定的表面以及能够以比以前高得多的精度来控制器件的实际尺寸。于是考虑用 MOS 场效应晶体管来实现当时用真空管来实现的、或者是用更昂贵的双极型晶体管来实现的那些功能，就变成一个现实的问题了。但是，电荷移动使电学性质变坏的问题，又使 MOS 场效应晶体管的试制工作受到了阻碍。不过，随着工艺的进一步提高，第一批既可靠而又能重复生产的分立的 MOS 场效应晶体管终于产生了。并且，在 1964 年，在制备了第一个一般的硅晶体管以后十年，即在发明了场效应晶体管概念三十多年以后，简单的集成电路也产生了。

在 1967 年以前，工艺控制问题曾经使所有 MOS 制造厂都遇到了困难。到了 1967 年左右，人们通过改进 MOS 的基本工艺以及在关键的工序上加强工艺控制，并采取使车间保持严格干净的环境等一系列措施，才提高了具有稳定工作性能的 MOS 电路的成品率。自从那时以来，由于有了制造经验，并研制出更好的生产设备、工具、及原材料，成品率才继续上升。

\* FET 是英文 Field Effect Transistor(即场效应晶体管)的缩写，IG 则是 Insulated Gate (即绝缘栅)的缩写。——译者注

MOS 工艺的性质本身, 以及大规模集成电路芯片的复杂性及尺寸限制, 要求人们采用高质量的硅晶片。提供硅的厂家不仅满足了这种要求, 而且为了降低制造成本还生产了直径更大的晶片(2 到 3 吋)。供给光刻设备的厂家为生产复杂的光刻掩模已研制出各种新设备, 这些设备具有为制造较大阵列所必须的尺寸控制和高分辨率。也有了更好的对晶片加工的设备, 例如在一系列光刻工序中为了提高精度所必需的设备。此外, 为了使半导体的制造获得高成品率所必不可少的许多其它方面的设备和材料也得到了改进。

除了在制造材料和设备的质量和方面都普遍有所提高以外, 关于半导体表面现象的认识也有了很大的提高, 因而使各个关键工序得到了改进。同时电路设计技术也得到了发展, 从而使 MOS 场效应晶体管的独特性能得到了更充分的应用, 这也是成品率能够继续上升的另一个因素。这些电路设计技术通常都倾向于既能减小电路和阵列的尺寸而又不损伤其性能。然后, 在六十年代末期, 采用了计算机来控制掩模版图 (artwork) 和光刻掩模 (photomask) 的制造, 这就使得尺寸刻划得更均匀了, 并且使得人们在复杂阵列中能够更多地采用经过验证的、预先设计好的基本电路。

在现有基本 MOS 工艺中, 应用最广的要算是金属栅 P 沟道工艺。图 1-1 所示的是 MOS 晶体管的一个截面。在这种晶体管中, 用来作为 MOS 晶体管管身或衬底的, 是一片轻掺杂的 N 型硅材料薄片(8 到 10 密耳)\*, 人们称这个薄片为晶片。在衬底表面通过有选择地扩散一种杂质而形成两个相隔很近的重掺杂 P 区(源区和漏区); 所扩散的这种杂质能够提供起多数电荷载流子作用的“空穴”。在源区与漏区之间的面积上盖有一薄层金属, 称作栅。在栅和衬底之间必须用一薄层(1000 到 1500 埃)二氧化硅来进行电绝缘。这样就可以用栅来作为 MOS 晶体管的控制极, 而且加上适当的偏压时, 就能在源区与漏区之间形成一个导电通路或沟道。如果在零偏压时就已经存在一个导电的沟道, 则称该

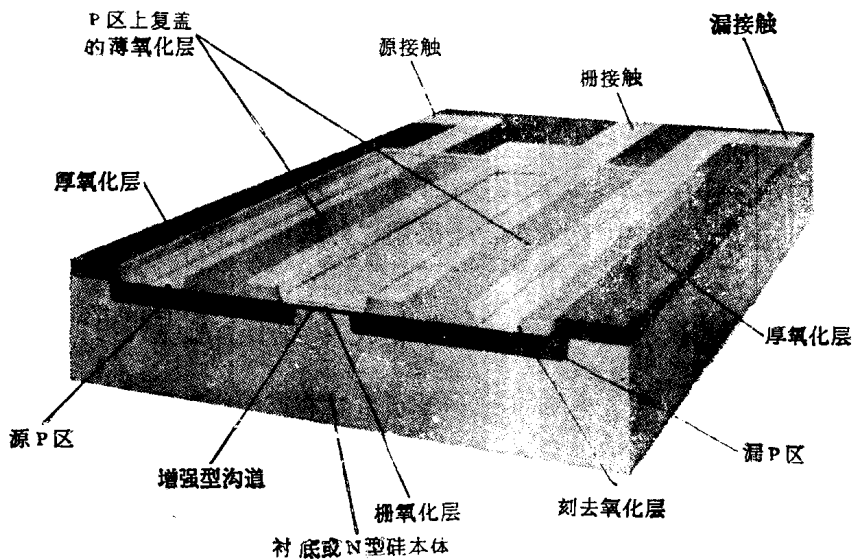


图 1-1 导通态 MOS 器件的截面图

\* 1 密耳=2.54 微米≈2.5 微米。——译者注

晶体管为“耗尽型”(depletion mode)\*。但是,如果 MOS 场效应晶体管在未加偏压时一般不导电,只是当对栅加以足够负的偏压时才形成沟道的话,则称该晶体管为“增强型”(enhancement mode)。因为用 P 沟道工艺最容易制成增强型,故在大规模集成数字电路中,一般都优先选用 P 沟道增强型 MOS。

刚好足够产生沟道的最小的栅电压值称为栅的阈电压\*\*,这个电压值与具体的制造工艺以及作为晶片来源的结晶取向是有关的。如果所加电压等于阈电压或较之更负一些,那么栅下的 N 型硅将转化成为基本上的 P 型,所以被称为 P 沟道。

因为栅与衬底、漏区和源区之间是电绝缘的,所以 MOS 场效应晶体管的输入电阻极高(室温下在  $10^{15}$  欧的范围),即使在高温,阻值也降低得非常小。在第二章中将对 P 沟道 MOS 场效应晶体管工作的物理原理作深入的分析并对其特性作详细的研究。在第三章中将详细地解释基本的 P 沟道工艺以及其它的 MOS 制造技术。

图 1-2 为通常用作表示一个 MOS 晶体管时所用的符号。因为本书中讲述的电路设计技术,对 P 沟道或 N 沟道的 MOS 场效应晶体管的大规模阵列都适用,故一般将采用图 1-2 c 中的符号。这里有一个默契,在用 P 沟道工艺制备的阵列中,管身或衬底是与电路中最高正电位相连的。任何用 P 沟道 MOS 场效应晶体管制成的电路,只要将电源连线及外部信号的极性加以反向,就能适用于 N 沟道晶体管。在本书中全都用源端作参考端,除特别说明外,这一端都接地。一般把输入信号加于栅电极,而输出信号则是从漏端接出。

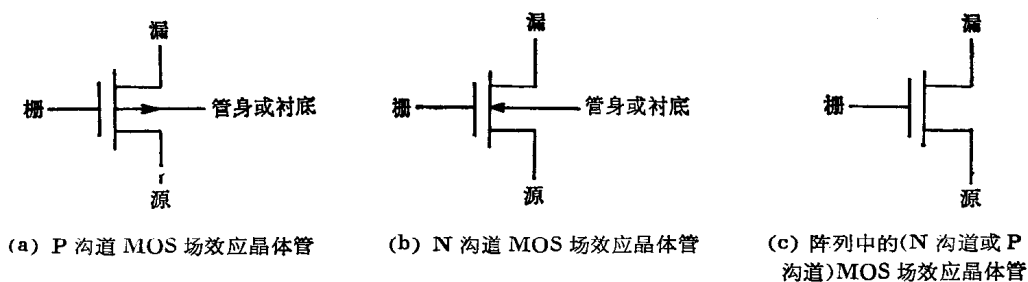


图 1-2 MOS 场效应晶体管的符号

MOS 场效应晶体管有一个重要的特点,即源区与漏区可以互换。如在第四章中将要证明的那样,在复杂逻辑电路中,常常会由于采用这种双通工作的特性而得到好处。

### 1.3 MOS 大规模集成电路的优点

对于许多整机厂来说,采用 MOS 大规模集成电路有两个主要的优点:既经济而性能又好。由于在很多系统中成功地采用了 MOS 大规模集成电路,MOS 在经济上的优点是公认了的,特别是大量生产时更是如此。但是,关于 MOS 电路性能优越的说法,特别是对双极型晶体管工艺的拥护者来说,肯定会引起争论。所以,必须注意把系统的性能较

\* “depletion mode”中的“mode”这个字,直译应为“模式”,但一般已习惯用“耗尽型”和“增强型”,所以把“mode”译为“型”。在本书的另一一些地方,有时又把它译作“方式”[例如“失效方式”(failure mode),“工作方式”(operation mode)];或译作状态[例如“求值状态”(evaluation mode)]。——译者注

\*\* 通常又称作“开启电压”。——译者注

优和晶体管电路本身的性能较优这两件事区分开。的确,如果把今天的 MOS 场效应晶体管拿来和对等的双极型晶体管进行比较的话,那么, MOS 阵列受到的主要的限制是速度较低。把两个主要的优点进一步细分为如下几个项目,并在随后的几节中进行详细的分析。

- 经济因素:

- a. 由于可靠性较高和维修费用较低,所以系统用户所花的费用就较少。
- b. 系统的初始成本较低。
- c. 由于工艺较简单而尺寸又小,所以复杂阵列的成本低。
- d. 设计步骤可能自动化。

- 性能因素:

- a. 用相同的费用可以设计出性能较优的系统。
- b. 系统的可靠性较佳,维修费较低。
- c. MOS 大规模集成电路的性能易于预计。

### 1.3.1 经济上的优点

#### 可以降低系统用户的费用

在一个系统中采用了 MOS 大规模集成电路时,由于可以提高系统的可靠性,并能减少维修费用,所以可以降低系统用户的费用。虽然在购买一个系统的价格中,一般并不把可靠性和维修费用当作成本核算的项目,但在分析一个系统在其使用寿命期间的实际费用时,可靠性和维修问题却是必须考虑的重要因素。因为大多数能够使可靠性和维修问题得到改进的因素,同样也是使性能得以提高和费用得以降低的因素,所以我们将讨论性能因素时对这些方面作详细的分析。

#### 成本较低

用 MOS 大规模集成电路设计的系统,比起用复杂性较低的标准集成电路(IC)\*以及用一般的连线、封装和组装技术制成的系统来,在成本上可能要低得多。成本之所以能降低,主要是由于半导体电路数大大减少了,因而连线、印刷电路板、连接器、母板、封装等等的数目也大为减少了的缘故。电路数的减少能使系统的组装和检验简化,因而使劳动力的耗费大为降低。在这些方面节省的综合效果是降低了每功能的成本,这也就是 MOS 电路的主要优点。

MOS 大规模集成电路系统中的连线数较少这一特点,在能降低成本和提高系统可靠性的各单个因素中,也许是最重要的一个因素,因为用一单片 MOS 复杂阵列能够代替许多片一般的集成电路及有关的连线。虽然,自从五十年代后期在系统中第一次采用半导体以来,有源电路每功能的成本已大大降低,但连线部分的成本仍然占相当重的分量。张<sup>[4]</sup>曾经引证研究结果指出:采用高度自动化技术和大量生产方法把电路中的两个端点牢固地连接起来的成本最低为五美分;但在小量生产而又要求高度可靠的设备中把两点

\* IC 是英文 Integrated Circuit (即集成电路)的缩写。——译者注

连接起来的成本则高达一美元以上。与此不同的是，如果在集成电路上采用光刻技术把两点互连起来的成本则可能低到仅仅是一美分的千分之几。既然在连线成本上存在着这样大的差距，那么，即使不考虑可靠性问题，单是经济上的原因也足以推动人们采用复杂阵列了。

从张<sup>[4]</sup>的文章中引用的图 1-3 说明了这样的情况：在系统中从采用晶体管（及其它分立部件），进展到采用一般的集成电路，最后到采用复杂的大规模集成电路，系统制造的总成本是逐年降低的。我们看到，系统中采用的复杂半导体愈多时，则连线部分的成本也降低得愈大。但是，无论在系统中采用的是哪一代的半导体技术，随着时间的推移，半导

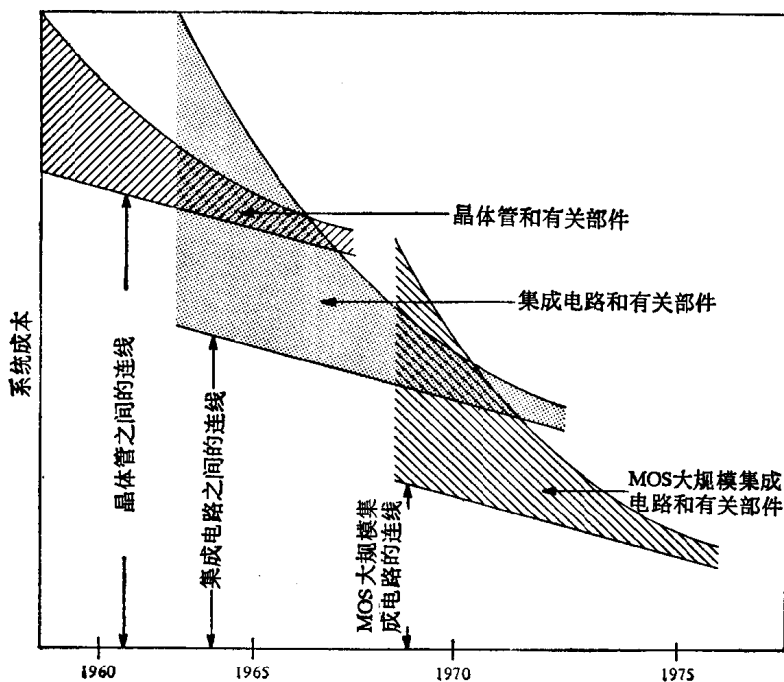


图 1-3 系统成本与集成度的函数关系(引自张<sup>[4]</sup>)

体的成本将逐步减少到只占系统总成本的一个很小的百分比。在过去，可以认为，对于每一代半导体来说，由于产品“成熟”了，使用量大了，所以就能使成本降低。但是使用前两代半导体时大多数是标准产品，而大多数的 MOS 阵列为定制产品，所以这种成本降低的趋势也许不再存在。不过，大多数由 MOS 大规模集成电路的标准产品组成的存贮系统，可能还会沿着这种成本降低的历史老路向前发展。

表 1-1 金属栅 P 沟道 MOS 和双扩散外延双极型制造工艺的比较

	MOS	双扩散
扩散次数	1	4 + 外延
工艺步数	38 到 45	130
高温工艺次（步）数	2	10
光刻次（步）数	4 或 5	8



重要的是要认识到这样一个事实,即在现有系统中,如果只是用 MOS 阵列来代替一般的集成电路和分立的半导体电路,这并不一定能使这个系统的成本降低。因为象在后面第六章中将要讨论的那样,如果不作重要的重新设计,就只有很少的现有系统能有效地利用 MOS 大规模集成电路。

### 工艺比较简单

与双极型集成电路的工艺相比,由于 MOS 阵列采用了较简单的、标准化了的制造工艺,所以成本就相对地降低了。表 1-1 列出了关于两种基本制造工艺的比较。

沃纳(Warner)<sup>[5]</sup>所作的一个类似的比较说明,如果把所有的因素都考虑到,那么,双极型制造工艺比 MOS 工艺要难百分之三十。但是,如果只把大规模集成电路所要求的 MOS 工艺拿来和所要求的双极型工艺相比较,那么,上述这个差异是低估了。虽然双极型大规模集成电路可能也和 MOS 大规模集成电路一样,要求在两个水平层上进行互连,不过双极型工艺会牵涉到更复杂的问题。因为除了有时候作为连线而安排的扩散电阻以外,双极型电路至少还要多进行两次光刻,以及一些额外的工序,例如氧化淀积、腐蚀、合金,等等。我们即将证明,MOS 工艺与双极型工艺不一样的是,它并不要求附加的工艺来提供两层的连线。

如表 1-1 所示,在 MOS 工艺中,重要工艺的步数,特别是高温扩散的次数和光刻次数大大地减少了。因此,MOS 阵列的成品率大大地超过了功能复杂性与之相当的双极型芯片的成品率。更为重要的是,无论要制造的是什么样的阵列,MOS 工艺本身都可以保持恒定不变。在 MOS 工艺中,是通过改变 MOS 场效应管的几何设计来改变电路的性能的,而不是象在双极型技术通常所作的那样,通过改变工艺(扩散源,扩散时间和扩散温度)来改变性能的。每种阵列,即令是一种订制的设计,也可以从供给者积累的制造经验中获得好处。更实际一点的估计是,双极型工艺大约比标准阈值电压金属栅 MOS 工艺要困难百分之五十。

### 电路尺寸较小

MOS 大规模集成电路能使每功能的造价下降的另一个重要原因是,非常复杂的 MOS 阵列的尺寸,相对说来是比较小的,因为成品率与芯片面积成反比,这就意味着芯片的成本较低,因而最终售价较低。MOS 阵列的尺寸之所以小,是由几方面的因素造成的: 每个 MOS 场效应晶体管所占用的面积小(典型值约一平方密耳); 采用有源 MOS 负载电阻器来代替较大的扩散电阻; 而且,工艺较简单。

沃纳<sup>[5]</sup>的研究所说明的典型情况是, MOS 电路的面积比功能相似的双极型电路的面积要小百分之二十。沃纳认为, MOS 阵列显示出的小尺寸的优点,部分原因是由于为了获得给定的电路功能所要用的元件较少,而且所要求的金属与硅之间的连接也较少。在阵列愈来愈复杂的情况下, MOS 电路的这个优点也将愈来愈显著。

比较简单的 MOS 工艺至少在三个方面有利于减小尺寸。第一,由于减少了光刻、扩散及腐蚀的步骤数,因此,在一个 MOS 阵列的整个工艺流程中,在积累的允许误差上耗费的面积就小一些。第二,在双极型晶体管中需要采用隔离结或“井”,而在 MOS 场效应晶体管中则无此要求。由于形成隔离深井,要求采用长时间的扩散步骤,因而会出现较宽的