

(美) R. R. 特劳特曼 著

CMOS 技术中的闩锁效应

问题及其解决方法

微电子学系列

科学出版社

387351

CMOS 技术中的闩锁效应

——问题及其解决方法

〔美〕 R. R. 特劳特曼 著

嵇光大 卢文豪 译

刘忠立 程玉华 校



科学出版社

1996

(京)新登字 092 号

2237117

内 容 简 介

CMOS 技术已成为微电子技术中的主导技术,而闩锁效应一直是影响 CMOS 器件可靠性的严重问题.本书是第一本有关闩锁问题的专著.全书可分为三部分.内容包括闩锁问题结构上的起因、各种触发方式及其分类;PNPN 结构的集总元件模型、闩锁判据、安全工作区、传输线模型,以及闩锁特性的测量和如何防止闩锁的发生等.

本书侧重介绍闩锁的起因、物理机制和模型,以及避免闩锁的保护措施,因而具有较强的实用性.本书既可作为从事微电子学研究、设计的科技人员参考,也可作为大专院校电子工程、半导体专业师生的参考书.

R. R. Troutman

LATCHUP IN CMOS TECHNOLOGY

The Problem and Its Cure

Translation and Adaptation of the first English language edition

Copyright 1986 by Kluwer Academic Publishers

Boston, Massachusetts, USA

Translated by Science Press, Beijing China

CMOS 技术中的闩锁效应

——问题及其解决方法

[美] R. R. 特劳特曼 著

路光大、卢文豪 译

刘忠生、程玉华 校

责任编辑 魏 玲

科学出版社出版

北京东黄城根北街16号

邮政编码: 100717

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

1996年4月第一版 开本: 850×1168 1/32

1996年4月第一次印刷 印张: 7

印数: 1-1500

字数: 173 000

ISBN 7-03-004857-1/TP·471

定价: 16.00 元

序言 本书的写作缘由

闩锁现象一直是并将继续是影响 CMOS 器件可靠性的一个潜在的严重问题。随着优越的 CMOS 技术成为超大规模集成 (VLSI) 的主导技术, 尤其是硅片上线条的尺寸日益减小和缺陷密度越来越低, 使得寄生双极晶体管的特性不断改善, 闩锁问题也就愈来愈成为人们普遍关心的问题。虽然有许多成功的产品在市场上销售, 但闩锁问题仍然是个需要专门研究的问题。尽管避免闩锁效应的一些技术以前已被人详细说明, 但几乎没有关于闩锁问题的定量计算。现在需要更普遍、更系统地研究闩锁问题。由于 CMOS 工艺种类繁多和对闩锁问题研究的长期性, 需要有一些全面的指导原则。

对各种可能的触发机制的分析研究, 是真正了解闩锁问题的关键。本书回顾了各种触发机制的起因及其对寄生结构的影响, 并对各种触发机制按照新的分类方法进行分类。在第一类触发中, 寄生双极晶体管中的一只已被外界触发源导通, 若其集电极电流足够大, 第二只双极晶体管也将被导通。在第二类触发中, 外界源引起电流通过两边的旁路电阻, 若其电流足够大, 则旁路电流将使第一只晶体管导通, 然后其集电极电流提供使第二只晶体管导通的旁路电流。在第三类触发中, 在寄生双极晶体管导通前, 外界源已产生一低阻抗通路, 破坏了阻塞状态。这种分类有助于闩锁模型的建立和表征的系统化。

在技术文献中闩锁模型还没有被很好地开发, 关于闩锁问题也几乎没有统一、明确而又广泛应用的判据。现有的资料大多是不完整的, 甚至是不正确的。例如用于寄生 PNP 结构的集总元件模型虽然早在 10 多年前就提出来了, 然而用集总元件模型来全面分析闩锁问题的文献却不多见。此外, 文献中有关闩锁问题的

理论分析大多只停留在一个保持电流方程式上，当将其应用到保持点时，其概念是不正确的，计算的数值也是不准确的。本书第一次提出了保持电流的正确表达式，如同保持电压表达式一样，能够全面解释实验上观察到的特性。然而，我们认为用开关转换点来描述闩锁现象要比用保持点来描述显得更容易，而且更有实际意义。我们引入了一个新的微分闩锁判据，它可以精确描述PNPN脱离阻塞状态的开关转换。无需拟合参数就能够用于任何PNPN结构，并且可以准确地给出开关转换电流。这个新的微分闩锁判据还严格定义了阻塞状态的开关转换边界，并且用简单的例子加以图解说明。

如何计算等效集总元件的数值一直是不够明确的，尤其是衬底中的各种电阻，因为这里的电流通常是二维的。我们认为把衬底电阻看成传输电阻要比看成两端元件更便于描述。各种情况下的传输电阻值可以用有损耗的传输线模型来求得，这对于了解衬底中的电压和电流分布也是有用的，而且传输线参数也很容易和衬底掺杂分布及有关版图设计尺寸联系起来。

闩锁特性的表征和闩锁模型相比，其标准化程度更差一些，对闩锁的正确测量及实验数据的解释，几乎还没有一致的意见。闩锁特性的表征技术是从先前的对半导体可控整流器(SCR)所做的工作发展起来的，这些工作是利用结的雪崩击穿和外加控制栅来触发闩锁的。然而当一个电流源用作栅触发时，它将使PNPN结构从四极管变成三极管，可是测量三极管的开关转换电流和保持电流并不是总能代表四极管特性的。四极管的开关电流可以采用参数测量分析仪，在其中一个发射极上加电流源直接进行测量，这样测得的结果与新的微分闩锁判据非常一致。

因为PNPN结构中的每一个寄生双极晶体管都有一定的响应时间，当加一持续时间很短的激发时，离开阻塞态的开关转换就需要更强烈的激发。了解这点对于我们定量描述实际工作中遇到的触发条件是重要的。当然关键问题是，要知道瞬时激发能否把动态工作点移到安全区的开关转换边界上。

让 CMOS 电路只工作在安全区, 闩锁是可以避免的, 这可通过版图设计规则和工艺技术, 或两者相结合的各种措施来实现. 我们以一种新的发展的观点来评价以前的一些措施, 这将有助于设计人员去判断这些措施的实用性. 同时我们还讨论各种保护结构, 并且对它们的各种形式进行了比较.

用工艺技术来防止闩锁是把寄生双极晶体管的特性破坏掉, 或者是把寄生的 NPN 和 PNP 间相互耦合作用去除掉. 虽然两者都在一定的程度上取得了成功, 但去除耦合的方法与目前的 CMOS 技术有更好的兼容性, 因而得到了更为广泛的应用. 本书推荐了一些专门的去耦方法, 并且讨论了它与通常的 CMOS 设计考虑有关的一些问题.

只要切实地注意加工工艺和版图设计规则, 即使在微米和亚微米的光刻尺寸范围内, CMOS 也不会出现闩锁现象. 本书就是要讨论如何应用这些规则, 从而把所有寄生的 PNP 器件限制在安全区之内.

致 谢

许多有关死锁的文章和报告为本书的写作提供了帮助。我在本书中每一页都仔细地引证了那些特别有贡献的技术参考文献，但是并不打算把所有的参考文献全部列出。（当然也不可能全部列出来）。关于消除死锁问题，我非常高兴和从事这方面工作的同事们进行了许多有价值的讨论，并从中受到启发，他们慷慨提供的资料提高了本书的水平。其中我要特别提到的是 H. Zappe 和 I. Leventhal，他们的论文丰富了有关死锁的技术文献，另外还有 W. Craig, M. Hargrove, G. Hu, W. Lynch, D. Nelsen, A. Ochoa, R. Rung 以及 C. Sodini 等人也给了我很大的帮助。

我也要感谢 P. Chatterjee 邀请我在 1983 年的半导体器件研究年会上作了关于死锁问题最新发展的报告，该报告的文稿为本书奠定了基础。1984 年我为几次死锁问题研讨会准备的资料，以及应 Viswanathan 教授和 J. Chen 教授的邀请，在 1984 年 6 月和 1985 年 1 月于洛杉矶加州大学作了两次短期讲座，使文稿得到了进一步充实。应 R. Davies 的邀请，对文稿作了些删节后发表在 1984 年度的 IEDM 上。

我还要感谢 IBM 公司，特别是 W. T. Siegle 和 J. Hildebeitel 经理，给我在麻省理工学院（MIT）一年工作假期，在此期间我完成了本书的主要部分。我要特别着重感谢 IBM 公司剑桥科学中心的 C. Tillman 和 R. Reynolds 耐心帮助使用 QPRINT 和转移数据文件。最后我还要感谢 B. El-Karen 和 B. Bombard 适时的建议并帮助我完成了本书的最后准备工作。

目 录

序言：本书的写作缘由	(v)
致谢	(viii)
第一章 引言	(1)
1.1 CMOS：崛起的 VLSI 工艺	(1)
1.2 闩锁的预防：历史的分析	(3)
1.3 VLSI CMOS 中的闩锁：一个需要继续关心的问题	(4)
第二章 闩锁的概述	(6)
2.1 结构上的起因和集总元件模型	(6)
2.2 举例——悬空 N 阱结构中的闩锁问题	(14)
第三章 闩锁问题的描述	(21)
3.1 阻塞态和闩锁态	(21)
3.2 闩锁产生的必要条件	(22)
3.3 触发方式	(22)
3.3.1 输出节点的上冲/下冲	(22)
3.3.2 输入节点的上冲/下冲	(23)
3.3.3 N 阱结的雪崩击穿	(24)
3.3.4 从 N 阱到外部 N 型扩散区的穿通	(25)
3.3.5 从衬底到内部 P 型扩散区的穿通	(26)
3.3.6 寄生场区器件	(27)
3.3.7 光电流	(30)
3.3.8 源-漏结雪崩击穿	(30)
3.3.9 位移电流	(31)
3.4 触发方式分类	(31)
3.4.1 第一类：第一个双极型晶体管的外部触发	(31)
3.4.2 第二类：两个双极型晶体管的正常旁路电流触发	(32)
3.4.3 第三类：两个双极型晶体管的退化旁路电流触发	(32)
3.4.4 闩锁顺序和分类总结	(33)
第四章 闩锁模型及分析	(34)

4.1	早期的闩锁模型	(35)
4.1.1	钩形集电极晶体管	(35)
4.1.2	半导体可控整流器	(37)
4.2	PNPN 集总元件模型的发展	(42)
4.2.1	电阻元件	(44)
4.2.2	寄生双极型的行为	(45)
4.2.3	早期的闩锁判据	(46)
4.3	闩锁的物理分析——一个新方向	(49)
4.3.1	半导体的电流关系式	(50)
4.3.2	静态闩锁的判据：一个不正确的选择	(52)
4.3.3	微分闩锁判据：稳定性问题	(52)
4.3.4	大注入效应	(56)
4.4	安全区——阻塞态的严格定义	(57)
4.4.1	对称 PNPN 结构	(59)
4.4.2	N 阱悬空的三极管	(60)
4.4.3	衬底悬空的三极管	(61)
4.4.4	普通四极管	(62)
4.5	饱和区模型——一个新观点	(66)
4.5.1	电流方程	(66)
4.5.2	微分电阻	(68)
4.5.3	保持电流	(69)
4.5.4	保持电压	(71)
4.6	闩锁的图解说明——触发类型 2	(71)
4.6.1	样品分析	(72)
4.6.2	安全区图和开关转换电流	(77)
4.7	集总元件模型的修正——一个有用的前景	(80)
4.7.1	闩锁的传输线模型	(81)
4.7.2	传输电阻	(85)
4.8	动态闩锁效应	(91)
4.8.1	闩锁与时间关系的来源	(91)
4.9	模型和分析综述	(100)
第五章	闩锁特性的测量	(103)
5.1	测量仪器	(103)
5.1.1	曲线示踪仪	(104)
5.1.2	参数分析仪	(109)

5.2 两端特性的测量	(111)
5.2.1 电源过压应力	(111)
5.2.2 电源过流应力	(115)
5.3 三端和四端特性的测量	(115)
5.3.1 发射极或基极端外加电压激发	(116)
5.3.2 旁路电阻端的电流源激发	(118)
5.3.3 发射极端的电流源激发	(119)
5.4 开关转换点特性的测量	(122)
5.5 保持点特性的测量	(133)
5.6 动态触发	(138)
5.7 温度关系	(144)
5.8 非电探针测量	(144)
5.9 闩锁特性测量的总结	(146)
第六章 闩锁的防止	(148)
6.1 版图设计布局规则	(148)
6.1.1 保护结构	(148)
6.1.2 多条阱接触	(155)
6.1.3 衬底接触环	(155)
6.1.4 紧邻源极接触	(156)
6.2 破坏双极特性的工艺技术	(157)
6.2.1 减小寿命	(157)
6.2.2 基区的减速场	(158)
6.2.3 肖特基势垒源-漏极	(160)
6.3 双极型去耦工艺技术	(163)
6.3.1 外延 CMOS	(163)
6.3.2 较低薄层电阻的退化阱	(166)
6.3.3 衬底和阱的偏置	(166)
6.3.4 深槽隔离技术	(169)
6.4 CMOS 的设计考虑	(172)
6.5 无闩锁的设计	(173)
6.5.1 纵向寄生管去耦 (DVP)	(174)
6.5.2 横向寄生管的去耦 (DLP)	(176)
第七章 总结	(178)
7.1 问题的描述	(178)

7.2 模型和分析	(179)
7.3 特性的测量	(182)
7.4 避免闩锁发生	(184)
附录 A PNP 器件的电流-电压特性测量的稳定性研究	(188)
附录 B 闩锁测量可能存在的问题	(191)
符号说明	(194)
参考文献	(200)
汉英名词对照	(207)

第一章 引言

闢锁效应用于体 CMOS 是至关重要的问题. 这种效应产生于体 CMOS 结构所固有的寄生双极型晶体管, 这些晶体管会被许多方式所激活. 而且, 随着 CMOS 工艺尺寸的按比例缩小和电路延迟时间的缩短, 各种引起激活的因素将逐渐增强, 在一定的条件下, 这些被激活的晶体管将决定电路的性能. 但是若采用适当的加工工艺和版图设计, CMOS 芯片可工作在相对苛刻的条件下而不会出现闢锁现象. 怎样才算是“适当”呢? 这和 CMOS 电路的应用条件 (如芯片的类型、它的性能、封装, 以及可允许的成本等) 有关. 本书中我们将描述闢锁现象, 并提供一些有用的分析、特性的表征和避免闢锁的技术, 以便在各种应用中采取“适当”的措施避免闢锁现象发生.

本书将全面地考察 CMOS 工艺和设计中的闢锁效应. 为此, 我们首先阐述 CMOS 技术何以会成为最重要的超大规模集成 (VLSI) 技术, 然后回顾一下闢锁防治的历史沿革, 在本章的最后我们将讨论为什么在 VLSI CMOS 中必须特别重视闢锁效应.

1.1 CMOS: 崛起的 VLSI 工艺

虽然早在 1962 年 CMOS 就被提出来了 [Sah-62], 但其早期的发展基本上被局限于某些特殊应用领域. 其中之一就是电子手表和计算器, 在这类应用中, 低的功耗和优良的噪声容限至关重要. 另一类应用是人造卫星和导弹用的电路, CMOS 的重要性在于它能抗相当高强度的辐射. 在蓝宝石上制作的 CMOS 电路特别适用于人造卫星和导弹上的应用. 在这类电路中, N 沟和 P 沟 FET 相互间介电隔离, 因而不会出现闢锁. 但由于它是制作在价

格昂贵的蓝宝石衬底上,并且漏电特性较差,因而没有得到广泛的应用。本书中所使用的名词“体 CMOS”,均指在硅衬底上制作的 CMOS,包括在生长在硅衬底上的硅外延层上制作的 CHOS 电路(即 epi-CMOS)和直接做在硅衬底上的 CMOS 电路。

由于在这些应用中,性能和封装密度不是主要考虑的因素,因此这一时期 CMOS 的光刻和制造技术一般落后于 NMOS 和双极工艺。但是近几年来,CMOS 已经成为重要的半导体器件工艺,许多迹象表明,到 1990 年,集成电路市场的一半将被 CMOS 工艺所占领 [Davies-83]。

发生这一变化的主要原因有两个:(1)双极型和 NMOS 工艺在许多应用领域中的进一步发展受到功耗的限制。(2)NMOS 工艺已逐渐复杂化,而精巧的 CMOS 技术如场区自对准及无掩模源/漏注入技术的开发,使它的制造成本大体上和 NMOS 相等。此外,CMOS 能满足电路各种变化要求的独特性能,这对芯片设计者格外具有吸引力。

长期以来,CMOS 低功耗的优点已为人们所公认,在功耗受限制的给定封装内,用 CMOS 技术能容纳更多的电路。与双极型甚至与 NMOS 技术相比,由于在一定的封装内,CMOS 可容纳更多的电路,从而减少了封装的接口,使系统设计者能获得更好的系统性能。因为不需要冷却风扇和减小了电源的尺寸,CMOS 可以降低系统的造价。

CMOS 另一个重要的优点是无比例的逻辑设计,其逻辑摆幅在电源电压和地电位之间,这使得在选择电路的电源电压时,CMOS 技术具有更大的余地。当选用大于标准电压的电源电压时可获得更好的电路性能,而在 CMOS 工艺按比例缩小,通过改进光刻工艺和制造技术,从而提高了电流密度时,又可选择较低的电源电压。全电压摆幅也减小了对芯片外驱动器和芯片上驱动器(如存储器芯片上的字线驱动器)自举的要求。

CMOS 的又一个优点是具有大的噪声容限,这是因为逻辑门中的导通器件具有相对低的阻抗通路和反向偏置的阱。后者对存

贮器芯片的设计者特别重要,因为它有抗 α 粒子的保护作用.这种保护对于低电容存贮节点——它与高密度存贮单元相联系——是十分必要的.当器件尺寸按比例缩小原则进行减小时,大的噪声容限使得减小电源电压成为可能.

CMOS 技术中,因工艺的容差引起的器件参数变化比 NMOS 要小,这一特点对于运算放大器特别有吸引力.用 CMOS 设计模拟电路也是有利的,双向开关(由 N 沟和 P 沟 FET 并联组成)中不会因体效应对 FET 阈值电压的影响而引起电压损失.由于 CMOS 技术的多方面的优越性,使它成为数字电路、模拟电路以及在同一芯片上构成数字、模拟组合电路的首选技术.

1.2 闩锁的预防:历史的分析

在 CMOS 成为 VLSI 关键工艺的同时,已经开始研究一些控制闩锁的技术.[Estreich-80] 中介绍了早期的研究工作,近期的研究结果汇总在 [Troutman-84b] 中.闩锁一直是体硅 CMOS 技术的一个潜在的严重问题,随着器件尺寸的不断缩小,这个问题更加突出.

体硅 CMOS 中的闩锁效应起因于寄生 NPN 和 PNP 双极晶体管形成的 PNPN 结构——在阱内形成的纵向双极型晶体管和衬底上形成的横向双极型晶体管,这两只晶体管接成一对,反向偏置的阱-衬底结是两个晶体管的集电极.

若能使两只晶体管的小信号共基极电流增益之和小于 1,闩锁就可防止.通常有两种避免闩锁的方法,一是将双极型晶体管的特性破坏掉,二是将两个双极型晶体管间的耦合去掉.所有防止闩锁的技术均为这两者之一.第一种方法是通过改进 CMOS 制造工艺,用减少载流子输运或注入的方法来达到破坏双极型晶体管作用的目的,例如,用掺金、中子辐照、形成基区阻碍电场以及形成肖特基源/漏势垒等.第二种方法是使双极晶体管间去耦,防止一只双极管导通另一只双极管,这可通过版图设计和工艺技术来实现.

版图设计去耦技术包括采用紧邻接触、加多数载流子保护环和少数载流子保护环等措施. 工艺技术去耦包括在重掺杂的衬底上生长轻掺杂的外延层、反向(退化)阱及深槽隔离等方法.

选择去耦技术来控制闩锁是基于这样的现实: 近几年, 技术的发展已能提供具有长寿命少数载流子的工业用的硅片, 许多集成电路产品的性能, 例如 DRAM, 都强烈地依赖于高质量的硅圆片. 除此之外, 集成电路制造工艺发展的必然趋势是缩小横向工艺尺寸, 一般说来, 这也就减小了双极晶体管的基区宽度, 因而破坏双极晶体管特性的努力是与集成电路工业的发展趋势和基本性质背道而驰的. 这就是为什么最近人们都尽力通过使用双极型晶体管间去耦的方法实现对闩锁效应的控制. 事实上, 人们逐渐认识到, 一旦双极型晶体管去耦技术完善起来, 就应该把那些寄生的双极型器件也补充到芯片设计者的工具库中去.

目前, 几乎所有的采用 $2\mu\text{m}$ (或更小) 光刻工艺的体硅 CMOS 技术, 都是在重掺杂的衬底上生长的轻掺杂外延层上制作器件的 (外延 CMOS). 它们全都采用某种形式的保护环以避免闩锁 (尽管采用保护环的一些规则, 还远远没有统一). 有一些技术报告是采用反向 (退化) 阱的工艺来避免闩锁的. 可以肯定, 今后控制闩锁效应的主要技术趋向是寄生双极型晶体管间的去耦.

1.3 VLSI CMOS 中的闩锁:

一个需要继续关心的问题

虽然当今的 CMOS 工艺已能够在一定程度上防止闩锁的发生, 但对于未来的 CMOS 工艺, 这个问题的解决将更加困难. 几何尺寸的缩小意味着减小了寄生双极晶体管的基区宽度, 这必然要求有更完善的去耦方法. 图形间隔的缩小将会使器件的隔离变得更加困难, 同时也增加了穿通和场区 FET 触发的可能性, 并使阱内横向双极晶体管的作用增强. 另外降低阱和外延层的掺杂浓度, 虽然有利于减少源-漏的电容, 但却使上述那些闩锁问题更趋于恶化.

尽量减小 N^+-P^+ 间隔对于某些 CMOS 电路，例如六管静态 RAM 单元电路，是非常重要的。认真地注意阱横向边界上的杂质分布，可能是未来解决隔离问题的途径之一。由于浅阱减小了横向扩散，因而阱区耗费的面积比较小，并且阱边缘自对准场区注入可将阱区面积减到最小。深槽隔离是另一条可行的途径。当槽的深度等于或大于阱的深度时，就可防止电流流入或流出阱的横向边界。不过这些方法都会增加工艺的复杂程度，所以在决定是否采用这些方法来控制闩锁时，仍需要进行详细的研究，权衡利弊进行综合考虑。

此外，随着 CMOS 产品设计的范围不断扩大，在 I/O（输入/输出）接点处，与高速开关动作有关的问题是更多芯片设计者必须关心的问题。既要努力避免瞬变时的上冲和下冲，又要遵从规定的设计程序，防止在瞬变时引起闩锁。这个问题对 CMOS 尤其尖锐，因为只有开关转换时 CMOS 才有电流，仅当每个时钟周期极性改变时才引起感应电压。

在 VLSI CMOS 中我们已明显地注意到小尺寸对器件特性的影响。例如，较小的基区宽度意味着有较大的双极晶体管增益，因而横向器件的作用将会大大增加。较小尺寸又会增加穿通和寄生 FET 触发的机会。但是，对于动态存储器（它推动着 VLSI 工艺的发展）所需要的长寿命少数载流子将导致双极型器件特性的改善，这一点，或许人们并没有给予足够的重视。

最后一个重要的，有时也是被忽略的问题是，无论采用哪种解决闩锁问题的方法，它们均应适用于各种 CMOS 电路设计——数字的和模拟的；动态、静态及可编程存储器；门阵列、标准单元以及用户定制的逻辑电路。这些方法应适用于大批量生产而不显著增加制造费用，而且，这些方法所允许的最小 N^+-P^+ 间隔又能用光刻工艺来实现。

对 VLSI CMOS 来说，闩锁是一个富于挑战性的问题。在后面的章节里，我们将阐述闩锁问题，讨论如何表征闩锁特性，如何建立模型，以及最重要的问题——如何避免闩锁。本书的目的就是探讨解决闩锁问题的方法。

第二章 闩锁的概述

若 CMOS 电路只工作在安全区,就不会发生 闩锁. 安全区是一个神秘的区域,在考察它的区域边界、区域内部及相邻区域之前,我们应该先简单了解一下该区域的大概情况.

本章主要描述 闩锁效应在结构上的起因,并介绍通常用于分析 闩锁行为的集总元件模型. 我们以一个 N 阱悬空的 PNPN 结构作为特例来说明 闩锁的判据及 闩锁发生时的渡越状态边界顺序.

2.1 结构上的起因和集总元件模型

闩锁效应隐含于形成体硅 CMOS 的结构之中. CMOS 工艺既要有 N 沟 FET 又要有 P 沟 FET,这就必须要有 N 型和 P 型两种衬底材料. 制作器件时,通常是将一种导电类型(如 P 型,见图 2.1)的硅圆片作为原始衬底,然后在其上形成若干个导电类型相反的区域. 在早期的 CMOS 工艺中,先将圆片的若干个区域曝露出来(注:可在氧化层上开窗口),再用扩散或离子注入的方法,将一种和原始圆片掺杂类型相反的掺杂剂,按照一定的浓度要求,掺入被选择区域,并使其达到 2 到 $5\mu\text{m}$ 的规定深度. 硅衬底上掺有相反类型杂质的,导电类型相反的区域称之为阱或槽. P 沟 FET 是制作在如图 2.1 所示的 N 阱中,而 N 沟器件则直接做在 P 型衬底上. 不幸的是,这样做的结果不仅仅是制作了 FET 结构,同时也形成了由寄生双极晶体管构成的 PNPN 器件.

首先,由 P^+ 源-漏扩散区和 N 阱及 P 型衬底构成了纵向 PNP 双极型晶体管,当正向偏置时,任一 P^+ 扩散区都可作为发射区,将空穴注入 N 阱基区. 而 N 阱和衬底构成的反向偏置结,则收集那些未被复合的空穴. 其次,由 N^+ 源-漏扩散区和 P 型衬底及 N 阱