

高速 GaAs 集成电路

GAOSU GaAs
JI CHENG
DIAN LU

史常忻 等 编著

上海交通大学出版社



高速 GaAs 集成电路

史常忻等 编著

上海交通大学出版社

内 容 提 要

本书系统地介绍了超高速GaAs集成电路的工作原理、CAD技术、电路设计和各基础工艺。适宜于从事该领域的研究、生产人员阅读。也可作为有关学科的教学参考书。

高速GaAs集成电路

出 版：上海交通大学出版社
(淮海中路1984弄19号)
发 行：新华书店上海发行所
印 刷：立信常熟印刷联营厂
开 本：787×1092(毫米) 1/16
印 张：13
字 数：330,000
版 次：1991年 1 月 第 1 版
印 次：1991年 1 月 第 1 次
印 数：1—1,600
科 目：238—295
ISBN7-313-00786-8/TN·4
定 价：7.50元

前 言

GaAs材料在电学和光学方面的优异性能,使它在超高速微电子学和光电子学领域中日益崭露头角。特别是在超高速数字集成电路中,GaAs集成电路作为Si集成电路的发展和补充,把现代化电子技术推向一个新水平。十多年来,美国、日本等国家均投以相当的力量研究、开发,并取得瞩目的进展。我国于“六·五”期间,在GaAs器件研究的基础上,也开展了这一领域的予研工作,并获得长足进步。

我校在“六·五”后期,在国家自然科学基金的支持下,开始了有关GaAs集成电路的设计理论和基础工艺的研究工作。在多年来教学工作和科研实践的基础上,我们较为系统地总结了GaAs集成电路的工艺、设计的资料和研究成果,编写成书,以飨读者。

本书包含如下内容:第一章到第三章介绍了GaAs集成电路的发展、特点以及对GaAs MESFET基本特性的总结,作为了解GaAs集成电路工作原理的基础。与MESFET器件性能密切相关的金属半导体接触性质,也作了必要的介绍。第四章为本书重要内容,它分析了GaAs集成电路中各主要类型逻辑单元的工作特性,给出了电路的设计理论。第五章全面介绍了GaAs集成电路各项基本工艺,以及工艺与电路性能之关系,为工艺设计之基础。第六章介绍了GaAs器件和集成电路计算机模拟和CAD,这是设计工作的必要组成部分。最后,作为与GaAs密切相关的异质结超高速电子器件——高电子迁移率晶体管,在第七章中予以讨论。

本书第一章至第四章和第七章由史常忻同志撰写,李晓明同志撰写第五章,王庆康同志撰写第六章。

作者希望本书的出版能对我国GaAs集成电路的研究和生产起一些积极的作用,并热情欢迎读者指正。

作者

一九八九年十一月七日

于上海交通大学

目 录

第一章 GaAs集成电路的特点和发展	1
§ 1.1 GaAs集成电路的特点	1
§ 1.2 GaAs集成电路的发展和现状	3
参考文献	5
第二章 金属-半导体接触	6
§ 2.1 势垒高度	6
§ 2.2 电流特性	10
§ 2.3 测量势垒高度的实验方法	11
§ 2.4 势垒高度的调整	14
参考文献	15
第三章 GaAs MESFET	17
§ 3.1 Shockley 模型	17
§ 3.2 电场变化对迁移率的影响	19
§ 3.3 沟道杂质非均匀分布的影响	22
§ 3.4 源、漏寄生电阻的影响	24
§ 3.5 两区间模型	26
§ 3.6 增强型MESFET	27
§ 3.7 一些参量的测量	27
参考文献	29
第四章 GaAs集成电路设计理论	30
§ 4.1 引言	30
§ 4.2 BFL单元	30
§ 4.3 SDFL 单元	38
§ 4.4 DCFL 单元	40
§ 4.5 电路设计	43
参考文献	49
第五章 GaAs集成电路工艺	50
§ 5.1 GaAs集成电路工艺的特点	50
§ 5.2 离子注入及退火技术	54
§ 5.3 栅工艺	77
§ 5.4 欧姆接触	91
§ 5.5 互连	95

§ 5.6 工艺流程	99
参考文献	111
第六章 GaAs集成电路逻辑模块特性计算机模拟	113
§ 6.1 GaAs集成电路设计与CAD	113
§ 6.2 离子注入GaAs MESFET直流特性的计算机模拟	113
§ 6.3 GaAs MESFET解析模型及直流特性	116
§ 6.4 GaAs IC逻辑门ECL直流及瞬态特性分析模拟	123
§ 6.5 BFL逻辑门直流及瞬态特性模拟	142
§ 6.6 GaAs IC逻辑单元DCFL设计	144
参考文献	153
第七章 高电子迁移率晶体管(HEMT)	154
§ 7.1 引言	154
§ 7.2 异质结	155
§ 7.3 各种类型异质结的能带图	159
§ 7.4 高电子迁移率晶体管	164
参考文献	175
附录	176
附录一 室温300K时GaAs、Si和Ge的性质	176
附录二 室温300K时某些Ⅲ-V族半导体的性质	177
附录三 GaAs中的浅杂质和深能级	178
附录四 GaAs中电子和空穴的迁移率和杂质浓度的关系	179
附录五 GaAs的有关相图	180
附录六 微机彩色图形及GaAs FET电路中文编辑程序	182
附录七 GaAs IC DCFL逻辑门特性模拟源程序	191

第一章 GaAs集成电路的特点和发展

§ 1.1 GaAs集成电路的特点

第一个单片集成的GaAs高速集成电路,在1974年2月,由Hewlett Parkard公司的Roryi Van Tuyl和Charles A. Lechi两人在国际固体电路会议 (ISSCC) 上提出的。他们发表了题为“High Speed Integrated Logic with GaAs FETs”的文章。报道了该公司研制成功的超高速“与或非门”GaAs电路。该电路采用BFL逻辑,双电源 $V_{DD}=4V$ 和 $V_{SS}=-3V$;逻辑摆幅为2.5V;门延迟时间为60微微秒;功耗90毫瓦;功耗延迟积为6.75微微焦耳。电路中使用耗尽型GaAs MESFET作为有源器件,夹断电压为-2.5伏,栅长1微米。用外延台面绝缘,有源层厚度为0.3微米。

两年以后,1976年2月,在同一个会议上,仍是他们两人,又发表了题为“High Speed GaAs MSI”的文章,报道了他们研制成功的最高时钟频率为2千兆赫的二分频分频器。仍采用BFL逻辑,工艺上应用了双层布线,并改善了有源层的均匀性,使芯片尺寸大为减小,实现了中规模集成。

这向人们标志,超高速GaAs集成电路问世了!

GaAs集成电路的产生,是微电子学高速化要求和GaAs器件本身特点相结合必然结果。众所周知,大规模集成电路正沿以下诸方向发展:(1)高集成密度(每门的芯片面积小);(2)低的单门功耗;(3)高速度(低的门延迟时间);(4)极低的开关能量(低的功耗延迟积);(5)高成品率。特别是近年来微电子技术正向越来越高的数据处理速度发展,例如:从直流到千兆赫范围内频率的直接测量,亚毫微秒量级的随机信号时间间隔的测量,响应时间小于100微微秒脉冲的产生和接收等。这些均需要逻辑门延迟时间小于100微微秒的高速电路。而GaAs器

表1.1 GaAs和Si材料特性比较

参 量	GaAs	Si
电子迁移率($N=10^{17}cm^{-3}$)	$5000cm^2/V\cdot s$	$800cm^2/V\cdot s$
空穴迁移率($N=10^{17}cm^{-3}$)	$250cm^2/V\cdot s$	$250cm^2/V\cdot s$
最大电子漂移速度	$2\times 10^7cm^2/V\cdot s$	$1\times 10^7cm/s$
高场传输之临界电场强度	$3\times 10^5V/cm$	$1\times 10^4V/cm$
能带形式	直 接	间 接
导带有效态密度	$5\times 10^{17}cm^{-3}$	$3\times 10^{19}cm^{-3}$
最大电阻率	$\sim 10^9\Omega\cdot cm$	$\sim 10^3\Omega\cdot cm$
少子寿命(300K)	$\sim 10^{-8}s$	$\sim 2.5\times 10^{-8}s$
击穿场强	$\sim 4\times 10^5V/cm$	$\sim 3\times 10^5V/cm$
肖特基势垒高度	0.7~0.8V	0.4~0.6V
MIS界面态密度	$10^{12}\sim 10^{13}cm^{-2}\cdot eV^{-1}$	$\sim 10^{10}cm^{-2}\cdot eV^{-1}$
禁带宽度(300K)	1.43eV	1.12eV

件与Si器件相比具有速度快、功耗低、工作温度高和抗幅能力强等明显优点。所以研制超高速GaAs电路成为必然的趋势。GaAs电路的上述优点与其材料本身固有的性质密切相关。表1.1中列出GaAs材料和Si材料性质的比较。

由表中可见，在超高速集成电路应用中，GaAs集成电路在下列方面具有更优异的性质。

(1) GaAs材料的电子迁移率高。栅长为0.5~1.0微米的GaAs MESFET的增益带宽可达15~25千兆赫，GaAs器件的优质比Si器件高3~5倍。

图1.1中给出同样的栅宽、栅长分别为10微米和1微米的Si和GaAs MESFET器件的饱和漏电流与有效栅压关系的曲线。GaAs MESFET的 k 值($I_{ds} \sim k(V_{gs} - \bar{V}_p)^2$)明显地高于Si MESFET。当有效栅压为1伏时，GaAs的 k 值为Si的6倍。

(2) GaAs材料的肖特基势垒特性比Si优越，势垒高度达0.7~0.8伏(某些栅材料可达约1.0伏左右)比硅的高。反向饱和电流 $I_s < 1\mu A/cm^2$ ，比硅的小。故易于实现具有良好栅控特性的MES结构。

(3) GaAs的电阻率比Si高约四个数量级，为半绝缘衬底。在电路工艺中便于实现自隔离，而且寄生电容小，工艺简化。

(4) 由于禁带宽度大，所以工作温度高。

(5) 抗幅射能力强。

GaAs材料也具有一定的缺陷。它不象Si材料。可以生成象 SiO_2 这样性能良好的绝缘层。GaAs与其本体氧化物或其他绝缘层之间的界面态密度高。难以实现MIS型器件。但是它优良的肖特基势垒特性足以补偿这方面的不足。因此，在GaAs集成电路中多使用MESFET。这也带来了GaAs集成电路设计与Si集成电路之不同。这将在本书第四章中加以讨论。

集成电路不仅向高速度发展，而且也不断向高集成度方向前进。因为大的集成规模，不仅使设备体积小，重量轻，而且更主要的是使可靠性增加。但是，这必然造成单个芯片上功耗加大。通常每一芯片的功耗容量是有限制的，显然这就需要在增加速度的同时减少单门的

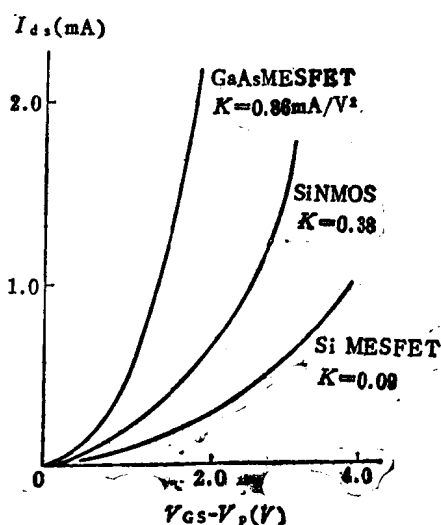


图1.1 GaAs和Si器件特性的比较

表1-2 单片功耗为2瓦时，集成度与功耗延迟积之关系

$P\tau(P_f)$ $N_g(\text{门/片})$	f_m					
	0.1MHz	1MHz	10MHz	10^2 MHz	1GHz	10GHz
VLSI 10^5	10^3	10	1	0.1	10^{-2}	10^{-3}
VLSI 10^4	10^3	10^2	10	1	0.1	10^{-2}
LSI 10^3	10^4	10^3	10^2	10	1	0.1
MSI 10^2	10^5	10^4	10^3	10^2	10^2	1
SSI 10	10^6	10^5	10^4	10^3	10^3	10^2
器件 1	10^7	10^6	10^5	10^4	10^4	10^3

功耗。亦即，要功耗-延迟积小。例如，考虑每一封装芯片上最大功耗容量为 $P_m = 2W$ 。则一个有 N_g 个逻辑门的芯片上，其最高工作频率 f_m ，芯片的功耗延迟积 Pr ，关系为 $P_m = 2N_g f_m (Pr)$ 表1.2给出它们的关系。

由表1.2可见，如果想实现超高速(1千兆赫以上)、超大规模(VLSI以上)集成，就必需使其电路的功耗延迟积小于0.1微微焦耳。图1.2中画出了GaAs器件和电路与各类Si器件和电路的门延功耗图。可以看出GaAs集成电路在超高速、超大规模集成方面占有明显的优势。

GaAs 集成电路中的有源器件与Si不同，均采用金属-半导体接触的肖特基势垒场效应晶体管(MESFET)作为有源器件。如前所述这是因为GaAs与绝缘层间界面态密度过高，难以实现MIS型场效应器件的缘故。虽然近年来也曾有过关于GaAs MOSFET 以及由其制成的 GaAs 集成电路的成功报道，但是大量生产的集成电路中，仍以MESFET为主。由此，在GaAs集成电路设计和制造中，产生了其固有的特点。(1)由于用耗尽型MESFET作为有源器件，带来逻辑电平的移动问题。为解决这问题，因而发展了GaAs集成电路所特有的逻辑单元，BFL^(*)单元和SDFL单元。(2)为了实现电路的直接耦合，必须采用增强型的MESFET。这种DCFL逻辑单元的缺点是逻辑摆幅低，而且增强型GaAs MESFET的工艺难度较大。这将在下面分别讨论。

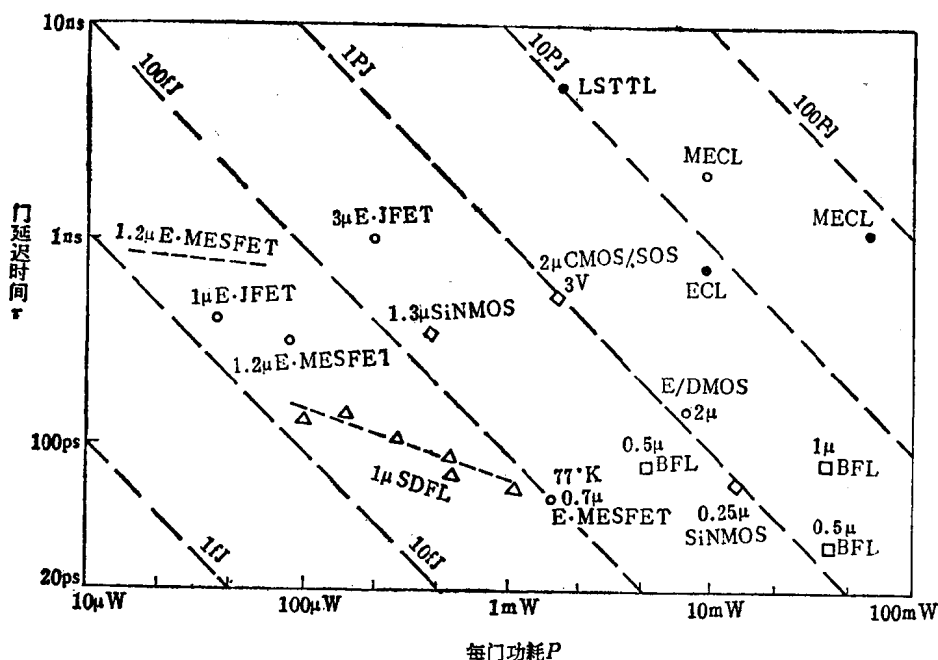


图1.2 各类电路的功耗-延迟特性

§ 1.2 GaAs集成电路的发展和现状

GaAs集成电路是在Si微加工技术和GaAs器件的基础上发展起来的。在过去几十年中发

(*)BFL单元，SDFL单元和DCFL单元分别为缓冲门FET逻辑，肖特基二极管FET逻辑和直接耦合FET逻辑的英文缩写，将在第四章中详细讨论。

展和完善的Si集成电路中完美的细线条加工工艺,为GaAs集成电路的发展创造了有利条件。表1.3中给出了这一发展的时间进程。GaAs集成电路初始十几年的发展。在图1.3中表明了各类逻辑单元的发展情况和每年约3倍的集成度发展速度。表1.4中列出GaAs集成电路环型振荡器的研究水平和工艺情况。表1.5中列出分频器的研究水平和工艺情况。

表1.3 GaAsIC发展概况

1952(年)	单极FET理论
1960	硅平面工艺和平面管
1965	Schottky势垒FET
1969	硅MESFET
1972	低噪音GaAs FET放大器
1973	商品GaAsFET
1974	GaAsIC(门电路)
1976	GaAsIC(分频器)
1988	现 状

GaAs集成电路的工艺发展,是与硅的技术发展平行前进的。初期的电路均采用外延台面工艺,(图1.4(a))。有源层是由液相外延生长,用台面腐蚀法实现有源器件之间的隔离。

第一块GaAs门电路就是用这一工艺完成的。

因为台面不是平面结构,影响集成度的提高和可靠性。故随着离子注入工艺的发展和日益完善,逐渐被平面离子注入工艺所替代。图1.4(b)中表示的是隔离注入工艺,有源层之间的隔离是采用离子注入工艺实现的,如注硼、氧或质子等。由于不需腐蚀台面,为平面结构,这给集成化布线等方面带来很大好处,可靠性也有提高。图1.4(c)是选择离子注入隔离工艺,它用离子注入形成有源层,因为仅“选择”性地注入到需要做器件的地方,没有注入的地方仍为半绝缘材料,因此实现自隔离。80年代开始,为了进一步提高GaAs集成电路的性能,减小漏、源与栅之间的寄生电阻,提高速度,发展了自对准工艺,亦称SAINT(Self Aligned Implanted N^+ layer Technology),如图1.4(d)中所示的结构。它的关键是选用与GaAs具有

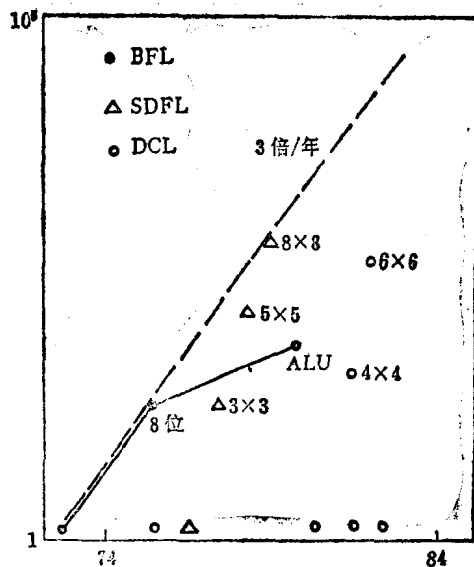


图1.3 GaAsIC初期发展特性

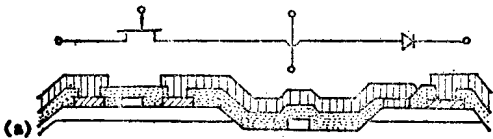
表1.4 环形振荡器水平

电路形式	器件栅宽、长	功 耗	门 延	功耗-延迟积	公司、日期
BFL	20 μ m, 1 μ m	40mw	86ps	3.9pJ	HP、1977
BFL	10 μ m, 0.5 μ m	5.6mw	83ps	0.46pJ	Hughes
BFL	50 μ m, 0.5 μ m	41mw	34ps	1.4pJ	1978
SDFL	5 μ m 1.0 μ m	0.17mw	156ps	0.027pJ	Rockwell
SDFL	5 μ m 1.0 μ m	0.62mw	87ps	0.054pJ	1980
SDFL	10 μ m 1.0 μ m	0.34mw	120ps	0.040pJ	1980
SDFL	10 μ m 1.0 μ m	1.10mw	62ps	0.068pJ	1980
DCL	20 μ m 1.2 μ m	0.10mw	300ps	0.03pJ	FujiTsu
DCL	20 μ m 1.2 μ m	0.10mw	430ps	0.10pJ	1978

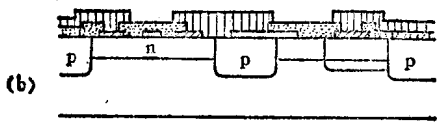
良好的Schottky势垒特性又能经受离子注入后的退火处理,具有高温热稳定性的低阻栅材料。通常为难熔金属(如钨、钛等)的硅化物。这一技术难度较大,但是随着工艺研究的发展和进步,已日益普及,必将成为制造优良性能GaAs集成电路的主流工艺。

表1.5 分频器水平

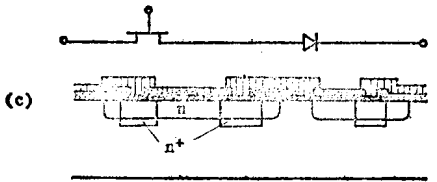
电路形式	栅 长	功 耗	最高频率	等效门延	公 司
BFL	1 μ m	160mw	4.5GC	111ps	H.P.
BFL	0.6 μ m	160mw	5.5GC	91ps	
BFL	0.8 μ m	240mw	5.7GC	88ps	ThCSF
SDFL	1.0 μ m	15mw	1.9GC	110ps	Rockwell
DCFL(8分频)	0.6 μ m	24mw	3.8GC	66ps	NTT
DCFL(2分频)	0.6 μ m	6mw	2.6GC	96ps	NTT



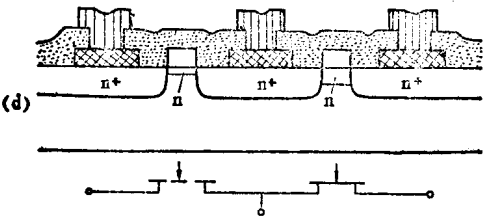
(a) 外延台面工艺;



(b) 平面离子注入隔离工艺;



(c) 选择注入工艺;



(d) 自对准离子注入工艺。

图1.4 GaAs集成电路工艺的发展

参 考 文 献

- [1] R.V.Tuyl and C.A.Liechti, "High Speed Integrated Logic with GaAs MESFET's," Int.Solid-State Circuits Conf. Digest of Tech.Papers, Feb.1974, New York
- [2] R.V.Tuyl and C.A.Liechti, "High Speed GaAs MSI", Int.Solid State Circuits Conf.Digest of Tech.Papers, Feb 1976
- [3] R.C.Eden, B.M.Welch, R.Zucca and S.I.Long, "The Prospects for Ultrahigh-Speed VLSI GaAs Digital Logic", IEEE J.Solid-State Circuits, vol,ED-26, p.229,1979

第二章 金属-半导体接触

金属-半导体接触形成的肖特基(Schottky)势垒,在MESFET中作为栅极,占有十分重要的地位。其势垒特性的优劣直接影响器件和电路的特性,如跨导、逻辑摆幅等。本章从电路设计的角度出发,介绍金属-半导体接触肖特基势垒的一些有关特征,如势垒高度、电流。同时给出一些常用的实验分析方法,作为GaAs MESFET及其电路的性能分析的基础。本章不涉及欧姆接触,需要时可参阅有关专著。

§ 2.1 势垒高度[1, 2]

图2.1中给出了理想的金属-半导体接触能带图(以N型半导体为例)。其中(a)为接触前,(b)为接近时,和(c)为完全接触后的情况。图中 ϕ_m , ϕ_s 分别为金属和半导体的功函数; E_{Fm} , E_{Fs} 分别为它们的费米能级; χ 为半导体的电子亲合势。所谓“理想”接触,是指在金属和半导体之间没有任何绝缘夹层。

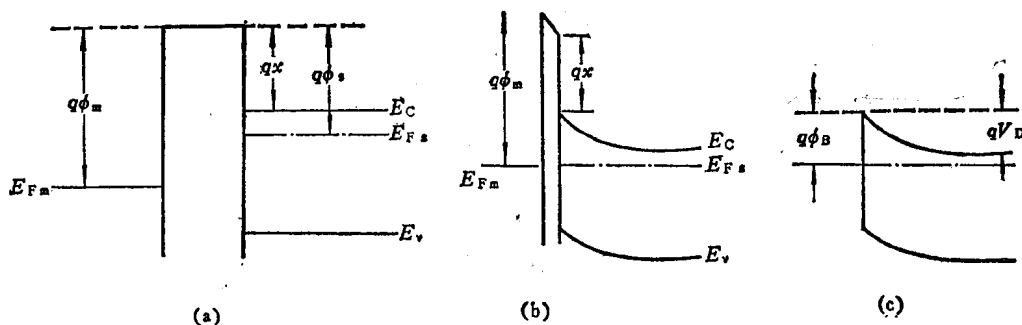


图2.1 理想金属-半导体接触的能带图 (a) 接触前, (b) 接近时, (c) 完全接触。

通常,势垒高度是指从金属这方面看过去的势垒高度,对理想的金属-半导体接触其势垒高度(ϕ_B)简单地视为金属功函数与半导体电子亲合势之差

$$\phi_B = \phi_m - \chi \quad (2.1)$$

该式首先由肖特基给出,又称为莫特(Mott)极限。而从半导体这方面看过去的势垒高度,则称为扩散势(或能带弯曲量, V_D)。它为金属功函数与半导体功函数之差

$$V_D = \phi_m - \phi_s \quad (2.2)$$

显然,根据(2.1)式给出的结果,不同金属与半导体接触形成的肖特基势垒高度应有较大差异。但是实验发现,其差别远不如(2.1)式予期的那样大。甚至与金属的关系不大。这是因为在实际的金属-半导体接触中,并非如此“理想”,在它们中间存在着很薄(0.5~1)nm的绝缘夹层(界面层)。这一夹层的性质通常与工艺密切相关。存在于这一界面层中的界面态,对决定势垒高度起着重要作用。巴丁(Bardeen)模型较好地描述了有界面层存在的实际金属-

半导体接触的势垒特性。图2.2中给出巴丁模型的金属-半导体接触能带图。其中(a)为加有偏压(V)时的能带图, (b)为平带情况。 ϕ_{B0} 为平带势垒高度, ϕ_B 为考虑了镜像力影响造成的势垒下降($\Delta\phi$)后的势垒高度, 即 $\phi_{B0} = \phi_B + \Delta\phi$ 。 ϕ_0 为表面费米能级, 即界面态上自低到高填至 ϕ_0 处为电中性时的能级。 V_i 为绝缘夹层中的电位降, 其厚度为 δ 。半导体中导带底与费米能级之差为 ΔE 。 E_g 为禁带宽度。

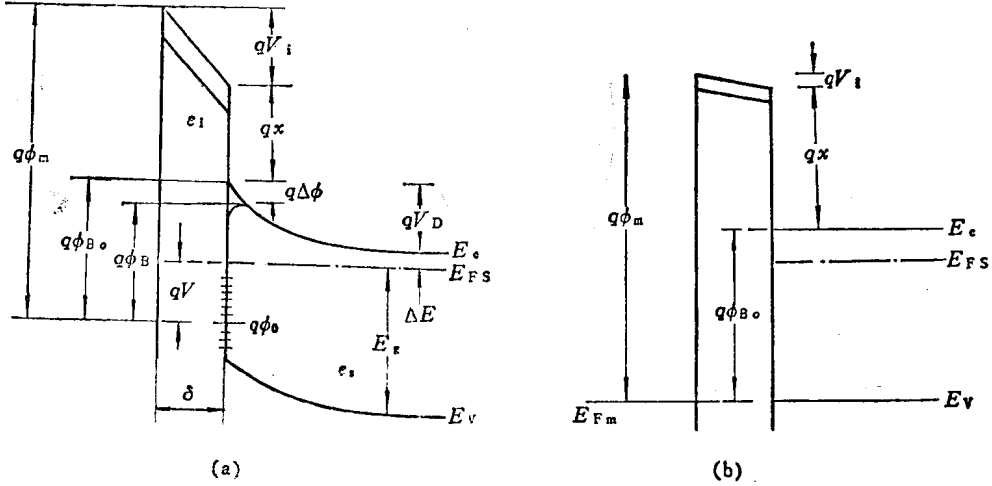


图2.2 实际金属-半导体接触的能带图 (a) 偏压时 (b) 平带时

根据巴丁假定(1)金属-半导体紧密接触, 界面层厚度为原子间数量级, 该层可以承受外加电压, 但是电子又可以透过; (2)界面层中界面态密度与金属材料无关。势垒高度可按式计算。

平带势垒高度

设界面态密度为 D_s , 则界面态上的电荷面密度为

$$Q_{ss} = -qD_s(E_g - q\phi_{B0} - q\phi_0) \quad (2.3)$$

因为平带时半导体中空间电荷为零, 所以金属上的面电荷密度为

$$Q_m = -Q_{ss} \quad (2.4)$$

界面层上的电位降为

$$V_i = -\delta \frac{Q_m}{\epsilon_0 \epsilon_i} \quad (2.5)$$

ϵ_i 为绝缘层的相对介电常数, ϵ_0 为真空电容率。由图2.2(b)可知,

$$\phi_m = V_i + x + \phi_{B0} \quad (2.6)$$

由(2.3)~(2.6)式, 可得平带势垒高度为

$$\phi_{BD} = C_1(\phi_m - x) - (1 - C_1)(E_g/q - \phi_0) \quad (2.7)$$

其中

$$C_1 = \frac{\epsilon_0 \epsilon_i}{\epsilon_0 \epsilon_i + q^2 \delta D_s} \quad (2.8)$$

(2.7)式给出一般情况下的平带势垒高度表达式。下面讨论两种极限情况。

当界面态密度为零时, $D_s = 0$, 则 $C_1 = 1$ 。(2.7)式归结为(2.1)式, 给出莫特极限。

$$\phi_{BO} \Big|_{D_s=0} = \phi_m - x$$

当界面态密度趋于无穷大时, $D_s \rightarrow \infty$, 则 $C_1 \rightarrow 0$ 。这时(2.7)式, 归结为

$$\phi_{BO} \Big|_{D_s \rightarrow \infty} = \frac{E_g}{q} - \phi_0 \quad (2.9)$$

这表明, 势垒高度仅取决于表面费米能级的位置, 而与金属的功函数无关了。这称为“钉扎现象”(Pinning Effect)。

如果界面态不是均匀分布, 而是在能量 ϕ_1 处有一很强的峰值, 这时界面态上的面电荷密度为

$$Q'_{ss} = -qD'_s(E_g - q\phi_{BO} - q\phi_1) + Q_1 \quad (2.10)$$

其中, D'_s 是 ϕ_1 附近的界面态密度, Q_1 是填至 ϕ_1 时的电荷。这时的平带势垒高度成为

$$\phi'_{BD} = C'_1 \left(\phi_m - x - \frac{\delta Q_1}{\epsilon_0 \epsilon_s} \right) + (1 - C'_1) \left(\frac{E_g}{q} - \phi_1 \right) \quad (2.11)$$

当界面态密度很高时, 平带势垒高度钉扎在

$$\phi'_{BD} \Big|_{D'_s \rightarrow \infty} = \frac{E_g}{q} - \phi_1 \quad (2.12)$$

这里 C'_1 由下式给出

$$C'_1 = \frac{\epsilon_0 \epsilon_s}{\epsilon_0 \epsilon_s + q^2 \delta D'_s} \quad (2.13)$$

势垒高度与偏压的关系

理想的金属-半导体接触势垒高度与偏压无关。但是有界面层存在时, 由于该层上有一定电位降, 并且与半导体中空间电荷有关。故当外加偏压改变(半导体中空间电荷也改变)时, 势垒高度也会发生变化。外加偏压为 V 时, 半导体内空间电荷为

$$Q'_{sc} = \left[2\epsilon_0 \epsilon_s N \left(\phi_{BO} - \frac{E_g}{q} - V - \frac{kT}{q} \right) \right]^{\frac{1}{2}} \quad (2.14)$$

其中 ϵ_s 和 N 分别为半导体的相对介电常数及杂质浓度。

金属上电荷为

$$Q_m = -(Q_{ss} + Q_{sc}) \quad (2.15)$$

由(2.14)(2.15)得

$$\begin{aligned} \phi_{BO} = & C_1(\phi_m - x) + (1 - C_1) \left(\frac{E_g}{q} - \phi_0 \right) \\ & + \frac{C_2}{2} - \left[C_2 \left(\phi_{BO} + \frac{C_2}{4} - V - \frac{E_g}{q} - \frac{kT}{q} \right) \right]^{\frac{1}{2}} \end{aligned} \quad (2.16)$$

其中

$$C_2 = \frac{2qN}{\epsilon_0 \epsilon_i} \left(\frac{\delta \epsilon_0 \epsilon_s}{\epsilon_0 \epsilon_i + \delta q^2 D_s} \right) \quad (2.17)$$

由上可知，势垒高度与偏压的关系为

(1) 半导体的杂质浓度越大，绝缘夹层的厚度越厚，即 C_2 值越大，偏压对势垒高度的影响越大。

(2) 界面态密度越高，即 C_2 值小，偏压的影响就小。

通常对于小于2nm厚的界面层，界面态密度 D_s 不大于 $10^{13} \text{cm}^{-2} \cdot \text{eV}^{-1}$ ，和 $\epsilon_s/\epsilon_i \approx 3$ ， $N \leq 10^{17} \text{cm}^{-3}$ 的半导体，当偏压为0.5V时，势垒高度的下降不超过0.02V。

镜像力对势垒高度的降低

众所周知，电子在金属表面附近形成镜像力，将导致肖特基势垒的下降。根据图2.3，其结果由下式给出

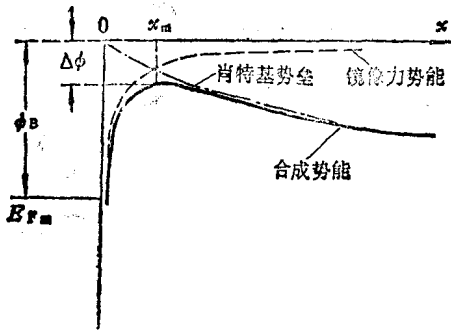


图2.3 镜像力对肖特基势垒的影响

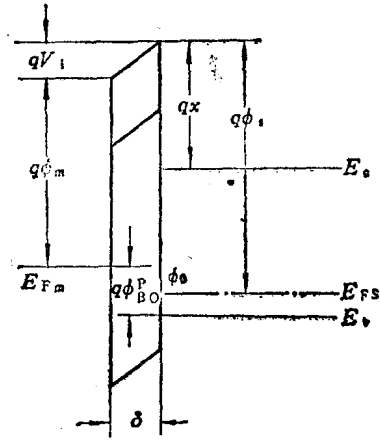


图2.4 金属与P型半导体接触的能带图

$$\Delta\phi = \left[\frac{q^3 N}{8\pi^2 (\epsilon')^2 \epsilon_s \epsilon_i} \left(\phi_B^V - V - \frac{E_g}{q} - \frac{kT}{q} \right) \right]^{\frac{1}{2}} \quad (2.18)$$

$$\text{和 } x_m = \frac{1}{4} \left(\frac{q \epsilon_0 \epsilon_i}{2\pi^2 (\epsilon')^2 N} \right)^{\frac{1}{4}} \left(\phi_B^V - V - \frac{E_g}{q} - \frac{kT}{q} \right)^{\frac{1}{4}} \quad (2.19)$$

其中 ϵ' 为半导体的高频介电常数， x_m 为势垒最高点离金属表面的距离。

p型半导体的势垒高度

对于p型半导体，通常 $\phi_s > \phi_m$ 。由图2.4可以看出以下关系

$$\phi_m + V_i = x + \frac{E_g}{q} - \phi_{B0}^p \quad (2.20)$$

平带时

$$Q_m = -Q_{ss} = qD_s(\phi_{B0}^p - \phi_0) \quad (2.21)$$

$$\text{和 } V_i = -\frac{\delta}{\epsilon_0 \epsilon_i} Q_m \quad (2.22)$$

由(2.20)至(2.22)得p型半导体的平带势垒高度为

$$\phi_{BO}^p = C_1 \left(\frac{E_g}{q} - x - \phi_m \right) + (1 - C_1) \phi_0 \quad (2.23)$$

显然, 对同一金属和同一半导体, 不同型号时, 两者的势垒高度满足以下关系:

$$\phi_{BO}^n + \phi_{BO}^p = \frac{E_g}{q} \quad (2.24)$$

§ 2.2 电流特性[1,3]

金属-半导体接触势垒的电流传输主要有以下几种方式: (图2.5)

- (1) 电子从半导体中越过势垒发射到金属中去;
- (2) 隧道效应, 使电子穿透势垒进入金属中去;
- (3) 势垒的空间电荷区中的复合;
- (4) 在半导体中性区中的复合。

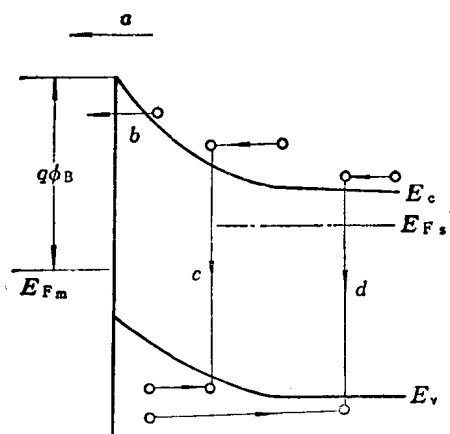


图2.5 金属-半导体接触势垒的几种电流机构

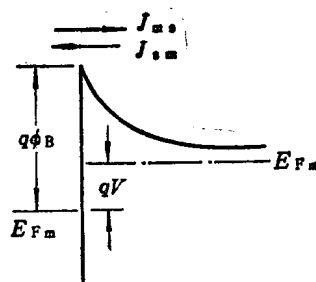


图2.6 正偏置时的势垒电流

在实际的金属-半导体接触形成的肖特基二极管中, 主要电流成分为(1), 而其他三种成分使二极管电流特性偏离理想情况, 这将由电流-电压特性表达式中的理想因子反映出来。

本书仅给出由Bethe的热发射理论导出的电流特性。假设由金属发射到半导体中去的电流(J_{ms})与发射到真空中相似, 仅以势垒高度 ϕ_B , 代替金属的功函数 ϕ_m 。而由半导体进入金属的电流(J_{sm})将随偏压 V 而变化。由图2.6可知, 半导体一侧的电子浓度为

$$n = N_c \exp \left[- \frac{q(\phi_B - V)}{kT} \right] \quad (2.25)$$

设电子速度分布各向同性, 单位时间、单位面积进入金属的电子数为 $\frac{1}{4} (n\bar{v})$, $\bar{v}$ 是半导体中电子的平均热运动速度。所以电流密度 J_{sm} 为

$$J_{sm} = \frac{qN_c\bar{V}}{4} \cdot \exp\left[-\frac{q(\phi_B V)}{kT}\right] \quad (2.26)$$

在零偏压($V=0$)时, 总电流为零, 所以金属进入半导体的电流可知为

$$J_{ms} = J_{sm} \Big|_{V=0} = \frac{qN_c\bar{V}}{4} \cdot \exp\left(-\frac{q\phi_B}{kT}\right) \quad (2.27)$$

J_{ms} 与偏压无关。这样, $V \neq 0$ 时, 从半导体进入金属之净电流为

$$\begin{aligned} J &= J_{ms} - J_{sm} \\ &= \frac{qN_c V}{4} \exp\left(-\frac{q\phi_B}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1\right] \end{aligned} \quad (2.28)$$

按速度麦氏分布, $\bar{V} = \left(\frac{8kT}{\pi m^*}\right)^{\frac{1}{2}}$, m^* 为半导体中电子有效质量。因为导带底有效态密度 N_c

$= 2\left(2\pi m^* \frac{kT}{h^3}\right)^{\frac{3}{2}}$, 所以得热电子发射理论的电流-电压方程为

$$J = A^{*-2} \exp\left(-\frac{q\phi_B}{kT}\right) \cdot \left[\exp\left(\frac{qV}{kT}\right) - 1\right] \quad (2.29)$$

其中

$$A^* = \frac{4\pi m^* q k^3}{h^2} \quad (2.30)$$

h 为普朗克常数。(2.30)式是理查逊(Richardson)常数的表示式, 但是以有效质量(m^*)代替自由电子质量(m_0)。或表示为

$$A^* = 120 \left(\frac{m^*}{m_0}\right) Q A \cdot \text{cm}^{-2} \cdot \text{K}^{-2} \quad (2.31)$$

§ 2.3 测量势垒高度的实验方法^[3]

势垒高度是表征肖特基势垒特性的重要参量, 对器件、电路的性能关系十分密切, 需要实验测量。本节介绍两种常用、可靠的测量方法: 电学和光学的, 即电流-电压特性法和光电流法。

电流-电压特性法

如前所述, 肖特基二极管的 I - V 特性由(2.29)给出, 当正偏压足够大, 即 $V > \frac{3kT}{q}$ 时, 考虑到势垒下降 $\Delta\phi$, (2.29)可写为

$$J = A^* T^2 \exp\left(-\frac{q\phi_{B0}}{kT}\right) \cdot \exp\left[\frac{q(\Delta\phi + V)}{kT}\right] \quad (2.32)$$

或

$$J = J_s \exp\left(\frac{qV}{nkT}\right) \quad (2.33)$$

$$J_s = A^* T^2 \exp\left(-\frac{q\phi_{B0}}{kT}\right) \quad (2.34)$$