

MOS

大规模集成电路设计导论

(英) J. 马弗 M. A. 杰克 P. B. 丹尼尔 著



科学出版社

72.11
444

MOS 大规模集成电路 设计导论

〔英〕 J. 马弗 M. A. 杰克 P. B. 丹尼尔 著
王以铭 蔡景河 译

科 学 出 版 社

1 9 9 0

内 容 简 介

本书系统地介绍了 MOS 大规模集成电路的设计原理和设计技术。内容侧重于 NMOS 和 CMOS 硅栅电路。

本书共八章,第一、二章为大规模集成电路设计概述及 MOS 晶体管基础;第三至第七章从单元到电路到系统,由浅入深地全面阐述了集成电路设计问题,其中既有设计思想、设计原则的叙述,也有具体方法的介绍,包括计算机辅助设计技术的介绍;最后一章介绍 MOS 模拟集成电路的设计。书末附录给出了一个设计实例及部分练习题,并附有简单答案。

本书可作为高等院校半导体、微电子专业本科生的教材或教学参考书,也可供从事集成电路设计、制作、科研、教学的科技人员阅读。

J. Mavor, M. A. Jack, P. B. Denyer
INTRODUCTION TO MOS LSI DESIGN
Addison-Wesley Publishing Company, 1983

MOS 大规模集成电路设计导论

[英] J. 马弗 M. A. 杰克 P. B. 丹尼尔 著

王以铭 蔡景河 译

责任编辑 魏 玲

科学出版社出版

北京东黄城根北街 15 号

邮政编码:100707

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1990 年 2 月第 一 版 开本:787×1092 1/32

1990 年 2 月第一次印刷 印张:9 5/8

印数:0001—1 300 字数:217 000

ISBN 7-03-001559-2/TN·73

定价: 9.00 元

前 言

当今,集成电路工艺已经发展成熟,硅集成电路已成为实现高效率电子系统的关键性“元件”。因此,为了适应不断涌现的范围广泛的应用,越来越多的系统工程师需要从事集成电路设计。这些工程师必需掌握有关硅技术的关键性知识,以便正确认识集成电路设计的潜力和局限性。遗憾的是;具有这种经验的工程师严重短缺,尽管在大学的计算机科学系和电气工程系中正在设立许多课程以满足工业界对具备微电子专门知识的毕业生的需求,但是,在相当一段时间内,这种人材短缺仍将继续存在。

本书是电气工程专业本科生的微电子学课的基础教材,内容侧重于集成电路的工程设计,因而也可以看作是对 Mead 和 Conway 在《超大规模集成电路系统导论》*中提倡的整体系统设计方法的一个补充。

本书内容取自最近十多年爱丁堡大学电气工程系开设的 MOS LSI 设计课的教材。这门课一直是电气工程理学士(优等毕业生)的学位课程,并且还以系列讲座的形式为工业界人士讲授。最近,这门课一直是电气工程系的硕士学位课程,其内容集中于 NMOS 和 CMOS 硅栅电路的设计制造方面。随着器件尺寸的减小和 VLSI 电路的发展,这两种技术被认为是有发展前途的技术。

* Mead, C. and Conway, L. 1980, "Introduction to VLSI Systems", Addison-Wesley Publishing Company; 中译本:《超大规模集成电路系统导论》(何诣译),科学出版社,1986。

本书以 LSI 设计路线概述作为开始,比较了各种设计方法、技术和能力,接着介绍 MOS 晶体管基础,并分析其一级特性。从基本 MOS 晶体管的讨论出发,进一步扩展,通过对有比和无比电路的静态和瞬态特性的分析,讨论了这些器件在逻辑门中的应用。考虑到在实际设计中对各种不同的设计方法都需要进行简化,所以书中还详细介绍了以归一化的图形尺寸和晶体管几何结构为基础的可移用的设计标准。

在确立了逻辑门的基本设计要求之后,书中进一步阐述了 LSI 设计的基本构造单元——触发器、移位寄存器、阵列、计数器和加法器,并特别强调了各种方法均需在设计能力与性能要求之间进行折衷考虑。接下来,书中介绍了动态逻辑计数器结构,ROM 设计和 RAM 设计,并介绍了 LSI 设计的半用户设计方法,如非专用逻辑阵列(或门阵列)和功能单元库方法,以便正确理解用户设计 LSI 在什么地方、什么时间符合某种产品或性能规格要求。

在设计开始时,就必须考虑到芯片的测试问题,也就是说,要进行可测性设计,至于设计完成之后,具体如何进行测试,则是另一个问题。为了理解可测性设计的要求,书中还介绍了可测性设计的基本思想和几种基本方法。

计算机辅助设计(CAD)在 LSI 设计中占有主要位置,高级 CAD 将是发展更复杂的 VLSI 电路的关键。基于这种认识,第七章专门介绍了 CAD 技术在电路设计中的作用。

由于 MOS 工艺在未来集成电路的发展中具有确定的地位,所以书中还介绍了当 VLSI 器件尺寸缩小至微米,甚至亚微米量级时, MOS 按比例缩小的基本原理,这是为了强调 MOS 工艺的潜在优势和可能出现的问题。根据按比例缩小原理实现 VLSI 的方法,提供了将高性能的完整数字运算系统集成化的可能性。然而,这种数字系统与需处理的现实课

题——模拟信号之间需要有接口，所以需要在同一芯片上制造与 VLSI 结构相关的模拟电路（尺寸也许不很小）。根据这些考虑，书中详细介绍了模拟 MOS 电路的设计，包括开关、电容器和运算放大器，进而引伸出开关电容滤波器设计方法，其中也包括极其重要的模-数和数-模转换器的设计方法。

根据我们的经验，在学习本书之前，不熟悉 MOS LSI 电路的学生应该首先学习有关 MOS 晶体管原理和简单电路的许多基本分析计算，这一点极其重要。为了这个目的，我们在附录 B 中选载了一部分练习题并附有适当的答案。如果学生有进一步的合适的要求，作者准备给出完整的解答。除了这些练习之外，附录 A 中还给出了一个简单的设计实例，目的是向读者系统地介绍进行集成电路设计的必要步骤。由于所选的例子是比较简单的四位二进制计数器，因而设计的各个方面都能够被强调描述并以图解说明。我们希望，这两个附录能进一步说明本书的实用性，尤其是对于本科生。

虽然本书只集中介绍 LSI 规模的集成电路的工程设计，但是书中介绍的基本方法也可以推广成为 VLSI 电路的设计基础，即使是 VLSI 电路，细致的工程设计仍然是极其重要的。

作者感谢多年来对本书作出贡献的许多同事和学生。（下略）

J. 马弗

M. A. 杰克

P. B. 丹尼尔

1982 年于爱丁堡大学

目 录

第一章 LSI 设计路线	1
1.1 集成电路工艺介绍	1
1.2 LSI 设计的几种途径	6
1.3 精细刻蚀技术	11
1.4 设计人员-用户交互作用	15
1.5 “用户设计”方法	17
1.6 全书介绍	21
参考文献	22
第二章 MOS 晶体管理论和倒相电路	23
2.1 MOS 晶体管基础	23
2.2 MOS 晶体管工作原理	26
2.3 实际的 MOS 电容器	32
2.4 MOS 晶体管漏极电流方程	36
2.5 MOS 晶体管饱和条件	42
2.6 MOS 晶体管参数的温度依赖关系	46
2.7 MOS 晶体管小信号参数	47
2.8 MOS 电路介绍	49
2.9 作负载用的 MOS 晶体管	52
2.10 有比例相器静态分析	57
2.11 有比例相器速度计算	63
2.12 无比倒相器的实现	72
2.13 传输晶体管	79
参考文献	80
第三章 MOS 工艺和设计规则	81
3.1 设计规则	82

3.2	MOS 工艺流程	84
3.3	硅栅 n 沟 MOS 工艺流程	86
3.4	硅栅 CMOS 工艺流程	98
3.5	设计规则的必备特征	102
3.6	电参数	103
3.7	等比缩小	105
	参考文献	111
第四章	MOS 逻辑设计	112
4.1	组合逻辑	113
4.2	静态逻辑: 触发器	125
4.3	动态逻辑: 移位寄存器	130
4.4	同步时序逻辑	136
	参考文献	142
第五章	MOS 电路的设计	143
5.1	用触发器元件构成的计数器	143
5.2	移位寄存计数器	151
5.3	加法器	154
5.4	MOS 存储器: ROM	161
5.5	MOS 存储器: RAM	164
5.6	单晶体管 RAM 单元	170
	参考文献	175
第六章	系统设计的方式与芯片工程	176
6.1	设计方式	176
6.2	用户设计	178
6.3	用户设计 VLSI 的分层次设计	179
6.4	硅电路成型车间	182
6.5	LSI 的用户设计和半用户设计的其它方法	183
6.6	可测性设计	189
6.7	划分和冗余	192
6.8	采用扫描通道的内设测试方案	194
6.9	符号分析内设测试方案	195

6.10 测试	198
6.11 电路封装	200
6.12 热设计考虑	202
6.13 栅极输入保护	204
6.14 输出电路	208
参考文献	211
第七章 计算机辅助设计	212
7.1 综合: 绘图的辅助设计	213
7.2 综合: 自动布线	216
7.3 综合: 符号布图系统	217
7.4 综合: 编译法设计版图	220
7.5 分析: 设计规则的校核	223
7.6 分析: 电路的提取	225
7.7 分析: 模拟分析	226
7.8 小结	229
参考文献	229
第八章 模拟 MOS 电路	231
8.1 模拟电路用的 MOS 元件	232
8.2 开关电容滤波器介绍	243
8.3 数据转换	253
参考文献	265
附录 A 作业举例: 四位二进制计数器	266
附录 B 有关 MOS LSI 设计的若干习题和答案	290

第一章 LSI 设计路线

1.1 集成电路工艺介绍

当前,设计和投产一种集成电路(IC)需要大量资金、时间和技术劳务。仅设计一项就可能花费许多人-年,财政投资大约需 25 万美元。现代集成电路的功能非常复杂,一个“元件”便能够包含整个系统,预计到 80 年代中期,集成度将超过一百万个晶体管。最近报道的 32 位微处理机电路就是在一片硅集成电路上完成的完整计算系统。

不久以前,设计并制造一种具有几千个“随机”逻辑门的集成电路成为很平常的事。这种规模的集成度(或这种复杂程度的功能)一般叫做大规模集成(LSI),大规模集成电路是 70 年代后期和 80 年代初期发展起来的。50 年代后期出现的平面工艺使人们能够生产单片形式的电子电路,自那时以来,集成电路工业已经发展成熟。刚开始时一般只能集成几个逻辑门,这种低功能密度集成称为小规模集成(SSI)。60 年代后期,随着半导体工艺的进展,出现了中规模集成(MSI),每片集成电路上能够制造几百个元件。到了 80 年代,已经能够设计超过一百万个元件的电路样品,从而进入了超大规模集成(VLSI)时代。然而,由于世界范围内 LSI 设计人员的短缺,迄今仍没有充分开发出 LSI 的设计潜力以满足成千上万种可能的应用。而且,由于 VLSI 非常复杂,设计本身的问题越来越多,迫切需要利用尚未成熟的新的计算机辅助设计(CAD)手段。

本书的目的是向读者介绍 LSI 电路(这种集成电路常常叫做“芯片”)工程设计的各种知识。由于目前极其缺乏有经

验的集成电路设计人员，所以本书是从培训设计人员的角度写的。关于常规微电子学，工艺和器件的书(一般概况)已经出版了好几本 (Grove, 1967; Cobbold, 1970; Sze, 1969; 以及 Glaser 和 Subak-Sharpe, 1977)，所以，作者想把本书写成一本内容全面的关于 LSI 设计的工程教材，本书的主要读者对象是以前没有集成电路设计经验的工科大学生或系统设计人员。

本书只集中讨论以单晶硅作为半导体衬底材料的金属-氧化物-半导体 (MOS) 技术，目前常用的硅衬底材料是直径 75mm 或 125mm 的圆片。另一种技术——双极结型晶体管 (BJT)——技术仍在被广泛采用，特别是在高速集成电路的制作中。在有些应用场合，要同时使用 MOS 晶体管和双极型晶体管，尽管可以将它们做在同一块硅片上，但由于工艺太复杂，实际上很少这样作。一般地说，在设计高速数字电路或低噪声放大器时，人们愿意用 BJT 技术，而在设计复杂程度高、速度中等的电路时，则愿意用 MOS 技术。MOS 技术之所以有吸引力在于它的晶体管固有结构比 BJT 简单得多。对于 MOS 晶体管尺寸为 $5\mu\text{m}$ 的典型 LSI 来说，这种说法肯定是对的。但是，对于尺寸为 $1-3\mu\text{m}$ (VLSI) 的 MOS 器件，晶体管的基本模型变得非常复杂，已与 BJT 差不多。另外，现代 MOS 技术也许还要采用双层布线(见第三章)，这就使 MOS 技术的复杂程度与 BJT 技术差不多。尽管有这种不利趋势，在 MOS 器件大家族中仍有许多独特的器件可供半导体工程师选用。例如，采用电荷耦合器件 (CCD) 技术，能够设计固态摄像器和高密度横向滤波器；利用 MOS 技术能够设计可用于选频滤波的开关电容 (SC) 滤波器；VMOS 技术能用于高电压开关；浮置栅雪崩 MOS (FAMOS) 技术可用于实现非挥发性存储器，如此等等。后面将会看到，从电路

的观点看, MOS 技术在许多应用上都优于 BJT 技术的基本原因, 在于 MOS 晶体管自身就包含一个近乎完美的输入电容, 它能够把输入信号存储起来。因而设计高性能动态电路时, 习惯上都采用 MOS 技术。这与采用动态电路原理的双极型设计有明显的差异, 由于 BJT 的输入阻抗低, 因而需要采用较复杂的电路结构。另外, 因为用 MOS 工艺能够设计出许多不同的结构, 所以有可能实现新型集成电路, 例如有可能制出将成象器件与焦平面信号处理相耦合并与一联想存储器结合在一起的新器件, 而且全部都按用户具体需要而定做设计。这种灵活性在双极型工艺中就不那么明显, 但是, 在许多应用领域, 双极型工艺与 MOS 工艺又互为补充。表 1.1 中就数字逻辑技术特性对两种双极型逻辑(所谓晶体管-晶体管逻辑 (TTL) 和集成注入逻辑 (IL)) 和两种 MOS 技术(只用 n 沟器件的 NMOS 和具有互补的 n 沟、p 沟器件的 CMOS) 进行了对比。对比的内容是基本逻辑结构(叫做逻辑门)的电学性质以及工艺特征, 例如所需硅片掩模的数目和制造工序流程中扩散和注入的次数。由表 1.1 可以清楚地看到, 双极型电路的速度基本上优于 MOS 电路, 但是, 在每个门所占版图面积和功率上要比 MOS 电路差。相比之下可以看出, MOS 工艺在低功耗、高电路密度应用方面具有潜力。表 1.1 还反映了如下事实: 当前这两种技术的加工复杂程度大致相当。一个 75mm 硅片的制造成本一般为一百美元左右, 而且与工艺类型基本无关, 尽管金属栅 NMOS 这类较早期的工艺流程成本略低, 而硅栅 CMOS 这类较高级的工艺流程成本较高。由于每块制成的硅片的成本在任何时候都保持相对不变, 所以集成电路设计人员的任务就是使硅片单位面积上的逻辑功能密度达到最大, 制造工程师则将力图使有毛病的电路数目降至最小, 从而使器件成品率达到最优。

表 1.1 数字电路技术对比

	TTL	NMOS	CMOS	PL
典型面积/门 (μm^2)	27000—36000	1000	1500	5000
传输延时/门 (ns)	3—10	15—60	10—40	15
静态功率/门 (mW)	2—19	0.2—0.5	>0.001	0.13
速度-功耗乘积 (pJ)	18—100	1—5	0.5—3	2
掩模数	7—8	6	7	7
扩散和注入次数	5	3	4—6	4

成品率由单位面积硅片上出现的随机缺陷数目决定 (通常以每 cm^2 缺陷数为单位), 表示为在一定硅片上功能完善的电路在有可能合格的电路总数中所占的百分比。例如, 一直径为 75mm 的硅片上可以制作面积为 25mm^2 的芯片 100 个, 若用 MOS 工艺制造, 其成品率可能为 30%, 即得到大约 30 个能工作的电路。由于双极型工艺流程本身就比 MOS 工艺复杂, 而且 BJT 器件参数更灵敏地依赖于工艺流程, 因此, 在上述例子中, 如果用双极型工艺制造, 成品率可能只接近 10%, 这是不足为奇的。

缺陷的存在会造成集成电路失效, 失效的主要原因表现为一些不应有的开路 and 短路。它们主要是由栅氧化物中的针孔和构成晶体管的 pn 结二极管中的过量反向漏电流引起的。此外, 金属化连线中的断裂和导电层之间的接触不良也将大大损害电路性能。缺陷的主要起因可分类如下:

(a) 原材料质量差, 硅片加工中所用的化学试剂和气体受到沾污。这里特别重要的是污染引起的硅片晶格的不完整性, 不完整的晶格将造成 pn 结中的导电“尖峰”。扩散炉受磷沾污也能对器件参数产生有害的影响。

(b) 硅片加工工艺质量差。不正确的腐蚀会造成接触有缺陷。光刻工艺中掩模套刻偏离会引起大量问题。

(c) 工艺车间的环境控制差。用以确定器件结构的有机抗蚀剂(光致抗蚀剂)的性能与工艺车间的湿度、温度有关,大部分其它工序也是如此。

为了能逐日地精确监测工艺流程的成品率,必须在每批生产 30—50 片硅片的同时制造相应的陪测结构。常用的方式是在每个硅片上都附带设置若干检测用电路,每个电路中都包括标准晶体管结构、接触测试和测量电阻率的电导图形等。这样,工艺工程师在从生产区送出每批硅片以前就能够测量这些陪测图形,常规测量方法是在一台测试计算机上进行测试。最重要的指标是工艺流程的测试结果与预定指标的统计偏离情况以及硅片上的各个检测结构的稳定性和可靠性。只要给出一种稳定的工艺流程,便能够对新的电路设计作出评估,而原型电路的性能将是以后大量生产出的电路的性能的代表。

集成电路工业的繁荣建立在硅片的高出片量上,为了在制造流程的五十多个独立工序中协调一致地获得高成品率,需要严格的生产纪律和干净的环境条件。一家设备齐全的半导体制造厂需要投资一千万至一千五百万美元左右,每天的出片量为几千片硅片。只有保持如此高的硅片出片量,单元成本才能降低,巨大的原始投资才能回收,数目可观的设计费用才能分摊在各批产品上而逐步得到补偿。

目前,硅工艺是实现 BJT 和 MOS 电路的一种普遍的基础工艺,其原因如下:

(a) 硅器件制造工业建立至今已逾 20 年。

(b) 硅器件成品率相当高,因而硅集成电路生产成本便宜。

(c) 对硅 pn 结和晶体管结构的物理原理已研究得相当透彻。

(d) 相对地说,诸如硅和铝等原材料的价格不算贵,而且能得到高纯度的材料。

(e) 在全世界都有现成的工业“标准”流程,可以作为生产安排中的“二次资源”。

(f) 有广泛多样的现成器件和电路技术可供设计人员利用。

(g) 设计规则相当“标准”。

这些关键因素肯定能保证硅工艺由于工业上的成熟而将在下一个十年继续得到应用。

1.2 LSI 设计的几种途径

只有当一个系统的绝大部分电子线路集成在少数几个集成电路中的时候,LSI 技术的优越性才能表现出来。包含大量集成电路和二极管、电容器等其它分立元件的印制电路板的装配工作很花钱,所以现代的趋势是将所有电子线路进行单片集成,以便最优地降低功率,减少空间和装配费用,集成电路技术的全部效果也能充分发挥出来。

如果系统能由若干标准电路或“分类”电路构成,这种系统集成问题的解决办法将是最便宜的。这是很少见到的幸运情况,因为这里不存在集成电路设计费用问题,所以元件成本也就最低,因为标准化部件通常能吸引巨大的销售量,因而生产厂商能以微薄的利润出售产品。除了这种特殊情况以外,一般的系统集成可以通过下面三种主要的 LSI 设计途径之一来实现:

(a) 在 IC 互连的层次上进行设计叫做定做式互连。

(b) 在软件的层次上进行设计叫做定做式程序。

(c) 在 LSI 电路设计的层次上进行设计叫做定做式电路。

1.2.1 定做式互连

通常,定做式互连 (customised interconnect), 是指通过特定走向的导线或印制电路板轨线将若干集成电路进行外部连接。然而,在这里,定做式互连的意思是,围绕一些以高成品率预先制备好的标准的并得到确证的单元,按用户要求在硅集成电路内部进行互连。这种系统集成方法的风险极低,因为可以用计算机辅助手段自动地进行布线,成本和开发时间也比较节省。当然,提供这种服务的工厂通常鼓励顾客自己进行这种设计,从设计逻辑图到获得合用的电路所花费的时间可能只有十周。而且,系统工程师基本上对设计工作承担全部责任(通常还包括测试在内),所以如果这条途径得以实现,对系统公司和半导体公司都特别有吸引力。

目前有两种明显不同的生产定做式互连集成电路的技术:(a) 标准单元方法,(b) 门阵列或非专用逻辑阵列方法。在方法(a)中,所有各种标准单元,包括一系列组合或时序逻辑功能加上外围电源和输入/输出信号的焊点,都存放在一个计算机数据库中,根据设计要求,在一个计算机终端上将这些单元调出,并显示在一个可视显示单元(VDU)上。然后用一标准的导电轨线网格图形半自动地将这些单元连接起来。用这种方法进行设计时,硅片基本上被看作是一块“硅印制电路板”,那些标准单元相当于印制电路板上现成的TTL或CMOS标准电路。这种方法的设计周期极短,几个星期便能设计一个完整的用户集成电路,而且能安装在标准的压焊封装框架内(这种框架经键合封装后能提供输入/输出信号通路)。设计完成后就投入试制,制造步骤与其它集成电路制造步骤一样。

方法(b)以门阵列为基础,也是一种快速设计途径,单

元结构更简单,或者是4—6个晶体管群体,或者是规则二维阵列形成的简单组合逻辑门。涉及门阵列的布线过程显然比标准单元方式的复杂,因为功能单元本身还必须由若干门阵列构成。因此,门阵列方法要依赖计算机辅助版图设计来确定互连布线,这类程序有许多在市场上可以买到,还有一些正在开发。虽然,看上去门阵列方法可能不如标准单元方法合意,但是门阵列设计非常灵活,任何种类的功能模块都能够由简单单元组成。门阵列方法的主要意义在于,加工时只需要采取一个工艺步骤就能实现定做式电路。因而门阵列方法成本低,设计周期短,这些优点使它对系统工程师有吸引力。本书第六章将详细讨论门阵列方法,并将介绍若干设计实例。

1.2.2 定做式程序

有两种根本不同的LSI设计方法,到底哪一种方法更有效,目前还有争议。这两种方法是:

(a) 设计出一个通用的计算型集成电路,在制造出来以后再设计它的工作软件(最著名的例子是微处理机芯片)。

(b) 设计一个完全专用的、用户设计的集成电路,在制造以前设计其内部细节。

显然,微处理机方法更灵活,因为它可以一次又一次地重新编程以适应无数不同的任务。这种方法的缺点是:它的计算能力中有一部分要花费在按照相关的软件控制它本身上面,无论如何,余下的计算能力一般还有一部分要用来完成其它任务。因而,在目前阶段,以微处理机为基础的系统性能比较差,但是它也有可以抵消这个缺点的优点,即这种方法可以通过控制软件快速、方便地改变工作功能。然而,它的软件程序的安全性和测试问题也是一个令人担心的问题,可以论证,软件比较容易被弄错,而且与功能齐全的专用集成电路