

大规模集成电路 译文集

国防工业出版社

73.6
157.1
C.9

大规模集成电路译文集

《半导体情报》编辑部编译

31037/5

国际科学出版社

内 容 简 介

本文集编译了国外关于大规模集成电路的设计和工艺方面的八篇文章，主要内容为逻辑电路设计、MOS存储器、互连技术、多层布线技术、检测图案、引线工艺以及失效机构等；书中还较全面地介绍了国外大规模集成电路的发展概况。

本书可供从事半导体专业工作的有关人员参考。

大规模集成电路译文集

《半导体情报》编辑部编译

国防工业出版社出版

北京市书刊出版业营业许可出字第074号

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印装

787×1092¹/₃₂ 印张47¹/₁₆ 92千字

1971年4月第一版 1971年4月第一次印刷

统一书号：15034·1227 定价：0.48元

前 言

随着我国科学技术的飞跃发展，对电子系统微小型化的要求越来越迫切，为此，我们遵照毛主席关于“洋为中用”的伟大教导，编译了这本《大规模集成电路译文集》，供从事半导体专业工作的同志参考。

伟大领袖毛主席教导我们：“对于外国文化，排外主义的方针是错误的，应当尽量吸收进步的外国文化，以为发展中国新文化的借镜；盲目搬用的方针也是错误的，应当以中国人民的实际需要为基础，批判地吸收外国文化。”由于本书所收集的文章是从资本主义国家的有关期刊和专刊中选译的，原文中反映出资产阶级的技术至上、互相倾轧和为资本家或厂商吹嘘、牟利等色彩，对此，我们在编译时尽量进行了删改，希望同志们批判地进行参考。

由于我们活学活用毛泽东思想不够，业务水平有限，编译中难免出现错误和缺点，恳请同志们提出宝贵意见，以便改进。

编译者

1970.11

目 录

一、国外大规模集成电路发展概况·····	5
二、MOS 存储器·····	24
三、半导体矩阵制造自动设计 ——选择布线系统·····	40
四、单片式大规模集成电路的多层布线技术·····	62
五、集成电路、大规模集成 电路中的玻璃工艺·····	74
六、大规模集成电路的两种互连技术·····	86
七、大规模集成电路的检测图案·····	100
八、大规模集成电路的失效机构·····	114

73.6
157.1
C.9

大规模集成电路译文集

《半导体情报》编辑部编译

31037/5

国际科学出版社

内 容 简 介

本文集编译了国外关于大规模集成电路的设计和工艺方面的八篇文章，主要内容为逻辑电路设计、MOS存储器、互连技术、多层布线技术、检测图案、引线工艺以及失效机构等；书中还较全面地介绍了国外大规模集成电路的发展概况。

本书可供从事半导体专业工作的有关人员参考。

大规模集成电路译文集

《半导体情报》编辑部编译

国防工业出版社出版

北京市书刊出版业营业许可出字第074号

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印装

787×1092¹/₃₂ 印张47¹/₁₆ 92千字

1971年4月第一版 1971年4月第一次印刷

统一书号：15034·1227 定价：0.48元

前 言

随着我国科学技术的飞跃发展，对电子系统微小型化的要求越来越迫切，为此，我们遵照毛主席关于“洋为中用”的伟大教导，编译了这本《大规模集成电路译文集》，供从事半导体专业工作的同志参考。

伟大领袖毛主席教导我们：“对于外国文化，排外主义的方针是错误的，应当尽量吸收进步的外国文化，以为发展中国新文化的借镜；盲目搬用的方针也是错误的，应当以中国人民的实际需要为基础，批判地吸收外国文化。”由于本书所收集的文章是从资本主义国家的有关期刊和专刊中选译的，原文中反映出资产阶级的技术至上、互相倾轧和为资本家或厂商吹嘘、牟利等色彩，对此，我们在编译时尽量进行了删改，希望同志们批判地进行参考。

由于我们活学活用毛泽东思想不够，业务水平有限，编译中难免出现错误和缺点，恳请同志们提出宝贵意见，以便改进。

编译者

1970.11

目 录

一、国外大规模集成电路发展概况	5
二、MOS 存储器	24
三、半导体矩阵制造自动设计	
——选择布线系统	40
四、单片式大规模集成电路的多层布线技术	62
五、集成电路、大规模集成	
电路中的玻璃工艺	74
六、大规模集成电路的两种互连技术	86
七、大规模集成电路的检测图案	100
八、大规模集成电路的失效机构	114

一、国外大规模集成电路发展概况

大规模集成技术同以前的集成电路技术一样，使电子系统朝着高可靠性和微小型化又向前迈进了一大步。可以认为，这是集成电路技术发展的必然趋向。它使过去的单片集成电路发展成为能起系统功能作用的部件。对数字电子技术而言，即进入小片式微小型计算机阶段。

大规模集成技术可以在一个晶片上制作大量电路，由大规模集成电路构成的电子系统要比由普通集成电路构成的电子系统体积小得多。电子系统的大规模集成化可以大大减少内部接点，这是保证电子系统可靠性的重要因素。以上的优点对于飞机、火箭、导弹、人造卫星和宇宙航行等方面应用的电子系统是十分有利的。

1. 概 述

大规模集成技术（简称 LSI），或称为集成电子部件（简称 IEC），是在常规集成电路技术基础上发展起来的。大规模集成电路与一般集成电路的区别在于：后者是在一个半导体片上制作若干器件，并在结构内部把这些器件互相连接起来形成电路。而大规模集成电路是在一个半导体片上同时制作若干电路，并在结构内部把这些电路互连起来形成一种功能部件或系统。所以，大规模集成电路晶片本身就是复杂的功能系统。

目前比较统一的看法是，在一个半导体片上同时制作100

个电路以上的称为大规模集成，在 20~100 个电路之间的称为中规模集成（简称 MSI）。

2. 发展概况

随着半导体技术的发展，早在 50 年代初期就提出半导体集成电路的概念并着手进行研究，但直到 1962 年才出现产品。1964 年采用金属-氧化物-半导体场效应结构制成了 MOS 集成电路，到 1968 年时由于设计技术的改进才出现较多的大规模集成电路产品。1962 年时，在 100×100 密耳的晶片上只能做一个触发器；1968 年时，用同尺寸的晶片可制成 64 位存储器矩阵和 8 个缓冲器矩阵。以单片而言，1962 年一个晶片含有 12 个元件，2 个门电路；1968 年可制成一平方吋晶片含有几十万个元件的大规模集成电路。其发展大致情况如表 1 所列。

表 1 电子器件产品和水平

年 份	产 品	水 平
1904	真 空 管	—
1948	晶 体 管	—
1962	集 成 电 路	每片 12 个元件
1964	MOS 集成电路	每片 4 个门电路
1966	中规模集成电路	每片 50 个门电路
1967	大规模集成电路	每片 100 个门电路以上

大规模集成电路的设计要比一般的集成电路复杂，在工序和设备方面也有很大的增加和改变。这些都需要新的、更大的投资。另外，在初期发展阶段，由于设计和工艺不成熟，成品率很低，这就提高了产品成本。这一切对于追求利润、技术垄断、互相竞争的资本主义国家来说，是不可克服的矛

盾,因而在这些国家中大规模集成电路的发展就受到了限制。

3. 工艺概况

大规模集成工艺是发展连接系统或子系统的一整套完整的半导体工艺技术。因此,要在一个半导体晶片上制作数量更多的元件或电路,就要靠缩小元件尺寸、提高密度和采用多层金属互连的方法来达到。同时还要考虑随着元件集成密度的提高和晶片尺寸的增大,含有失效电路的可能性也随之增大,因而造成片子报废,成品率降低。因此,改进电路设计、提高工艺水平和进行严格的程序控制等已成急待解决的问题。目前,国外已利用电子计算机设计电路、制备掩模图形、布线、进行程序控制和产品测试等,以获得良好的产品性能和较高的成品率。

一般采用的硅片直径是一吋,现已考虑用2~2.5吋,甚至3吋的片子。片子是 $\langle 111 \rangle$ 晶面或 $\langle 100 \rangle$ 晶面的。在MOS技术中普遍用 $\langle 100 \rangle$ 晶面,因为它的栅阈值电压只有 $\langle 111 \rangle$ 晶面的一半,低阈值电压的电路可在较低的电源(1.8伏或更小)和较高速下工作。

(1) 结 构

大规模集成电路目前采用双极晶体管和MOS场效应管两种结构。

① 双极晶体管结构 目前它的工作速度比MOS电路快,而且制造工艺比MOS场效应管工艺更为成熟,更为稳定。但电路片的元件密度远不如MOS结构。在双极型电路中约有30%的面积被隔离区所占据,这些面积可用来制作200个MOS器件。另外,由于功耗问题也影响了集成密度的

提高。例如，速度可达 1 毫微秒和亚毫微秒的发射极耦合逻辑门电路，当需要在 1 平方吋的面积上集成几千个这种电路时，总的功耗高达 0.5 千瓦，这是难以想象的。如果采用互补双极电路，虽然可以解决这一问题，但工艺较复杂。

尽管如此，由于提高数字系统的速度仍是整机应用的一个重要性能指标，因此国外仍坚持发展双极型电路。目前，解决速度和功耗矛盾的一个折衷方法是，牺牲一定的抗扰度来减小功耗，同时保持较高的速度，其中的一种就是低电平反馈电流开关，如图 1、图 2 所示。门电路的功耗为 3 毫瓦，延时为 1 毫微秒（一般发射极耦合 ECL 逻辑门功耗达 80 毫瓦），信号摆动为 300 毫伏（一般 ECL 逻辑门为 600 毫伏），电路阻抗较高。

据报导，把所有的逻辑电路都做在片子上可解决抗扰度低的问题。由于这种低电平电流开关电路的散热问题不严重，因此可以在单片上制作很多电路，同时引线很短，因而整个大规模集成电路片子的工作速度可望达到单个门电路所能达到的高速度。目前已在 100×100 密耳和 40 引线端的片子上制作 100 个这样的电路。100 个电路的实占面积为 70×70 密耳，剩下的面积是 12 个常规发射极耦合逻辑缓冲驱动器和键合点。100 个电路的功率是 300 毫瓦，12 个缓冲驱动器的功率也是 300 毫瓦。

② MOS 场效应电路 其特点是功耗低、体积小、抗辐射，制造较容易。就器件本身而言，MOS 器件比双极管小 3~4 倍以上，容易获得高密度。就工艺而言，MOS 结构易于制成象存储器、寄存器和译码器这类包含一种功能类型、几种电路的系统。但是，MOS 器件的表面稳定性有待进一

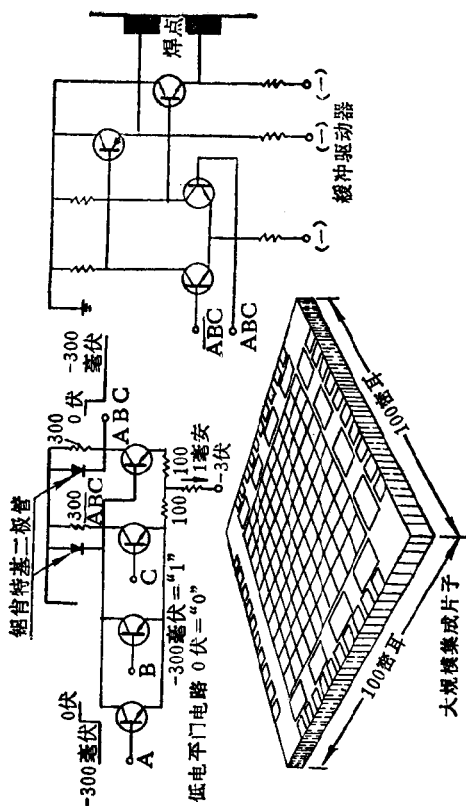


图1 用12个高功率缓冲器连接的许多低功率电路结构。
集成100个这样的低功耗电路，其速度可达1毫微秒，功耗
仅300毫瓦，加上12个常规ECL电路，总功耗为600毫瓦

步解决，这主要是材料和工艺方面的问题。在氧化层中，钠杂质会增大器件阈值电压和结的漏电流，钠离子的漂移会引起器件参数的漂移。另外，尺寸大大减小后，易引起电路中隔离结的漏电。其次，MOS电路所用的电源电压一般较高，这也是使用中存在的缺点。

在早期 MOS 晶体管研究中发现，互补结构（P和N型

沟道)比单沟道结构速度快得多,直流电源消耗几乎等于零,功耗是最小的。所以可采用互补结构的 MOS 电路。但是互补MOS电路的制造工序和双极型电路一样多,而且也需要隔离区,这就失去了MOS结构制作简单和尺寸小的特点。

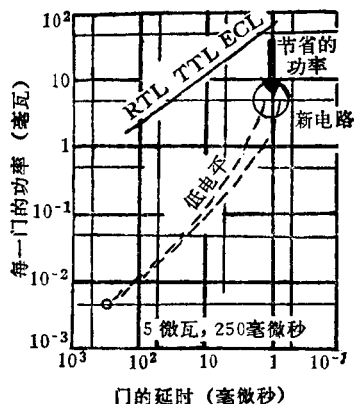


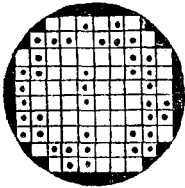
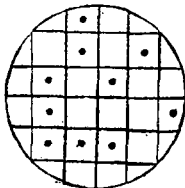
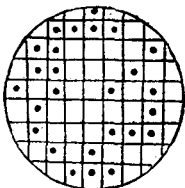
图2 数字电路速度和功率的乘积,如果降低信号摆动,能降低一个数量级以上。图中实线是常规逻辑电路,虚线是低电平电流开关电路,低的虚线达到1毫微秒时,必须考虑附加的晶体管电路

就目前的水平来看, MOS 电路还只限于低速开关领域,但是已有人提出,用离子掺杂法形成 MOS 结构,其特性频率可达 10 千兆赫以上。此外还有一种所谓自扩散形成窄沟道的结构,其特性频率比同样尺寸的双极高频晶体管高得多。因此,随着新工艺、新结构的应用, MOS 大规模集成电路将来有可能占领目前一直被双极晶体管所占据的高速领域。

(2) 制造技术

目前基本有三种大规模集成电路制造技术: 功能矩阵法、单元矩阵法和选择矩阵法, 其基本特点见表2。

表 2

	选择布线矩阵	单元矩阵	功能矩阵
			
基本特点	1. 着手于预先处理好的含有大量门功能电路的大片 2. 用探针测试门电路 3. 将合格电路用3~4层金属层连接成系统 4. 封装片子 5. 最后测试功能	1. 开始于预先处理过的包含许多“单元”功能的大片 2. 制作2~3层固定金属化连接矩阵并在片上重复交叉 3. 用探针测试功能 4. 划线和封装好功能部件 5. 最后测试功能	1. 按“最小面积/最大功能”进行线路和掩模设计 2. 采用1~2层金属化层 3. 扩散和金属化淀积的标准处理 4. 用探针测试功能 5. 划线和封装好功能部件 6. 最后测试功能
复杂度	100~10000门电路/矩阵	24~400门电路/矩阵	10~50门电路/矩阵
小片尺寸 (大片直径1.5吋)	$3, 5 \times 10^6$ 密耳 ²	$5 \times 10^3 \sim 5 \times 10^4$ 密耳 ²	$2, 5 \times 10^3 \sim 1, 2, 5 \times 10^4$ 密耳 ²
小片量/大片		20~200	100~500
所用新工艺	1. 多层金属连接 2. 计算机掩模制造	多层金属连接	—

① 功能矩阵法 以16位存储器、移位寄存器、计数器、加法器和其他功能电路作为基本电路结构, 即根据指定的功能部件考虑最佳的基本电路结构, 不管实际的逻辑形式如何。

这种方法能有效地利用每个元件，减小功耗，为每个逻辑提供较高的速度。引线连接图形随部件功能的不同而改变。矩阵也可作为“功能单元”来看，连接这些“功能单元”就构成子系统，见图3。

② 单元矩阵法 也称多单元矩阵法。它是将一个大晶片隔离成足够多的单元并制作足够多的逻辑元件。将单元组成一个个矩阵，然后将每个单元中的元件连接，形成足够量的各种逻辑门和触发器，随后在整个片上淀积覆盖一层绝缘膜，然后开窗口，淀积金属层，按垂直方向将每个矩阵内的单元连接起来，再覆盖一层绝缘层，再开窗口，然后再淀积金属层，按水平方向将矩阵连成系统，经测试、封装而成。引线数目为24、36或更多，见图4。

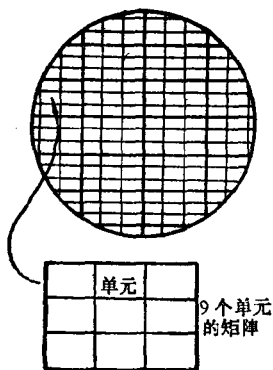


图3 晶片分成许多矩阵，每个矩阵含有许多小单元

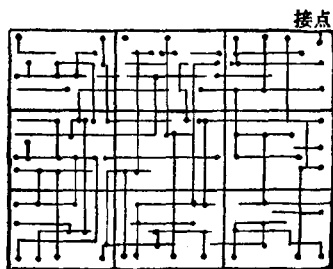


图4 分别按垂直和水平方向制作金属化连接

基本单元包含4个门电路和8个门电路及触发器。逻辑分低功率和高速两种。采用四种金属化图形：逻辑单元、扩