

MACH 可编程逻辑器件 及其开发工具

蓝江桥 刘宝琴 宋晓玖等 编译

清华大学出版社

WQ



MACH 可编程逻辑器件及其开发工具

蓝江桥 刘宝琴 宋晓玫 等编译

清华大学出版社

(京)新登字 158 号

内 容 提 要

可编程逻辑器件是可以由用户在工作现场进行编程的逻辑器件。AMD 公司的可编程逻辑器件的规模从几百门到几万门,延迟时间可低到 4.5ns,具有使用方便、可在系统编程等特点。

本书分为三大部分。第一部分介绍 AMD 公司的 MACH 系列产品;第二部分介绍 MACH 器件的设计过程;第三部分介绍 PALASM 4 开发软件;在附录中给出了 AMD 公司的 PALCE 系列器件的简介,以及 AMD 公司各类产品的器件封装引脚图。

本书是根据 AMD 公司有关资料编写的,供使用可编程逻辑器件的技术人员参考,也可作为通讯、信号处理、计算机、自动化等专业的教学参考书。

版权所有,翻印必究。

本书封面贴有清华大学出版社激光防伪标志,无标志者不得销售。

书 名: MACH 可编程逻辑器件及其开发工具

作 者: 蓝江桥 刘宝琴 宋晓玫等编译

出版者: 清华大学出版社(北京清华大学校内,邮编:100084)

印刷者: 清华大学印刷厂

发行者: 新华书店总店科技发行所

开 本: 787×1092 1/16 印张: 23 字数: 524 千字

版 次: 1997 年 1 月第 1 版 1997 年 1 月第 1 次印刷

书 号: ISBN 7-302-02450-2/TP·1237

印 数: 0001 - 5000

定 价: 45.00 元

Preface

The PLD market continues to experience explosive growth. Forecast is that this will be a \$ 5 billion market worldwide by 1999. AMD is and will continue to be a major force in this dynamic market. To ensure our mutual success, we have created a wholly-owned subsidiary which is comprised of the Programmable Logic Division of AMD.

The market is changing and the requirements for success are evolving from a standard commodity business to a much more sophisticated one requiring heavy emphasis on both design software and proprietary architecture. This coupled with the challenges of time-to-market and reduced product life cycles means that in order for you to be effective in your programmable logic decisions, you must be able to count on suppliers with a high level of technical knowledge in both silicon and software.

It is for this reason that we have formed a wholly-owned subsidiary to focus exclusively on programmable logic. A dedicated sales force, which will better serve your specialized PLD requirements, has been established. As a wholly-owned subsidiary of AMD, we will design, develop and market PLD products, and continue to have access to AMD's advanced process technology, and wafer fabrication and packaging capabilities.

It is our desire to provide you with high level of sales and design support. The translation of this data book represents one of our many efforts to service you in the People's Republic of China. We sincerely hope you find this information useful and beneficial to your engineering work.

Phil Kwan,
Area sales and marketing manager
Asia Pacific

致 读 者

从 80 年代中期开始, 一门新兴的技术诞生了, 这就是可编程逻辑器件 (PLD)。从此, 人们告别了在大面积的印刷电路板上, 用数十片、甚至几百片分离逻辑器件拼凑大规模逻辑电路的时代。由于可编程逻辑器件与分离逻辑器件相比较具有速度快、容量大、功耗低、可靠性高等众多优点, 因此很快取代了分离逻辑器件。今天, 可编程逻辑器件已成为世界电子工业中发展最快的门类, 获得了近百分之三十的年增长率。

在众多的可编程逻辑器件生产厂家中, 美国 AMD 公司以其优越的品质、完备的特性逐渐成为可编程逻辑器件的杰出代表。作为美国第四大集成电路生产供应商, AMD 公司无论在技术开发、还是批量生产方面均具有极其雄厚的实力。这使得该公司的产品从容量、速度、可靠性、性能价格比等方面均居世界领先地位, 从而成为客户们最可信赖的伙伴。继先后推出 PAL、PALCE、MACH $1\times\times$ 、 $2\times\times$ 、 $3\times\times$ 和 $4\times\times$ 系列之后, AMD 公司又最新推出了容量高达 512 个单元、传输延时小于 7.5 纳秒的 MACH $5\times\times$ 系列产品, 成为目前世界上最快的超大容量可编程逻辑器件。预计在明年初, AMD 公司的 MACH $6\times\times$ 系列也将问世。届时将提供给客户意想不到的强大功能。

作为 AMD 公司可编程逻辑器件产品的中国代表及代理——中泰康通讯技术有限公司一直为 AMD 公司产品在中国的推广普及做着不懈的努力。我公司不仅积极将各种国外先进技术推向中国, 而且利用我公司代理的器件为客户进行设计, 协助客户开发具有市场竞争优势的产品。我们真诚地希望国内的广大电子工程设计人员能了解和掌握可编程逻辑器件——这种 90 年代的高科技产品, 使中国的电子科技产业迈上一个新台阶。这也正是我们将此书推荐给广大读者的宗旨。在此我们也向为本书出版做出巨大贡献的美国 AMD 公司、清华大学、空军雷达学院致以深深的谢意。

中泰康通讯技术有限公司
(AMD 公司可编程逻辑器件中国代表)

张志麟

1996 年 12 月 12 日

前言

可编程逻辑器件(PLD——Programmable Logic Device)是可以由用户在工作现场进行编程的逻辑器件,从集成规模上分为简单的 PLD 和复杂的 PLD。

AMD 公司生产的 PALCE(Programmable Array Logic CMOS Electrically-Erasable)器件就是通常称为 GAL(General Array Logic)的器件。这类器件属于简单的 PLD,采用 CMOS 电可擦工艺制造,内含 8 到 16 个宏单元,延时 t_{PD} 从 25ns 到 5ns,封装为 20 到 28 个引脚,它们是非常流行的可编程逻辑器件。本书在附录 B 中对 PALCE 器件的特点和选用作了简单的介绍。

AMD 公司生产的 MACH(Macro Array CMOS High-density)器件是复杂的 PLD (CPLD),目前有 MACH 1、2、3、4 和 5 五个系列,其规模从 32 到 512 个宏单元,延时 t_{PD} 从 20ns 到 5ns,封装为 44 到 352 个引脚。MACH 器件属于 EPLD(Erasable PLD)器件,具有连续式的内部连线结构,可以预知内部逻辑的定时关系,容易消除竞争险象,便于设计使用。MACH 器件采用 CMOS 电可擦工艺制造,有两种编程方法的器件:一种需在编程器上对器件编程;另一种可在系统上编程(ISP——In System Programmability)。后者可以通过下载电缆对已装在印制板上的器件进行编程(参看附录 D),省去了编程器,且引脚可做得小巧,从而减小引线电感、缩小器件体积、提高了工作的性能和可靠性。本书主要介绍 MACH 器件及其开发工具。

AMD 公司独立开发的 PALASM 4 是该公司 PLD 器件的开发工具。该软件的突出优点是使用简便、容易掌握、工作环境要求低。它可工作在 DOS 3.1 以上的所有版本,PC/AT 以上的机型和兼容机,10 M 字节以上的硬盘空间。PALASM 4 软件的安装附录 A 中介绍。

开发 PLD 的主要过程为:

1. 输入原理图

采用 OrCAD 输入原理图。一个办法是直接进入 OrCAD/SDT 画图;另一个办法是从 PALASM 4 软件环境中进入 OrCAD/SDT 画图。

2. 形成 PDS 文本文件

在 PALASM 4 环境中将形成的原理图文件(*.SCH)转换成文本文件(*.PDS);也可以不采用 OrCAD 输入原理图,直接用文本方式编辑 *.PDS 文件。此外,还可以将多个文本文件合并成一个设计文件。

3. 编译和适配

运行 RUN 菜单下的编译 Compilation 命令可完成逻辑优化、分块、布局、布线工作,直到最后产生供器件编程使用的 JED 文件。

4. 器件编程

5. 仿真

PALASM 4 可对设计进行功能仿真,以检验逻辑功能的正确性。仿真结果可为文本格式,也可为波形方式。仿真可在编译前或编译后进行。如果对电路有信心,也可以省略仿真这一步。

本书分为三个部分。第一部分介绍 MACH 器件。第 1、2 和 3 章分别介绍 MACH 1、2、3、4 和 5 系列器件。第二部分和第三部分介绍 PALASM 4 开发工具;第二部分侧重于 PALASM 4 的使用,第三部分对 PALASM 4 作了较详细的介绍,阅读这两部分时,可以穿插进行。其中第 4 章介绍文本和图形两种输入方法,以及多个文件的合并。第 5 章介绍设计的编译及其与器件的适配。涉及到器件的设计策略,应考虑的问题和解决办法。第 6 章介绍设计的功能仿真。第 7 章介绍 PALASM 4 的菜单和命令。第 8 章介绍 PALASM 的各种语句。第 9 章介绍用图形方式设计输入时,可供选用的库元件。第 10 章给出两个设计实例。

为便于读者使用器件,在附录 C 中给出了 AMD 公司可编程逻辑器件的器件封装引脚图。

AMD 公司除开发了 PALASM 4 软件外。还开发了 MACHXL 和 MACHPRO 软件,并与第三方合作开发了其他软件,如:Data I/O 公司的 AMD-ABEL 和 ABEL MACH Fitters、MicroSim 公司的 Design Center/AMD、Viewlogic 公司的 PRO developer/AMD 和 MINC 公司的 PLDesiner-XL。以下公司的设计工具也支持 MACH 器件:Cadence、CINA、Data I/O、IS Data、Logical Devices、Logic Medeling、Mentor、MicroSim、MINC、OrCAD、SUSIE-CAD、Synopsys 和 Viewlogic 等。鉴于篇幅所限,这些开发工具本书未做介绍。

本书由空军雷达学院和清华大学的教师合作编写而成。在编写过程中,得到了 AMD 公司和中泰康通讯技术有限责任公司的极大支持和帮助。参加本书第一部分编译工作的还有李跃华、韩德宏;参加书第二部分编译工作的还有朱红卫、江晶、彭飞;参加第三部分编译工作的还有卢浩、谷京朝和李名华。于川、刘健飞同志也参加了本书的编译和审校工作。由于时间仓促,书中必有不妥之处,欢迎读者予以指正。

编译者

1996 年 11 月

目 录

第一部分 MACH 器件	1
第 1 章 MACH 1,2 系列器件	3
1.1 MACH 1,2 系列器件的主要特点	3
1.2 MACH 1,2 系列同步器件的结构	5
1.3 MACH 1,2 系列同步器件的功能配置	8
1.4 MACH 1,2 系列同步器件的电气特性	11
1.5 MACH 215 异步器件	18
第 2 章 MACH 3,4 系列器件	24
2.1 MACH 3,4 系列器件的主要特点	24
2.2 MACH 3,4 系列器件的结构	25
2.3 MACH 3,4 系列器件的功能配置	35
2.4 MACH 3,4 系列器件的电气特性	39
第 3 章 MACH 5 系列器件	50
3.1 MACH 5 系列器件的主要特点	50
3.2 MACH 5 系列器件的结构	52
3.3 MACH 5 系列器件的功能配置	55
3.4 MACH 5 系列器件的电气特性	58
第二部分 MACH 器件的设计	69
第 4 章 设计的输入	71
4.1 概述	71
4.2 文本形式的设计输入	72
4.3 图形形式的设计输入	96
4.4 合并多个设计文件	112
第 5 章 编译与适配	122
5.1 概述	122
5.2 适配过程与方法	123
5.3 适配出错的处理	131
5.4 成功适配后的调整	148
第 6 章 仿真	150
6.1 概述	150
6.2 建立仿真文件	150
6.3 查看仿真结果	153
6.4 使用仿真结构语句	157

6.5 设计举例	158
第三部分 PALASM 4 可编程逻辑设计语言	165
第 7 章 菜单和命令	167
7.1 概述	167
7.2 FILE 菜单	169
7.3 EDIT 菜单	183
7.4 RUN 菜单	184
7.5 VIEW 菜单	186
7.6 DOWNLOAD 和 DOCUMENTATION 菜单	188
7.7 [F1] FOR HELP 栏	189
第 8 章 语句	190
8.1 概述	190
8.2 操作符	193
8.3 语句说明	193
第 9 章 库	228
9.1 宏的分类	228
9.2 宏在图形设计中的应用	231
9.3 TTL 等效宏	233
第 10 章 设计举例	287
10.1 8 位桶形移位寄存器	287
10.2 通用异步接收/发送器(UART)	303
附录 A: PALASM 4 软件的安装	325
附录 B: PALCE 器件的特点与选用	328
附录 C: 器件封装引脚图	340
附录 D: MACH 器件的 JTAG 标准及 ISP 技术	356
参考资料	359

第一部分

MACH 器件

第 1 章 MACH 1, 2 系列器件

MACH 1 和 MACH 2 系列器件是 AMD 公司的第一代高密度、电可擦除、CMOS 宏阵列可编程逻辑器件,它是在 PAL、PALCE(相当于 GAL)结构基础上发展起来的复杂的可编程逻辑器件(CPLD),它由多个 PAL 块和可编程开关矩阵互连而成。采用 $0.8\mu\text{m}$ EECMOS 工艺制造,是一种全新的 MACH(Macro CMOS High density)结构。

1.1 MACH 1, 2 系列器件的主要特点

MACH 1, 2 系列器件的主要性能特点是:

1.1.1 高密度

MACH 1, 2 系列器件内含 32~128 个宏单元;最大输入个数:38~70、最大输出个数:32~64;有 44~84 个封装引脚;其逻辑容量相当于 900~3600 个等效 PLD 门。

1.1.2 高速度

MACH 1, 2 系列器件具有确定的、与设计无关的高速度。其引脚到引脚的传输延迟时间 t_{PD} 为 7/10/12/15/20ns;相应工作频率 f_{CNT} 为 133/100/76.9/66.6/50 MHz。

1.1.3 可配置的宏单元

MACH 1, 2 系列器件内部 PAL 块的宏单元可由用户编程配置:输出极性(低有效或高有效)可编程配置;输出类型(组合型或寄存器型)可编程配置;反馈形式(内部或 I/O)和触发器类型(D 型和 T 型)等均可编程配置。

1.1.4 编程写入与擦除

MACH 1, 2 系列器件可用标准的编程器编程写入,其写入的数据在工作条件下可保存 20 年之久;若需改写,可用电擦除,整个擦除过程由软件自动执行。

新产品 MACH 211 SP 和 MACH 231 SP 可实现在系统编程(参看 2.1.4 节和附录 D)。

1.1.5 保密性强

所有 MACH 器件都有一个可编程保密位,以防止非法拷贝阵列的配置信息。该位一旦编程,器件的阵列编程信息便不能读出,保密位的擦除也只能随器件的编程信息一同擦除。保密位编程后,器件也无法进行编程和校验,但含有预装入的测试矢量可照常测试。

1.1.6 上电复位功能

所有触发器上电时的初始值为逻辑低电平,整个器件的实际输出值则取决于其宏单元

的配置。上电时, V_{cc} 必须单调上升, 在复位延迟之后, 时钟才有效。所有 MACH 器件的最大复位延迟时间均为 $10\mu s$ 。

1.1.7 寄存器预装入

所有 MACH 器件的寄存器都可以从 I/O 引脚预装入, 以便对复杂状态机进行功能测试。可以装入任意状态, 并且可以通过装入非法状态和观察其恢复过程来检验其状态转移情况。

1.1.8 可观察能力

除预装入提供的控制之外, 测试过程还需要观察器件的内部状态。MACH 器件就具有这种可观察能力, 它允许用户将隐埋寄存器的值送到可观察的输出引脚。对于配置为组合型的宏单元, 则强迫宏单元的输出经多路选择器选择寄存器型输出模式, 从而实现观察功能。

1.1.9 设计工具通用性强

MACH 器件采用熔丝 PLD 格式, 其设计可利用 AMD 公司提供的 PALASM 4 等专用开发软件, 也支持其他第三方的设计工具, 如 Design Center/AMD(Microsim), 以及通用的电子设计自动化(EDA)软件包, 如 Aldec、Cadence、Mentor Graphics、Microsim、MINC、Synario、Viewlogic 等和通用的编程器, 以进行电路图或文本方式的设计输入、编译、适配和产生 JEDEC 文件、进行逻辑仿真和时序仿真, 以及下载器件编程。

MACH 1,2 系列器件性能一览表如表 1.1 所示。

表 1.1 MACH 1,2 系列的主要性能

器 件	引脚 数目	宏单元 数目	PLD 门 数目	最大输入 数目	最大输出 数目	最大触发器 数目	速度(ns)
MACH 1 系列							
MACH 110	44	32	900	38	32	32	12, 15, 20
✓ MACH 111	44	32	900	38	32	32	7, 10, 12, 15, 20
MACH 120	68	48	1200	56	48	48	12, 15, 20
MACH 130	84	64	1800	70	64	64	15, 20
MACH 131	84	64	1800	70	64	64	7, 10, 12, 15, 20
MACH 2 系列							
✓ MACH 210	44	64	1800	38	32	64	7, 10, 12, 15, 20
MACH 211	44	64	1800	38	32	64	7, 10, 12, 15, 20
MACH 220	68	96	2400	56	48	96	12, 15, 20
MACH 221	68	96	2400	56	48	96	7, 10, 12, 15, 20
MACH 230	84	128	3600	70	64	128	15, 20
MACH 231	84	128	3600	70	64	128	7, 10, 12, 15, 20
异步 MACH 器件							
MACH 215	44	64	1500	38	32	64	12, 15, 20

1.2 MACH 1,2 系列同步器件的结构

MACH 1,2 系列所有同步器件的基本结构相同,其区别仅为容量差别。这种结构极大地方便了设计者对设计的移植。

MACH 1,2 系列同步器件的基本结构如图 1.1 所示,它们由多个 PAL 块和一个可编程开关矩阵组成。每个 PAL 块内又含有多个宏单元, MACH 1 系列器件仅含有输出宏单元,而 MACH 2 系列既含有输出宏单元,又含有隐埋(buried)宏单元,除此之外,这两个系列的基本结构与特性相同。

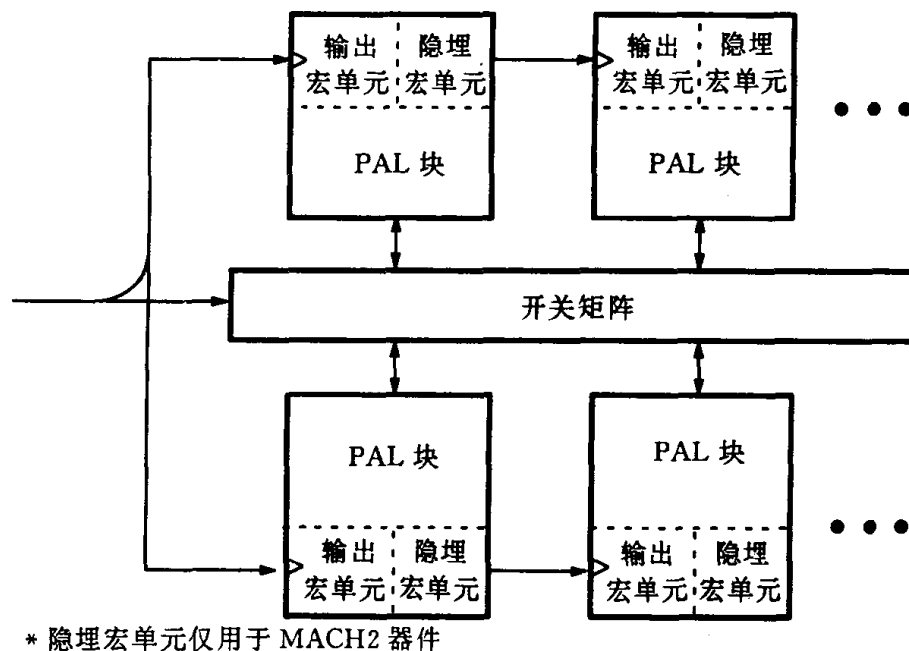


图 1.1 MACH 1 和 MACH 2 系列器件的基本结构

1.2.1 开关矩阵

开关矩阵在各 PAL 块之间,以及 PAL 块和输入之间提供互连网络。开关矩阵接收来自所有专用输入和输入开关矩阵的信号,并将其连接到所要求的 PAL 块,对于返回到同一个 PAL 块本身的反馈信号也必须经过开关矩阵。正是这种互连机制保证了 MACH 器件中各 PAL 块之间的相互通讯都具有一致的、可预测的延时。

开关矩阵将芯片上的几个独立的 PAL 器件组合成为一个 MACH 器件。设计者在设计时,无需关心其内部结构,完全由设计软件对开关矩阵自动配置,并将设计自动分配到各个 PAL 块。

1.2.2 PAL 块

PAL 块可以视为芯片内独立的 PAL 器件。只有通过开关矩阵,各 PAL 块之间才能通讯。每个 PAL 块由乘积项阵列、逻辑分配器、宏单元和 I/O 单元组成。MACH 1,2 系列器件的 PAL 块基本结构相同,区别仅在于宏单元数、I/O 数等容量。我们以 MACH 111 为例介绍 PAL 块的结构和功能。

MACH 111 器件的 PAL 块内部结构如图 1.2 所示。它包括一个有 64 个乘积项的逻辑

— 6 —

内还有两个乘积项,由 16 个宏单元共用,它们分别用于异步复位和异步预置,以对宏单元中的触发器进行初始化。同一个 PAL 块内的所有触发器的初始化同时进行。

1. 乘积项阵列

MACH 111 的乘积项阵列由 64 个乘积项和 6 个专用乘积项组成。其中 4 个专用乘积项为可编程输出使能信号,另外 2 个专用乘积项则分别为异步复位和异步预置。MACH 111 的 PAL 块输入数为 26 个,它们来自开关矩阵。其他 MACH 1,2 系列器件的 PAL 块输入数如表 1.2 所示。

2. 逻辑分配器

图 1.3 是逻辑分配器的原理框图,每四个输入乘积项组成一个乘积项簇(Product Term Cluster)。逻辑分配器将它们分配给适当的宏单元,以使乘积项有较高的利用率。MACH 111 的逻辑分配器将 64 个乘积项按照需要分配到 16 个宏单元中。驱动每个宏单元的乘积项最多可达 12 个。

表 1.3 中列出了 MACH 111 PAL 块中每个宏单元可用的乘积项簇。乘积项簇的利用和分配由软件自动进行。

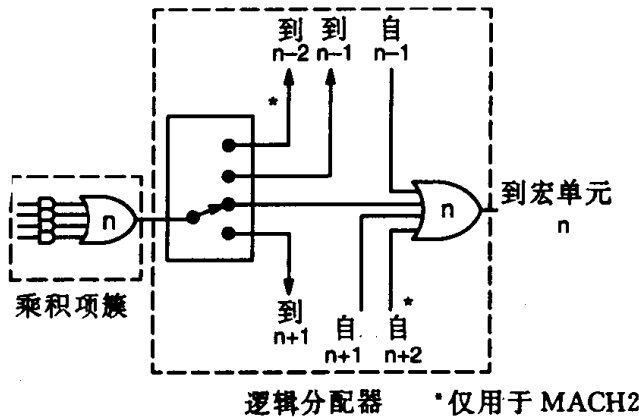


图 1.3 乘积项簇和逻辑分配器

表 1.2 PAL 块的输入数

器件	PAL 块的输入数
MACH 110	22
MACH 111	26 ✓
MACH 120	26
MACH 130	26
MACH 131	26
MACH 210	22
MACH 211	26 ✓
MACH 220	26
MACH 221	26
MACH 230	26
MACH 231	32

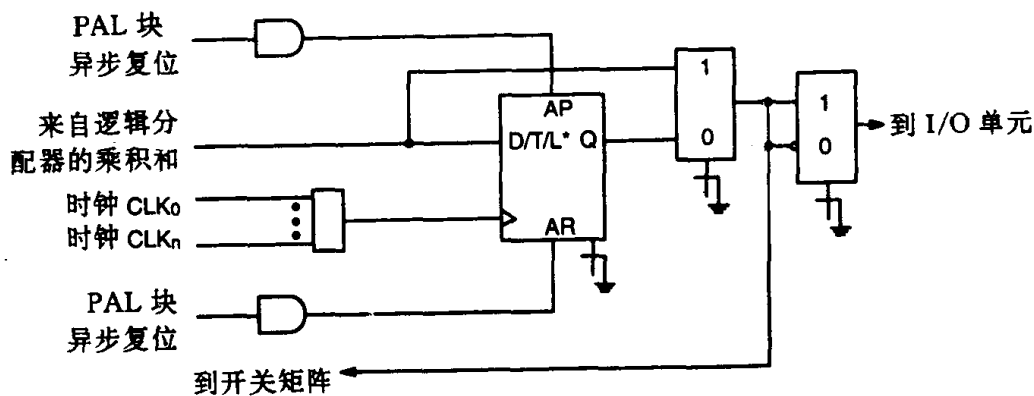
表 1.3 MACH 111 的逻辑分配

输出宏单元	可用的乘积项簇
M ₀	C ₀ , C ₁
M ₁	C ₀ , C ₁ , C ₂
M ₂	C ₁ , C ₂ , C ₃
M ₃	C ₂ , C ₃ , C ₄
M ₄	C ₃ , C ₄ , C ₅
M ₅	C ₄ , C ₅ , C ₆
M ₆	C ₅ , C ₆ , C ₇
M ₇	C ₆ , C ₇
M ₈	C ₈ , C ₉
M ₉	C ₈ , C ₉ , C ₁₀
M ₁₀	C ₉ , C ₁₀ , C ₁₁
M ₁₁	C ₁₀ , C ₁₁ , C ₁₂
M ₁₂	C ₁₁ , C ₁₂ , C ₁₃
M ₁₃	C ₁₂ , C ₁₃ , C ₁₄
M ₁₄	C ₁₃ , C ₁₄ , C ₁₅
M ₁₅	C ₁₄ , C ₁₅

3. 宏单元

MACH 1,2 系列器件有两种宏单元即输出宏单元和隐埋宏单元。隐埋宏单元仅用于 MACH 2 系列。输出宏单元的结构如图 1.4 所示。它可配置为组合型和寄存器型输出,宏单元的输出生送至 I/O 单元,并可经内部反馈送回到开关矩阵。

隐埋宏单元的结构如图 1.5 所示,其输出并不送至 I/O 单元,而只作为内部反馈送回开关矩阵,这样就将组合型或寄存器型功能“隐埋”。利用这种隐埋,可以在不增加引脚数的情况下,将有效使用的宏单元数目增加一倍。



* 锁存选项 L 仅适用于 MACH2 器件

图 1.4 输出宏单元

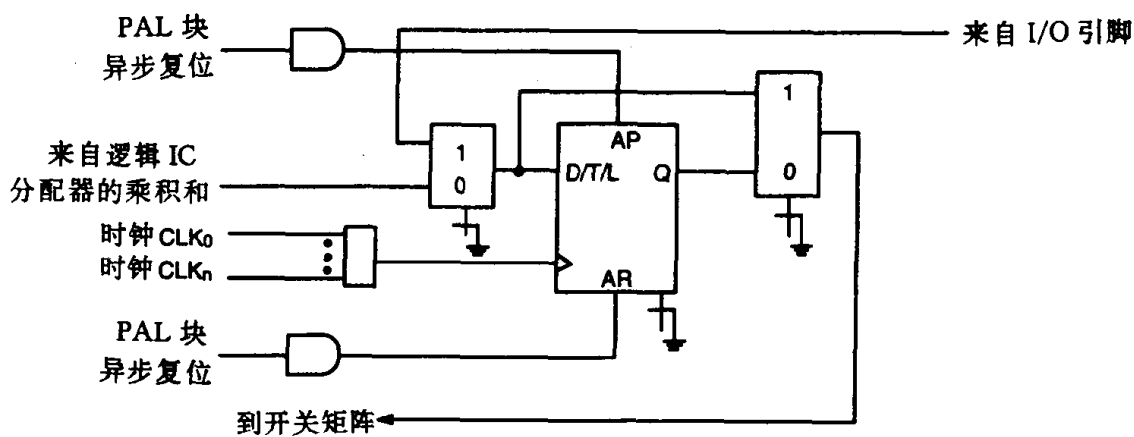


图 1.5 隐埋宏单元(仅 MACH 2 系列)

4. I/O 单元

I/O 单元由三态输出缓冲器组成,如图 1.6 所示。三态缓冲器可通过四选一多路选择器配置为三种方式:永久地允许该缓冲器作为输出缓冲器;也可永久地禁止输出缓冲器,使该引脚作为输入引脚;还可由两个乘积项之一控制缓冲器,实现双向端口和总线连接。每个 PAL 块中的 16 个 I/O 单元分成两组(参看图 1.2),专用的两个乘积项在每个组内公用。两个乘积项用于控制第一组的 8 个三态输出;另两个乘积项用于控制第二组的 8 个三态输出。

1.3 MACH 1,2 系列同步器件的功能配置

MACH 1 只有输出宏单元,而 MACH 2 既有输出宏单元,又有隐埋宏单元。两种类型的宏单元都能产生寄存器型或组合型输出。对于 MACH 2 系列,它具有低有效的透明锁存结构。寄存器能配置为 T 型或 D 型触发器。寄存器和锁存器功能的定义如表 1.4 所示。宏单元的可编程输出极性和 T 型触发器的实现为软件提供了减少所需乘积项的方法。在设计器件时,软件可自动进行选择。

表 1.4 寄存器/锁存器操作

	D/T	CLK/LE	Q+
D-寄存器	×	0,1,↓	Q
	0	↑	0
	1	↑	1
T-寄存器	×	0,1,↓	Q
	0	↑	Q
	1	↑	Q
锁存器	×	1	Q
	0	0	0
	1	0	1