

集成电路入门

[日] 田渊诚一等著

《国外电子技术》编辑部译

科学出版社

内 容 简 介

本书系根据日本《电子展望》杂志1968年4月号所附分册《最新IC技术入门》一书译出。

本书对集成电路技术作了简明的介绍，内容比较浅显、通俗，是集成电路技术方面一本普及性读物。全书共分十四章，首先概述了集成电路的发展和现状，随后逐一介绍了集成电路的基本制造技术、组装技术、测试方法和可靠性问题，并以在计算机中的应用为例简要叙述了集成电路的类型。

本书可供从事这方面工作的工人和科技人员参考。

集 成 电 路 入 门

[日]田渊诚一等著

《国外电子技术》编辑部译

*

科学出版社出版

北京朝阳门内大街137号

北京市书刊出版业营业许可证出字第061号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1969年10月第一版 开本：850×1168 1/32

1969年10月第一次印刷 印张：9 插页：1

印数：0001—10,000 字数：235,000

统一书号：15031·257

本社书号：3596·15-7

定价：1.00元

目 录

第 一 章 集成电路的发展与现状	(1)
1.1 概述	(1)
1.2 技术革新	(4)
1.3 集成电路的种类	(6)
1.4 集成电路的主要构成元件	(8)
1.5 集成电路的应用	(10)
第 二 章 集成电路基本制造技术	(12)
2.1 单晶生长	(12)
2.2 切割与研磨	(13)
2.3 扩散	(15)
2.4 外延生长	(26)
2.5 光刻技术	(30)
2.6 薄膜的粘附	(35)
2.7 装配	(40)
第 三 章 集成电路光掩蔽技术	(47)
3.1 设计和电路图形的布局	(49)
3.2 原图制做和第一次缩小	(52)
3.3 第二次缩小	(53)
3.4 生产用掩模的制造	(54)
3.5 检验	(55)
3.6 新技术	(56)
第 四 章 集成电路的封装技术	(58)
4.1 TO-5 型	(62)
4.2 扁平封装	(63)
4.3 双列直插式封装	(65)
4.4 将来的集成电路封装结构	(68)

第 五 章	半导体集成电路的可靠性	(69)
5.1	前言	(69)
5.2	可靠性	(69)
5.3	集成电路的失效	(71)
5.4	可靠性试验	(76)
5.5	集成电路的可靠性水平	(79)
第 六 章	薄膜集成电路的制造技术	(83)
6.1	薄膜电路的特点	(83)
6.2	薄膜电路的制造技术	(84)
第 七 章	数字电路的种类与选择标准	(99)
7.1	各种逻辑门电路	(100)
7.2	各种逻辑电路的比较	(115)
第 八 章	触发电路和复合功能电路	(119)
8.1	触发电路	(119)
8.2	复合功能电路	(130)
第 九 章	金属-氧化物-半导体集成电路	(143)
9.1	金属-氧化物-半导体晶体管的基本工作原理 ..	(143)
9.2	金属-氧化物-半导体集成电路的特点(金属-氧 化物-半导体型与双极型的比较)	(146)
9.3	金属-氧化物-半导体集成电路在数字电路中的 应用	(147)
9.4	基本逻辑电路(静态式)	(150)
9.5	动态式逻辑电路→多相逻辑	(153)
9.6	由复合功能电路到大规模集成电路	(157)
第 十 章	大规模集成电路	(161)
10.1	从一般集成电路到大规模集成电路	(161)
10.2	小片式	(162)
10.3	大片式	(169)
10.4	混合式	(174)

10.5	基本元件的选择……双极型和金属-氧化物-半 导体大规模集成电路	(176)
10.6	设计及制造的自动化	(179)
10.7	对系统设计的影响	(181)
第十一章 集成电路的规格和电特性的测试方法		(184)
11.1	规格	(184)
11.2	直流特性	(185)
11.3	交流特性	(194)
第十二章 线性集成电路		(205)
12.1	高频放大用集成电路	(207)
12.2	中频放大用集成电路	(217)
12.3	音频放大用集成电路	(230)
第十三章 采用集成电路的电子设备的组装技术		(236)
13.1	电子设备的组装	(236)
13.2	组装元件	(238)
13.3	多层印刷电路板	(240)
13.4	印刷电路板单元	(246)
13.5	基本布线安装板	(254)
13.6	冷却	(261)
13.7	可靠性	(264)
13.8	发展趋势	(265)
第十四章 在积木式计算机方面的应用实例		(266)
14.1	积木式计算机的规格	(266)
14.2	各装置的组成和功能	(270)
14.3	积木式计算机的制造	(275)
14.4	组装	(276)

第一章 集成电路的发展与现状

1.1 概 述

自从 1897 年 J. J. 汤姆逊证实了电子的存在以后,量子论以及有关电子与物质结构的物理学,得到了迅速的发展。到了二十世纪三十年代和四十年代期间,与工业应用有密切关系的物性学也完善起来。晶体管就是基于这些物理学的成果而产生的,这是证实了电子存在以后五十年的事情。

大家知道,真空管是控制真空中的电子运动的,晶体管则是控制固体中的电子运动的。晶体管的阴极、阳极、控制电极都在同一晶体中构成,用肉眼几乎难以分辨。

锗晶体管发明以后,又试用耐更高温度的硅来制造晶体管,掺杂采用扩散法,或利用硅的稳定氧化膜 SiO_2 在任意部位、任意深度上进行选择扩散。扩散后,表面氧化膜 SiO_2 仍然保留下来,用以起保护作用。再用光刻法在氧化膜上开窗孔,蒸发铝等金属薄膜引出电极。这就是现在的平面晶体管。

合金晶体管是从晶片两面加工的,而台面晶体管和平面晶体管则主要是在一面加工。

锗片与硅片的原材料,是直径为 25 毫米或 38 毫米、厚 0.2~0.3 毫米的单晶圆片。合金晶体管,首先是切割单晶圆片,再按照晶体管芯的大小切割成小片,其后即按合金工序制成晶体管。扩散晶体管,则是在单晶圆片上直接进行扩散、蒸发、腐蚀等工序而制成(在一块晶片上有时可制出几千个晶体管),然后,再用金刚石切割器切割成单个的晶体管芯,并分别封装在管壳内。

这样一来,就会自然地产生一种想法:在一块晶片上制做许多晶体管或二极管时,扩散工序结束后,晶片表面被 SiO_2 层复盖

着,如在此绝缘层上要引出电极的部位开一窗孔,并用真空蒸发法在绝缘层上蒸发上金属以形成布线,就成了电路。在国外,这种集成电路的设想产生于1959年,当时扩散晶体管才出现不久。

在一块晶片上制出的多个元件,要做成电路,必须彼此加以绝缘,因此要用隔离层或pn结把各个元件隔离起来。这样制成的电路与以往的单个晶体管不同,是具有一种电路功能的功能元件,这样,在半导体的制造工序中把组装电路的工序也包括进去了。所以,集成电路是电子技术方面的技术革新。

用单个的晶体管和二极管构成电路,是把三极管脚(二极管为两根管脚)的元件安装到底架或印刷电路板上;而集成电路是把内部和表面已经布好导线的晶体切成单个小片,再封装在壳内构成的。

一个集成电路所包含的元件数,叫做集成度。随着扩散、蒸发工艺,以及研磨、腐蚀等晶体加工技术的进展,集成电路的成品率和集成度正在逐渐提高(详见后述)。起初,一般认为集成电路的成品率,是构成集成电路的各个晶体管和二极管的成品率的乘积;因而以为当集成度较高时,集成电路的成品率就差不多等于零。譬如元件的成品率平均为90%,则集成电路包含10个这样的元件时,其总成品率为 $(0.90)^{10} = 35\%$;包含20个元件时为12%;包含40个元件时则仅为1.5%。

实际上,集成电路中的元件,由于构成了电路,其所应当满足的特性与单个元件相比,在功能上是有局限性的,而且各种特性也未必能详细检查。所以,集成电路中元件优劣的区别,只能依电路功能来判断,因而实际上即使是集成度为40个元件的集成电路,成品率一般也远比上述比率为高。

随着从合金晶体管发展到扩散晶体管、进而发展到集成电路,批量生产工艺中的晶片处理工序增多了,而切片工序逐渐推后,人们对这一点是有所感觉的(图1.1)。

最近又提出了这样的意见:就连逐个切割小片也不必,在晶片上就把集成电路的布线制备好,不经切片而直接使用这种晶片。

这就是所谓的大规模集成技术或阵列集成技术。

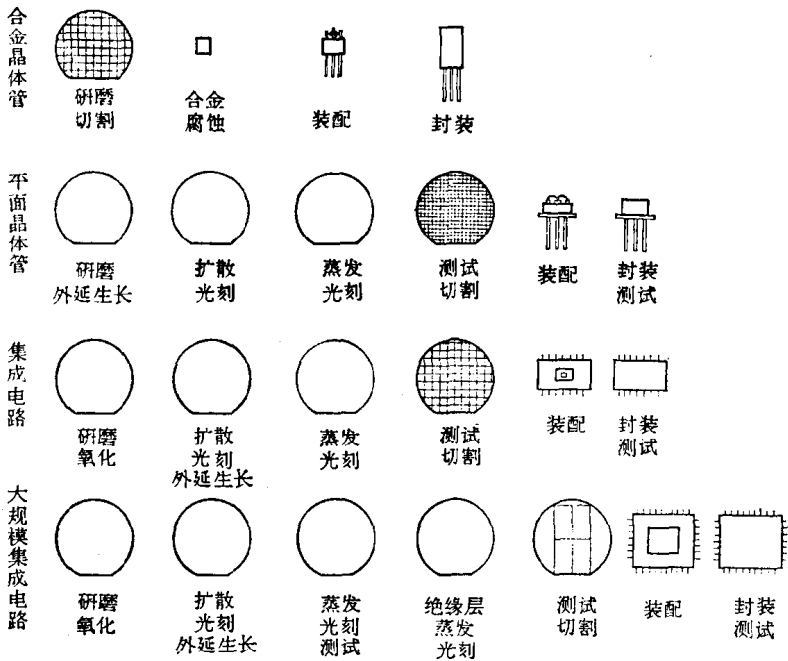


图 1.1 从合金晶体管到集成电路的制造工艺流程比较

图 1.2 是硅扩散截面,图 1.3 是隔离扩散截面,图 1.4 则是集成电路片的显微照片。

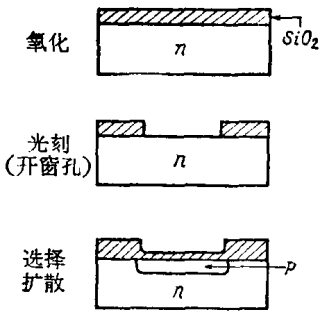


图 1.2 硅中的扩散(截面)

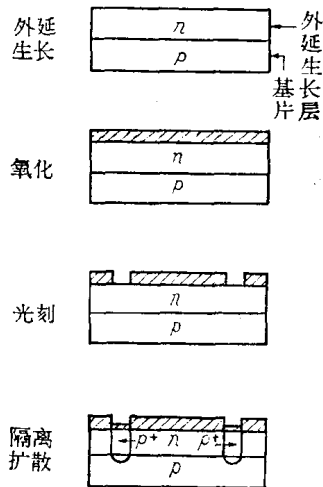


图 1.3 隔离扩散(截面)

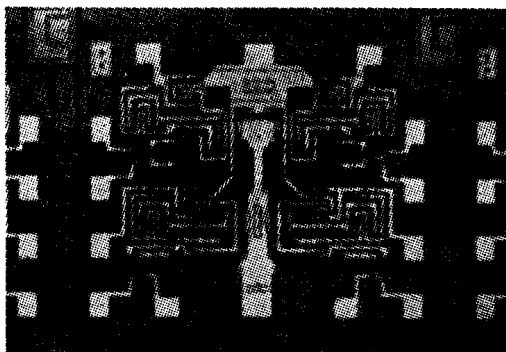


图1.4 集成电路片

1.2 技术革新

晶体管发明后,由于其体积小、重量轻、功率消耗小、工作稳定、寿命长等优点,从而导致了微型电路技术的出现。微型组件、薄膜混合电路等就属于这种技术,这使得制造具有复杂电路的设备时,有可能缩小体积和降低功率消耗。

元件数在 100 到 1000 左右的收音机、电视机,其电路可以用过去的电子管之类的零件制造,但象电子计算机或电子交换机那

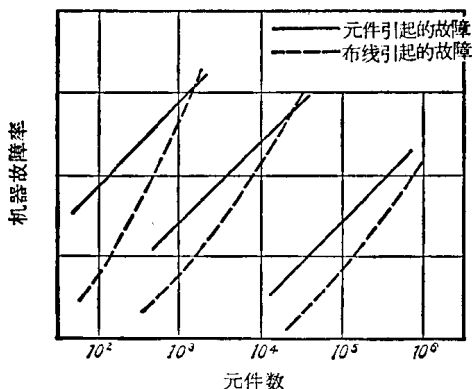


图 1.5 元件数与设备的故障率

样由几万个或几十万个元件构成的大型设备,即使采用晶体管,连接元件的布线接点数,也随元件数而剧增(差不多是按元件数的平方),因而布线错误、焊接不良之类的接线故障就可能增多。

采用晶体管虽解决了一些问题,但随设备元件数的增加,布线故障比之元件故障相对增多,乃至超过元件故障(如图 1.5 所示)。在这种情况下,如采用集成电路,则相当一部分布线作为集成电路的内部布线而包含在

集成电路内部,因此可以减少上述的接线故障,从而大大提高电子设备的可靠性。

以前,零件装配密度相当高的印刷电路,其零件密度,每10厘米²也不过5个;但集成电路,即便是采用较大的直插式封装方法,在1×2厘米大小的外壳内也能封装含有40个元件的集成电路,即元件密度为前者的40倍。集成电路的组装参见图

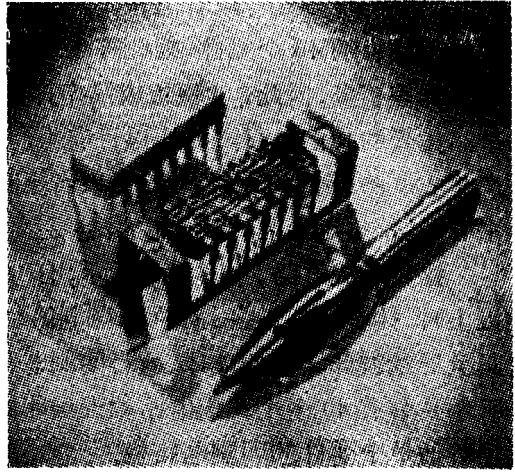


图 1.6 集成电路的组装

1.6. 实际上,如图 1.7 所示,4个这样的集成电路就抵得上过去的一块印刷电路板。实际上的集成电路片,在这种场合也只有1×1.5毫米那么小,如不考虑其实用性,则集成度是高得惊人的。

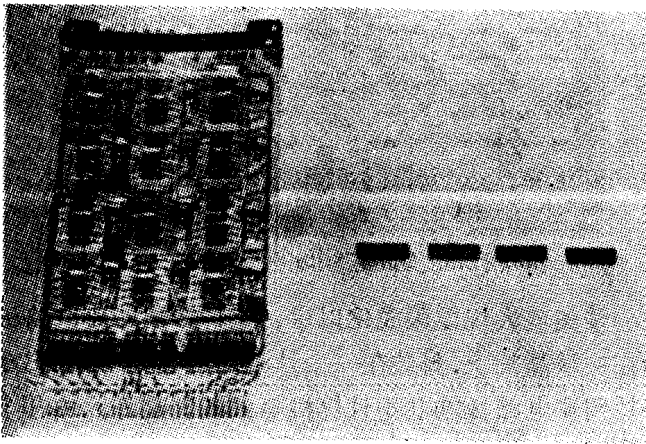


图 1.7 集成电路(右)与印刷电路(左)的比较

这样,采用集成电路,电子设备就可以进一步直观小型化,因之重量轻,可靠性也高,从而制造象人工大脑那样功能非常复杂的

电子装置才成为可能,这就是称其为技术革新的理由。此外,由集成电路的制造方法可以看出,在与4个晶体管大小相当的小片上,譬如说能容纳40个元件,则此等数量的元件其制造过程与一个晶体管的差不多,因此,即便把成品率都计算在内,其价格也不到一个晶体管的40倍,这样,如能以目前生产晶体管那样的数量成批生产集成电路,则由于集成电路可以省去布线的工作量,结果从整个来看,其价格远比晶体管便宜。

这种集成电路,如图1.7所示,有10多根引线,装到印刷电路板上时,接头就非常多,因而印刷电路板上的布线非常杂乱,无法避免导线彼此接触的现象,故将印刷电路板做成多层结构。图1.8所示是装有40多个集成电路的五层印刷电路板,相当于10块采用普通单个元件的印刷电路板。

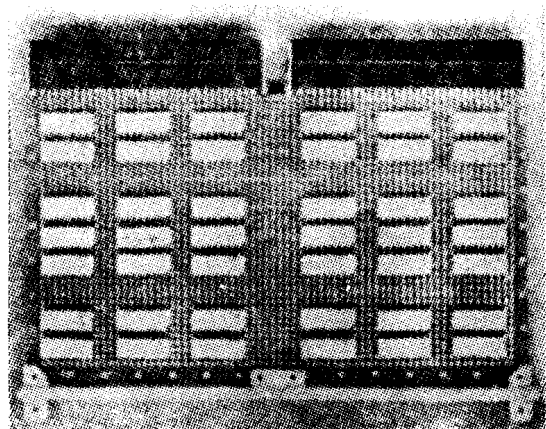


图1.8 集成电路印刷电路板

进一步实现大规模集成化以后,这种多层印刷电路板就可以整个做在一块晶片上,封装在一个外壳内。这样一来,迄今需要使用几百块印刷电路板的电子计算机等设备,也许只由几个大规模集成电路就可以构成。

1.3 集成电路的种类

集成电路是指把电路元件以相互不可分离的状态结合在一块

基片上而成的电路。集成电路分半导体集成电路（又称单片集成电路）、薄膜集成电路和两者并用的混合集成电路三种。目前，用薄膜制做晶体管和二极管尚未达到工业生产的水平，所以实际应用的只有单片集成电路和混合集成电路两种。此外，有一种不用普通晶体管而采用金属-氧化物-半导体晶体管构成的单片集成电路，这是最近才迅速发展起来的。

在混合结构方面，国外有一种“固体逻辑技术”，这是把半导体小片翻转过来接合到印刷电路上（叫做倒装片或面接合）。普通单片集成电路的电极和引线是用细金丝或铝丝焊接的；这种混合结

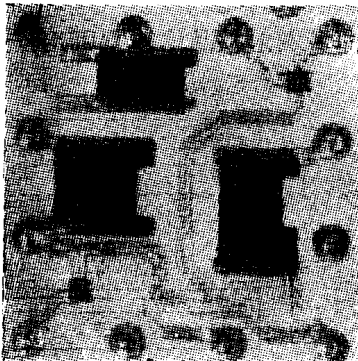


图 1.9 应用“固体逻辑技术”的混合集成电路组件

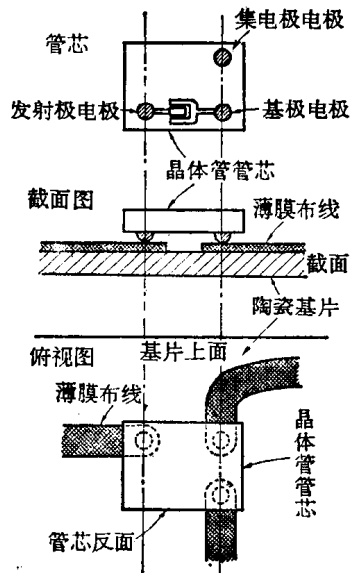


图 1.10 倒装片示意图

构，则是将小片直接接合到电极上，焊接可一次完成，有操作机械化的可能，且不用细丝作引线，不容易产生故障，所以是一种引人注意的方法。另外，混合集成电路，其电容和电阻等采用薄膜电路，体积虽比单片集成电路稍大，但电阻等精度高，阻值范围也宽，所以，是适用于模拟电路的一种型式。不过一般认为，只有在其制造过程高度机械化以后，才可能在成本方面与单片集成电路相匹敌。

1.4 集成电路的主要构成元件

晶体管 在集成电路中,晶体管结构与单个晶体管稍有不同,

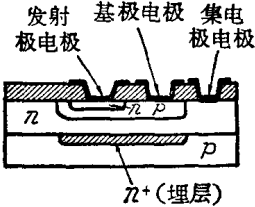


图 1.11 平面外延晶体管

其集电极必须由上面(与发射极同侧)引出。因而集电极电流通路延长,必须做成低阻通路,以免增加集电极损耗。为此特别掺入低阻层,叫做埋层。图 1.11 示出平面外延晶体管。

二极管 在集成电路的主要构成元件中,以晶体管的制造最费事,所以从经济上,希望在制造晶体管的过程中把其它元件一并制造出来。因此,二极管也不单独制做,只是在晶体管制成后布线时,使基极、集电极短路而同发射极构成二极管。多发射极晶体管则可用作逻辑电路的门二极管。

电阻 基于上述同样理由,一般都是在制造晶体管基极层的同时,向外延层中进行扩散,形成 P 型区域而构成电阻。阻值取决于杂质浓度、 P 型区域的宽度和长度以及扩散深度。因电阻被其本身与外延层间所形成的 pn 结所包围,所以该处有寄生电容。扩散电阻如图 1.12 所示。

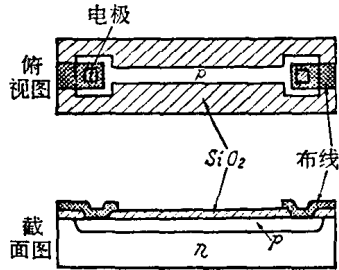


图 1.12 扩散电阻

还有一种方法,是在晶片表面氧化层上蒸发薄膜进行布线时,蒸发或溅射镍铬合金或钽的薄膜作为电阻。但这需要在专门工序中进行,因而必然提高成本。但扩散电阻是半导体的体电阻,阻值随温度而变,而薄膜电阻随温度的变化较之体电阻的要小一个数量级。

电容 可以利用二极管的结电容,或利用氧化膜形成的电容,但都需要较大的面积,故要占用集成电路片的大部分;此外,大的面积容易产生晶体缺陷及其它缺陷,从而增加不合格的几率,所

以,最好在电路上下功夫,尽量避免采用电容。数字电路一般都采用没有电容的电路。SiO₂ 电容元件如图 1.13 所示。

采用结电容的一类,其过渡层随电压而变,故电容也随电压而变。图 1.14 所示为结电容与电压的关系。利用扩散结作电容时,电容按电压的 $-1/3$ 次方变化;利用氧化层形成电容时,应提高绝缘层下的

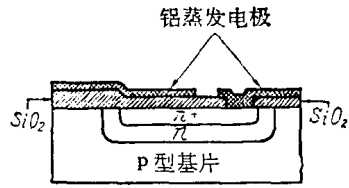


图 1.13 SiO₂ 电容元件的截面

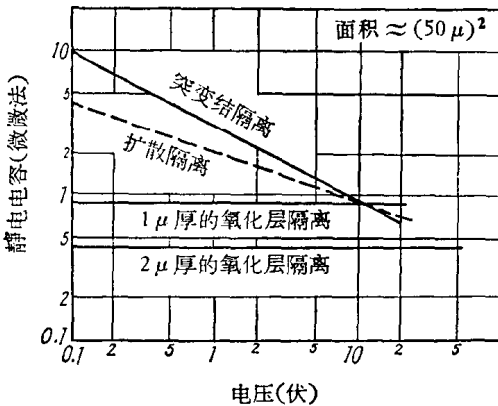


图 1.14 结电容与电压的关系

的基片表面上,由于栅压的作用,产生一个所谓沟道,利用沟道电导的变化,就具有与真空管相似的特性,其特点是输入阻抗高。

通常是在基片上扩散四次、外延生长一次制成晶体管;而金属-氧化物-半导体晶体管的工序较简单,只须进行一次扩散。从图 1.15 中可以看出,如果把源置于与基片相反的偏压

之下,则漏和负载电阻都处在反向偏压下,无需另加隔离。此外,由于输入阻抗高,从结构上看,串联多级放大极其容易;在集成电路化时,集成度也比一般单片集成电路容易提高。

的杂质浓度,降低串联电阻,以免降低 Q 值。

金属-氧化物-半导体晶体管 金属-氧化物-半导体晶体管,是以硅氧化膜作绝缘栅的场效应晶体管,其结构如图 1.15 所示。作为控制电极的栅,以绝缘层为介质,与基片形成一个电容器;在绝缘层下面的

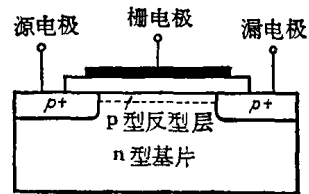


图 1.15 金属-氧化物-半导体晶体管的截面

图 1.4 是单片集成电路硅片的显微照片；图 1.16 是其局部截面的放大图，图中纵向尺寸放大倍率比横向大得多。P 型基片上的 n 型外延层用 p⁺ 扩散来隔离，在其周围配置 n⁺ 埋层、n⁺ 集电极，即构成晶体管。封装前，在焊接引线的地方制做矩形蒸发薄膜图形，通常用超声波压焊 25 微米的金丝或铝丝。

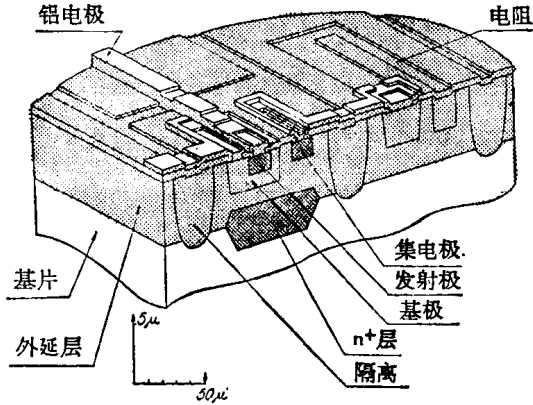


图 1.16 集成电路截面

1.5 集成电路的应用

促使集成电路发展的主要原因，是其小型化和高可靠性。因小型化、高可靠性使实际需求的复杂大型电路有可能付诸实用。但体积缩小，就应考虑降低功率消耗，否则，热量集中产生在狭小的区域，温度会急剧上升；此外体积缩小，电阻与电容的精度就难保证。薄膜电路的电阻、电容精度之所以比单片集成电路高，正是由于其尺寸较大，以及薄膜材料比较不受限制的缘故。

单片集成电路体积过小，使使用者难以处理，因此，通常都装在 TO-5 型或直插式封装之类不相称的大型外壳内。

数字电路 如上所述，由晶体管、二极管、电阻构成的单片集成电路并不难制造，所以首先应用于电阻精度要求不高的数字电路而取得进展，并在这一方面显示出惊人的适应性。

数字电路是传输“0”与“1”（“开”与“关”）两种状态的电路，可

把来自一个输入端的信息分配给几个输出端，或把几个输入端传来的信息加以处理再传送出去。所以无须变换电平即具有放大功能，能起转换作用。而发射极接地晶体管具有使输入、输出相位反相的特性，因此又叫倒相器。晶体管倒相器见图 1.17。

这种数字式门电路，其已集成电路化的基本电路有：直接耦合晶体管逻辑电路 (DCTL)、电阻-晶体管逻辑电路 (RTL)、二极管-晶体管逻辑电路 (DTL)、晶体管-晶体管逻辑电路 (TTL)、可变阈值逻辑电路 (VTL)、互补晶体

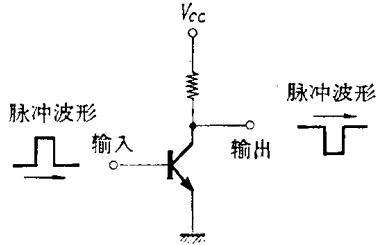


图 1.17 晶体管倒相器

管逻辑电路 (CTL)、发射极耦合逻辑电路 (ECL)。前五种是在晶体管接通与断开的饱和状态工作的所谓饱和电路；互补晶体管逻辑电路和发射极耦合逻辑电路的工作方式，是在晶体管接通与断开的中间状态附近，使电平向接通或断开方向变化，实现不完全接通、断开工作，就是统称之为电流型逻辑电路的非饱和电路。非饱和电路主要是从提高工作速度这一角度提出的。

各种数字电路各有优劣，详见后述。最近采用的主要是二极管-晶体管逻辑电路、晶体管-晶体管逻辑电路等饱和电路。

这些数字电路均应避免因噪声而启动，所以，其对噪声的无反应性是很重要的。这叫做噪声容限。有的可变阈值逻辑电路，其输出时反相的输入电压设计成可变的，从而获致较大的噪声容限。

线性电路 如前所述，单片集成电路的电阻和电容精度不高，不适用于线性电路，所以，这一方面的发展迟缓。不过虽然单片集成电路的电阻绝对值精度很低，但在同一晶片中两个电阻的比值却可达到较高的精度，因此，其增益取决于电阻比的差动放大器电路已开始实际应用。

第二章 集成电路基本制造技术

单片集成电路,顾名思义,是在整块单晶硅片上,利用掺杂法制成晶体三极管、二极管等有源元件和电阻、电容等无源元件并在其表面布线而构成的电路。主要材料是硅(包括外延层和氧化膜)和硼、磷等外加杂质(掺杂剂)。此外还有铝、金等电极材料,封装集成电路用的陶瓷、玻璃、铁·镍·钴合金等密封材料。在制造过程中,还要使用氟酸、硝酸、氢气、氮气、光致抗蚀剂等。

金属-氧化物-半导体集成电路所用材料与单片集成电路大致相同,但薄膜集成电路则使用玻璃、陶瓷等作基片;镍·铬合金、钽(Ta)、二氧化锡(SnO_2)、金属陶瓷等作电阻;二氧化硅(SiO_2)、一氧化硅(SiO)、氧化镁(MgO)、五氧化二钽(Ta_2O_5)等氧化物作电容;金、银、铝、镍、铂等作电极。

多片混合薄膜集成电路是由单片与薄膜电路组合而成。

下面就单片集成电路,依次介绍上述材料的加工处理。

2.1 单晶生长

硅是由硅砂(SiO_2)还原而成的。但由于需要得到极高的纯度,所以要分馏精制一次,还原成容易蒸发的氢化物或卤化物(SiH_4 , SiHCl_3 , SiCl_4),然后再进行热分解或氢还原。提纯后的多晶硅电阻率在100欧姆·厘米以上。

为了制备单晶,用高频感应加热法使多晶硅熔化后引入籽晶,边旋转边缓慢地拉晶(提拉法),或移动高频线圈使熔液慢慢移动(浮区法),以便在冷却凝固过程中使单晶沿着籽晶的晶向生长。凝固前,熔液中外加适当的杂质(掺杂),使之具有所需的导电类型和电阻率。制成的单晶为直径25~35毫米、长度20厘米左右的