

2001

在系统可编程技术 及其 器件原理与应用

刘笃仁 杨万海 编著

西安电子科技大学出版社

TP332.3

444672

L64

在系统可编程技术及其器件 原理与应用

刘笃仁 杨万海 编著



00444672



西安电子科技大学出版社

1999

内 容 简 介

本书内容包括：可编程逻辑器件的表示法、基本结构；可编程阵列逻辑器件(PAL)；低密度可编程逻辑器件(GAL)及其编程；ISP技术与ISP器件；高密度可编程逻辑器件(HDPLDs)；在系统可编程数字开关(GDS)及互联器件(GDX)；在系统编程软件应用基础；ISP技术普通应用软件pDS；ISP技术高级应用软件ISP Synario System；全新设计软件工具VHDL；在系统可编程实验板；在系统可编程设计应用；附录。

本书内容取材新颖，理论联系实际，主要章节经教学、科研实践证明效果很好，既可供电子类各专业本科生、研究生作为教材，也可作为电子类工程技术人员的自学参考书。

图书在版编目(CIP)数据

在系统可编程技术及其器件原理与应用/刘笃仁，杨万海编著.

—西安：西安电子科技大学出版社，1999.5

ISBN 7-5606-0722-5

I. 在… II. ①刘… ②杨… III. 可编程序控制器-程序设计 IV. TP332.3

中国版本图书馆CIP数据核字(1999)第07782号

责任编辑 云立实

出版发行 西安电子科技大学出版社

(西安市太白南路2号)

邮 编 710071

电 话 (029)8227828

经 销 新华书店

印 刷 西安环宇印刷厂

版 次 1999年5月第1版

1999年5月第1次印刷

开 本 787毫米×1092毫米 1/16 印张 19.625

字 数 464千字

印 数 1~4 000册

定 价 26.00元

ISBN 7-5606-0722-5/TP·0366

* * * 如有印制问题可调换 * * *

前言

在系统可编程技术 (ISP—In-System Programming) 及其在系统可编程系列器件, 是 90 年代迅速发展起来的一种新技术和新器件, 它把 80 年代蓬勃兴起的可编程逻辑器件 (PLD—Programmable Logic Device) 及其应用推向了一个崭新的阶段。

据《经济日报》最新报道, 日本电子工业协会预测, 到下个世纪初, 数字化产品的市场份额将达 90% 以上, 而模拟式产品的市场份额将日趋萎缩。从国内外电子产品的发展趋向看, 数字化已越来越受到人们的重视。展望未来, 研究、学习数字系统设计的新器件、新技术势在必行。

Lattice 公司的在系统可编程技术 ISP 及其可编程器件, 是国内外最先进的设计最新一代数字系统的有力工具与器件之一。为了紧跟新技术的发展, 让更多的本科生、研究生和广大工程技术人员尽快学习、掌握这一新技术和新器件, 促进我国电子技术水平的不断提高, 我们撰写了这本书。

本书依据作者 1990 年以来为研究生、本科生开设“可编程逻辑器件原理、应用”、“在系统可编程技术 ISP”等课程的讲义, 结合近年来学习、开发应用可编程逻辑器件和在系统可编程技术的实际体会, 吸收国内外文献资料之精华编著而成。

全书共 12 章, 系统地介绍了 Lattice 公司的可编程逻辑器件 (PLD) 的原理、应用, 着重叙述了在系统可编程技术 (ISP) 及可编程器件 ispLSI 系列的原理, 给出了用可编程技术及可编程器件进行数字电路及系统设计的方法。本书取材新颖, 先进实用, 叙述简洁, 循序渐进。其中, 第 4 章、第 10 章由杨万海编写, 其余各部分由刘笃仁编写。

本书的编写得到了朱欣志、黄道君、姬红兵等同志的大力支持和帮助, 也受益于西北地区电子线路课程指

导小组孙肖子老师(西安电子科技大学)、邓建国老师(西安交通大学)及在系统可编程研讨班同志们的指导和启发;上海莱迪思半导体有限公司的赵元平先生、乐峰先生等多次来信来电指导和鼓励;上海复旦大学张旭初、陈光梦老师、东南大学雷明老师来信寄来了他们的资料;Lattice公司的参考资料,东南大学黄正瑾老师的著作以及所有参考文献,使作者大开眼界;西安电子科技大学出版社的各位领导和编辑云立实等同志为该书的尽早出版付出了辛勤的劳动。对这一切,作者在此表示衷心的感谢。

由于作者水平有限,书中难免有欠妥和错误之处,恳请读者批评、指正。

作 者

1998年3月于西安电子科技大学

目

录

前言	
第 1 章 可编程逻辑器件的表示法、基本结构	1
1.1 PLD 的电路表示法	1
1.2 PLD 器件的基本结构	3
第 2 章 可编程阵列逻辑器件(PAL)	5
2.1 PAL 的输出和反馈结构	5
2.2 PAL 器件产品简介	8
2.3 PAL 器件的优、缺点	9
2.4 PAL 器件的开发	10
第 3 章 低密度可编程逻辑器件 GAL 及其编程	11
3.1 GAL 的基本结构	11
3.1.1 普通型 GAL	11
3.1.2 新一代 FPLA 型 GAL 器件	22
3.2 GAL 产品简介及其特点	22
3.2.1 GAL 产品简介	22
3.2.2 GAL 的性能特点	25
3.3 可编程逻辑器件的编程	26
3.3.1 GAL 的编程	27
3.3.2 高级通用型开发软件 ABEL TM	27
3.4 GAL 设计实习	48
3.4.1 可逆计数器的设计	48
3.4.2 6 位通用移位寄存器设计	50
3.4.3 汽车拐弯信号灯控制系统设计	53
第 4 章 ISP 技术与 ISP 器件	58
4.1 ISP 技术	58
4.1.1 ISP 发展的动力	58
4.1.2 ISP 有利于设计	58
4.1.3 ISP 有利于制造	59
4.1.4 ISP 应用前景广阔	60
4.1.5 ISP 利用了先进的 E ² CMOS 工艺	61

4.1.6	ISP 优越性总结	62
4.1.7	ISP 的未来	64
4.2	ISP 器件	64
4.2.1	六大系列	64
4.2.2	ISP 器件结构	66
4.3	ISP 的实现、多路编程平台与开发工具	67
4.3.1	ISP 的实现	67
4.3.2	多路编程平台	69
4.3.3	开发工具	70
第 5 章	高密度可编程逻辑器件(HDPLDs)	73
5.1	高密度在系统可编程逻辑器件基础	74
5.1.1	Lattice 的 ispLSI 和 pLSI 系列概况	74
5.1.2	ispLSI 和 pLSI 的结构	75
5.2	ispLSI 及 pLSI 系列简介	77
5.2.1	1000 和 1000E 系列简介	77
5.2.2	2000/V 系列简介	90
5.2.3	3000 系列简介	95
5.2.4	6000 系列简介	103
第 6 章	在系统可编程数字开关 GDS 及互联器件 GDX	106
6.1	ispGDS 系列器件介绍	106
6.2	ispGDS 器件的使用	110
6.3	ispGDS 器件的开发	112
6.4	ispGDS 器件应用实例	116
6.5	ispGDX 系列器件介绍	118
第 7 章	在系统编程软件应用基础	120
7.1	逻辑电路的描述	120
7.2	源文件的编写	134
7.2.1	ABEL 源文件格式	134
7.2.2	pDS 源文件格式	142
7.3	宏器件及其调用	152
7.3.1	pDS 的宏	153
7.3.2	ISP Synario System 的宏	155
第 8 章	ISP 技术普通应用软件 pDS	156
8.1	pDS 软件操作	156
8.1.1	设计开始	156

8.1.2	设计输入	157
8.1.3	设计检验	161
8.1.4	设计布线	162
8.1.5	熔丝图生成	163
8.1.6	器件编程	164
8.2	未加密与加密后器件中信息的读出	166
8.2.1	未加密器件中信息的读出	166
8.2.2	加密器件并进行检验	166
8.3	组合电路的设计	167
8.4	时序逻辑电路设计	170
8.4.1	4 bit 二进制计数器设计	170
8.4.2	可变模计数器设计	177
第 9 章	ISP 技术高级应用软件 ISP Synario System	181
9.1	概述	181
9.2	原理图输入法	182
9.3	编译与仿真	186
9.4	ABEL 语言与原理图混合输入法	189
9.5	后续	196
第 10 章	全新设计软件工具 VHDL	199
10.1	概述	199
10.2	VHDL 的结构和句法	199
10.2.1	VHDL 设计描述的结构	199
10.2.2	VHDL 设计描述的句法	202
10.2.3	行为级描述中的寄存器、复位、锁存器	207
10.3	VHDL 的层次化设计	209
10.4	CPLD 优化	210
10.5	VHDL 设计流图	212
第 11 章	在系统可编程实验板	214
11.1	复旦大学和上海 Lattice 公司联合开发的实验板	214
11.1.1	在系统可编程逻辑器件实验板	214
11.1.2	实验板的实验功能	220
11.2	东南大学 ISP 数字系统实验板	221
11.2.1	实验板的结构	222
11.2.2	实验板的特点	225
11.2.3	实验内容	225
11.3	西安电子科技大学 ISP 数字系统实验板	226

第 12 章 在系统可编程设计应用	228
12.1 设计实习	228
12.1.1 铁路公路十字路口交通控制电路设计与实现	228
12.1.2 公路十字路口交通控制电路设计与实现	233
12.1.3 移位型控制器的设计与实现	236
12.1.4 抢答器的设计与实现	240
12.1.5 数字频率计的设计与实现	245
12.2 设计思路	250
12.2.1 组态的存储器控制器	250
12.2.2 用 ispLSI 和 pLSI 实现多路系统的功能	269
12.2.3 编译多级 PLDs 进入 ispLSI 和 pLSI 器件	275
12.3 设计有关问题	231
12.3.1 用户电子签名 (User Electronic Signature) 的使用	281
12.3.2 阻塞保护 (Latch - Up Protection) 问题	283
12.3.3 关于亚稳定性	286
 附录 I Lattice ISP 系统宏的有关定义及含义	 287
附录 I Lattice ISP 系列器件规格	294
 参考文献	 305

第 1 章 可编程逻辑器件的表示法、基本结构

1.1 PLD 的电路表示法

我们知道,在设计、分析、绘制数字逻辑电路时,常常用一些图形符号来表示。这些表示方法(为了与 PLD 的电路表示方法加以区别,以后称之为传统表示法)对研究由中小规模集成标准器件组成的数字逻辑电路是非常有效的,但这种表示方法很难描述可编程逻辑器件 PLD 的内部电路。下面介绍的逻辑表示法现已为 PLD 器件制造厂家和使用者广泛采用。它在芯片内部配置和逻辑图之间建立起一一对应关系,把逻辑图和真值表结合在一起,构成一种紧凑而易于识读的形式。

PLD 的输入缓冲器和反馈缓冲器都采用互补输出的结构。对于这种互补输出缓冲器结构,其表示法如图 1.1 所示。

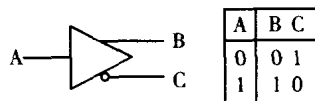


图 1.1 PLD 缓冲器表示法

PLD 的电路中采用两种基本的门电路——与门和或门。一个门可以有多个输入,仅有一个输出。一个 3 输入端与门的传统表示法和 PLD 表示法如图 1.2 所示。一个与门对输入实现逻辑乘的操作,即 $D = A \cdot B \cdot C$,习惯上把 A、B、C 诸项称为输入项,而把与门的输出 D 称为乘积项(Product Term)。或门可用类似的表示法,也可采用传统表示法。

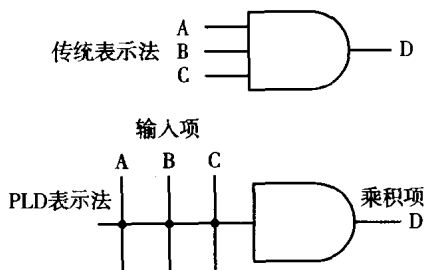


图 1.2 PLD 与门表示法

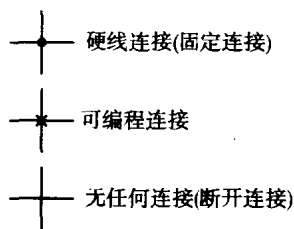


图 1.3 PLD 连接法

在 PLD 中,对阵列各交叉点上的连接方式有 3 种表示法,如图 1.3 所示。实点连接表示硬线连接,也就是固定连接。这种硬线连接是不可编程的。“X”连接表示可编程连接。交叉点处的“X”通常表示目前是互连的,这个连接可以经过编程改动。在熔丝式工艺的 PLD(如 PAL)中,接通对应于熔丝未熔断,开断对应于熔丝被熔断。在 E^2 CMOS 工艺的 PLD(如 GAL)中,接通对应于一个基本开关单元(含一对 CMOS 管)的导通状态,称此单元为被编程单元;开断对应于一个基本开关单元的截止状态,称此单元为被擦除单元。交

叉点处无“×”和实点，表示无任何连接。

图 1.4 是 PLD 中与门的省缺情况。输出为 D 的与门连至全部输入项，所以 D 的等式是：

$$D = A * \bar{A} * B * \bar{B} \quad (\text{式中的“*”号表示“与”})$$

利用布尔代数可化简成：

$$D = (A * \bar{A}) * (B * \bar{B}) = 0$$

这一结果表明：一个给定输入缓冲器的原码和反码输出都连至一个乘积项上，将使该乘积项总为“0”。这种状态称为与门的省缺(Default)状态。在以后要叙述的编程过程中形成的“熔丝图”(Fuse Map)中，省缺部分就隐含着这种状态。为了方便起见，对于这种全部输入项都接通的省缺状态，人们常简单地在对应的与门中划一个“×”，以代表各输入项都是连通的，如图 1.4 中第二个与门所示，因此 $E = D$ 。要注意，它们与 F 是截然不同的。乘积项 F 与任何输入项都不接通，它始终保持“悬浮”的“1”状态。

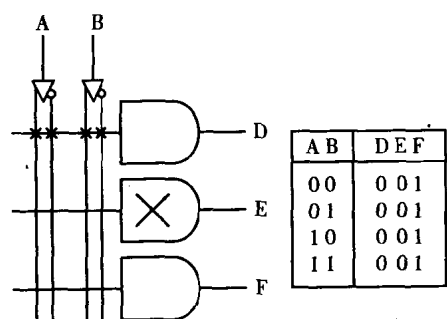


图 1.4 与门的省缺情况

在了解了上述 PLD 电路表示法以后，我们就来用这种表示法描述一个简单的 PLD 逻辑电路。

如图 1.5 所示，上面的电路是采用熔丝工艺的 PLD 器件的局部电路的习惯表示法，其中 $F_1 \sim F_8$ 是熔丝；下面的电路是对应的 PLD 表示法，其中与熔丝所连接的点是可编程的。编程后，熔丝被熔断，就以开断表示；熔丝未熔断，就以“×”表示。

今要求编程后系统输出为

$$\text{OUTPUT} = I_1 \bar{I}_2 + \bar{I}_1 I_2$$

则相应的逻辑电路习惯表示法和 PLD 表示法分别示于图 1.6 中的上半部分和下半部分。

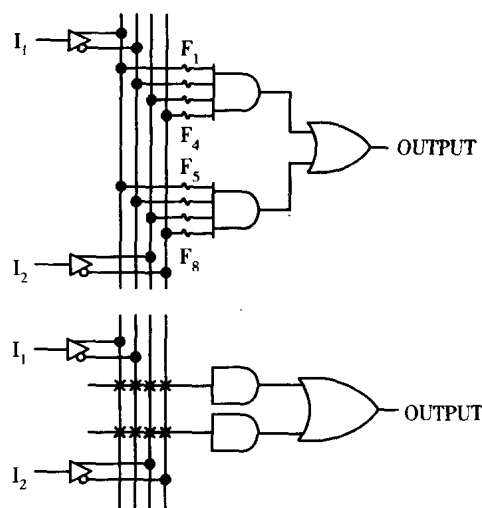


图 1.5 PLD 器件电路习惯表示法与 PLD 表示法

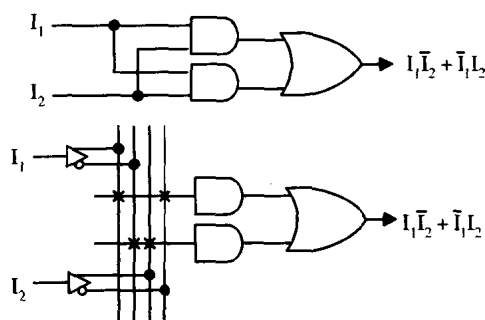


图 1.6 编程后的电路习惯表示法与 PLD 表示法

1.2 PLD 器件的基本结构

1. PROM 结构

最早出现的 PLD 就是可编程只读存储器 PROM，现在市场上供应的 PROM 的最高密度达一个芯片 200 万位以上。PROM 由固定连接的与门阵列和可编程的或门阵列组成。一个 8×3 (8 与门 $\times$ 3 或门) 的 PROM 的结构示于图 1.7 中。图中的与门阵列是“全译码”阵列，即输入项的每一种可能组合对应有一个乘积项。对于这种全译码阵列，若输入项数为 n ，则与门数为 2^n 个。与门阵列可以做得很大，但阵列愈大，开关延迟时间愈长，速度就比较慢。再有，大多数逻辑函数不需要使用输入的全部可能组合，因为其中许多组合是无效的或不可能出现的，这就使得 PROM 的与阵列不能得到充分利用。PROM 除了用于随机逻辑设计中，其最早的和主要的用途在存储器方面。现在市场上可买到的 PROM 器件，密度从 64 位至 200 万位以上。当作存储器使用时，图 1.7 中输入 $I_0 \sim I_2$ 相当于地址，输出 $O_0 \sim O_2$ 相当于数据，该存储器的容量为 $2^3 \times 3 = 24$ 位。

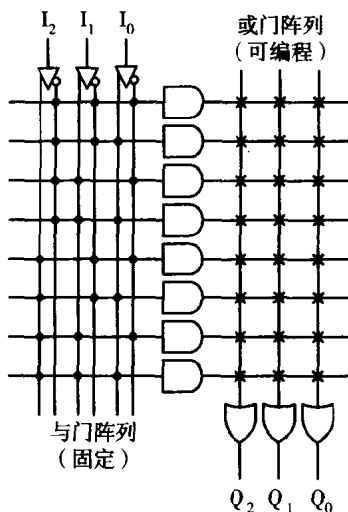


图 1.7 PROM 结构

2. FPLA 结构

70 年代中期出现了现场可编程逻辑阵列器件 (FPLA — Field Programmable Logic Array)，它的结构见图 1.8。在 FPLA 结构中，与门阵列和或门阵列都是可编程的。为了减小阵列规模，提高器件速度，与门阵列不采用全译码式的，即与门个数小于 2^n (n 为输入项数)。有几个与门，就可提供几个不同组合的乘积项。图 1.8 的结构就可以提供 6 个不同的乘积项。例如，给出逻辑方程如下：

$$O_0 = I_0 * I_1 * I_2 + \bar{I}_1 * I_2$$

$$O_1 = I_0 * I_1 * I_2 + \bar{I}_0 * \bar{I}_1 * I_2 + I_0 * \bar{I}_1 * I_2$$

$$O_2 = \bar{I}_0 * \bar{I}_1 * I_2 + I_1 * I_2$$

上述方程中共包含 7 个乘积项，其中只有 5 个不同的乘积项，因此用图 1.8 的 FPLA 可以实现上述方程，编程后的电路连接见图 1.9。

由于阵列较小，FPLA 的速度高于 PROM。当输出函数很相似，可以充分利用共享的乘积项时 (即输出项很多，但要求的独立的乘积项不多时)，采用 FPLA 结构十分有利。双重可编程阵列使得设计者可以控制器件的全部功能，使设计变得容易些。但是以往实际使用这类器件时，设计者面临一些实际问题：缺少高质量的支持软件，没有编程工具，器件价钱较贵，速度不够高等。所有这些问题，在随后的发展中不断地得到了改进。

3. PAL 和 GAL 结构

可编程阵列逻辑 (PAL) 和通用阵列逻辑 (GAL) 的基本门阵列部分的结构是一样的，如

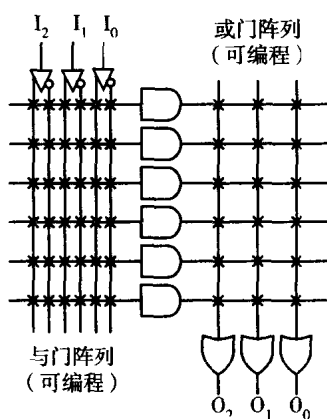


图 1.8 基本的 FPLA 结构

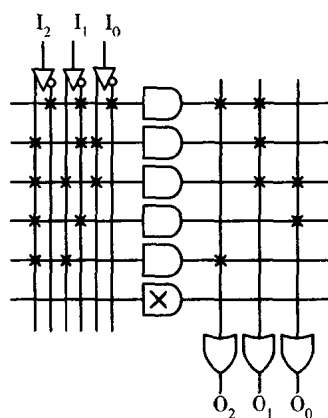


图 1.9 编程后的 FPLA

图 1.10 所示。在这种结构中，与门阵列是可编程的，而或门阵列是固定连接的，也就是每个输出是若干个乘积项之和，其中乘积项的数目是固定的。图 1.10 中，每个输出对应的乘积项数为两个。典型的逻辑函数要求 3~4 个乘积项。在 PAL 和 GAL 的现有产品中，最多的乘积项数可达 8 个。PAL 和 GAL 的这种基本门阵列结构，可以提供很高的速度。对于大多数逻辑函数，这种结构也是最有效的，因为大多数逻辑函数都可以方便地化简为若干个乘积项之和，即与-或表达式。

PAL 和 GAL 在输出结构上很不相同。PAL 有几种固定的输出结构，常用器件 25 种，选定芯片型号以后，其输出结构也就选定了；而 GAL 有一种灵活的、可编程的输出结构，所以普通 GAL 器件只有两种基本型号，它可以取代数十种 PAL 器件，GAL 是名符其实的通用可编程逻辑器件。

上述 PLD 器件的结构可汇总成表 1.1。表中的 TS 表示有三态输出类型，OC 表示有集电极开路输出类型，而 H 和 L 分别代表高电平输出和低电平输出。

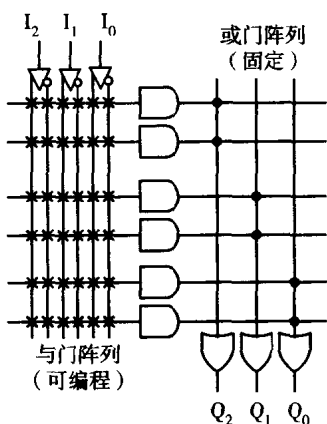


图 1.10 PAL 和 GAL 基本门阵列

表 1.1 PLD 结构汇总表

	阵 列		输 出
	AND	OR	
PROM	固定的	可编程的	TS、OC
FPLA	可编程的	可编程的	TS、OC、H、L
PAL	可编程的	固定的	TS、I/O、寄存器型
GAL	可编程的	固定的	由用户定义

第2章 可编程阵列逻辑器件(PAL)

PAL (Programmable Array Logic) 是 70 年代后期由美国 MMI 公司 (Monolithic Memories, Inc., 单片存储器公司) 推出的可编程逻辑器件。PAL 沿用了该公司在生产 PROM 器件中所采用的熔丝式双极型工艺, 可以达到很高的工作速度。PAL 和 PROM 一样, 都采用“阵列逻辑”技术。在阵列逻辑中, 既要求有规则的阵列结构, 又要求能实现灵活多变的逻辑功能, 同时还要求编程简单, 易于实现。PAL 正是适应这种要求而产生的。PAL 采用如第 1 章所述的可编程与门阵列和固定连接或门阵列的基本结构。PAL 的输出具有多种结构。

随后, PAL 器件得到广泛的应用, 同时, 许多生产厂家生产出了各种各样的 PAL 器件, 其范围从处理一般逻辑设计问题的简单器件到处理较复杂问题的更先进的器件。

本章将介绍 PAL 的输出和反馈结构、PAL 产品、PAL 器件的优缺点以及 PAL 器件的应用开发等。

2.1 PAL 的输出和反馈结构

PAL 器件的基本门阵列结构已在第 1 章 1.2 节中叙述。各种型号 PAL 的基本门阵列结构是类同的, 只是门阵列的规模不同而已。PAL 的输出和反馈结构有几种, 因此常按输出和反馈结构把 PAL 分成几类。

1. 专用输出的基本门阵列结构

这种输出结构见图 2.1。组合逻辑宜用这种结构。图中的输出部分采用或非门, 因而也称采用这种结构的器件为低电平有效器件。若输出采用或门, 则称为高电平有效器件。有的器件还采用互补输出的或门, 则称它为互补输出器件。PAL 器件输出高有效, 记号为 H; 输出低有效, 记号为 L; 互补输出, 记号为 C。

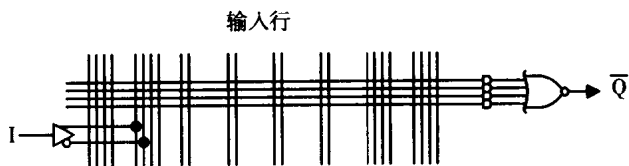


图 2.1 专用组合输出结构

2. 异步可编程 I/O 结构

异步可编程 I/O 结构如图 2.2 所示, 其中最上面一个与门所对应的乘积项用于选通三态缓冲器。如果编程时使此乘积项常为 0, 即该与门的所有输入项都接通, 则三态缓冲器保持高阻态, 对应的 I/O 引脚就可作输入脚用, 这时右面一个互补输出缓冲器作输入缓冲器用。相反地, 若该与门的所有输入项都断开, 则三态缓冲器常选通, 对应的 I/O 脚只能作输出用。一般情况下, 三态缓冲器受该乘积项的值的控制。该电路的输入/输出信号可由

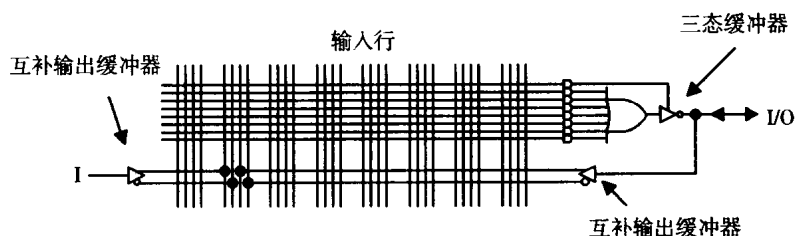


图 2.2 异步可编程 I/O 结构

程序规定，既可编程为高电平有效，又可编程为低电平有效。允许用一个乘积项信号控制三态缓冲器，用多个乘积项信号控制输出结果，而输出信号又可反馈到阵列，作为一个输入信号使用。这对于移位操作、传送串行数据等场合颇为有用。

3. 寄存(时序)输出结构

这种输出结构见图 2.3。在系统时钟(CLOCK)的上升沿(将这种寄存输出 PAL 编程后，常通过芯片的 1 脚施加系统时钟)，或门的输出(输入项的乘积和)存入 D 触发器，然后通过选通三态缓冲器把它送到输出端。D 触发器的 $\bar{Q}$ 输出端还反馈至与门阵列，这样 PAL 就能记忆原先的状态，从而实现时序电路设计中状态机时序逻辑功能。例如，向上计数、向下计数、跳步、转移和分支转移等。利用寄存输出的 PAL 实现这些操作，最高速率可达 20 MHz。

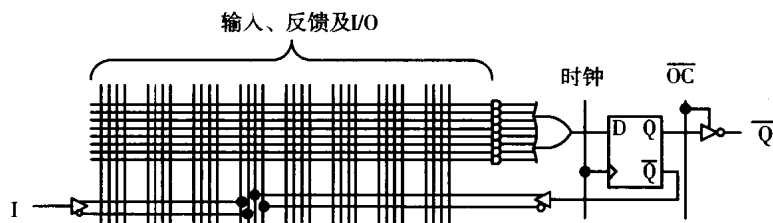


图 2.3 带反馈的寄存器输出结构

4. 异或结构

这类 PAL 器件的特点是在输出部分增加了一个异或门，如图 2.4 所示。把乘积和分割为两个和项，这两个和项在 D 触发器的输入端异或(XOR)后，在系统时钟的上升沿时存入触发器内。

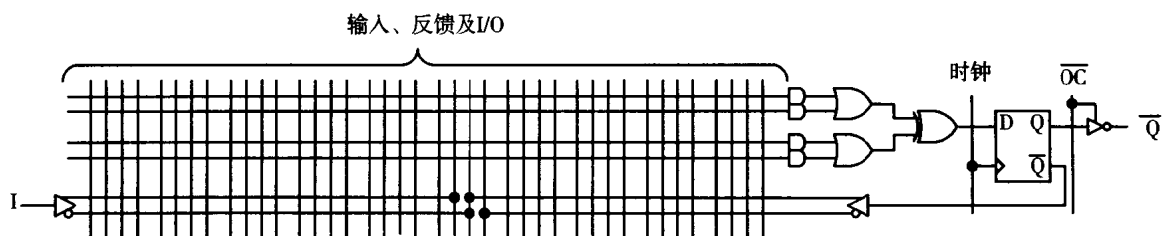


图 2.4 异或结构

XOR PAL 具有寄存输出 PAL 的其它一切特征。利用 XOR 功能很容易实现保持操作，这种操作在计数器和其它状态机中要用到。

5. 算术选通反馈结构

这种结构是在 XOR PAL 的基础上增加了反馈选通电路，如图 2.5 所示。这个反馈选通电路可以对反馈项 A 与输入项 B 实行二元逻辑操作，以获得 16 种可能的逻辑组合。4 种不同形式的或门输出分别为 $(A+\bar{B})$ 、 $(A+B)$ 、 $(\bar{A}+B)$ 和 $(\bar{A}+\bar{B})$ 。以这 4 个输出为逻辑变量所得的卡诺图见图 2.6。图中“--”与一般卡诺图中的“00”同义，“-×”与“01”

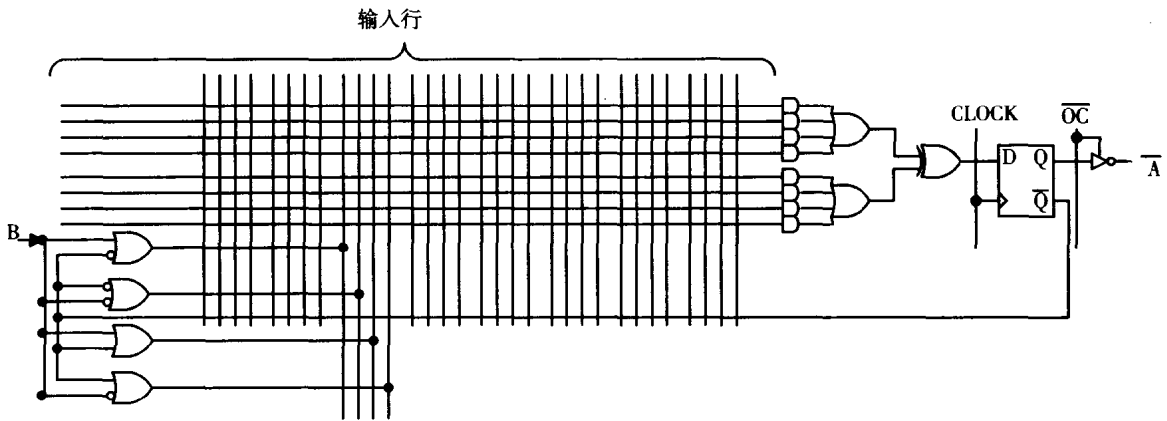


图 2.5 算术选通反馈 PAL

$\frac{(\bar{A}+B)(\bar{A}+\bar{B})}{(A+B)(A+\bar{B})}$		--	-	x	x	x	-
--	1	$\bar{A}+\bar{B}$	$\bar{A}$	$\bar{A}+B$			
-x	$A+B$	$A+\bar{B}$	$\bar{A} \cdot B$	B			
xx	A	$A \cdot \bar{B}$	0	$A \cdot B$			
x-	$A+\bar{B}$	$\bar{B}$	$\bar{A} \cdot \bar{B}$	$A \cdot \bar{B}$	$A \odot B$		

图 2.6 算术选通电路表示法

同义，以此类推。如果 $(A+\bar{B})$ 为“-”，表示输出为 $(A+\bar{B})$ 的或门与与门交叉线之间是开断的；如果 $(A+\bar{B})$ 为“×”，表示输出为 $(A+\bar{B})$ 的或门与与门交叉线之间是接通的，其余一样。 $(A+\bar{B})$ 为“×”后，与门的输出由 A 和 B 的状态值“0”、“1”决定。图 2.7 表示如何对 PAL 的门阵列编程，以获得 16 种可能的值。

这种结构的 PAL 器件，对实现快速算术操作（如相加、相减、大于、小于等）是很有用的。

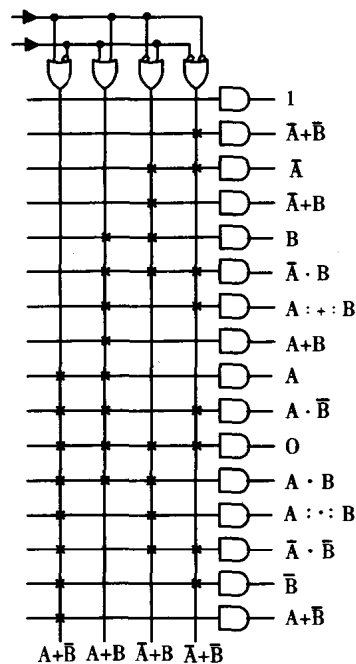


图 2.7 算术选通电路

2.2 PAL 器件产品简介

PAL 器件分为 20 引脚和 24 引脚两大系列, 此外还有 40(或 44)、80(或 84)引脚的宏 PAL 器件。按内部电路区分, 每一系列又可分为简单组合逻辑、带反馈的寄存器输出和可编程 I/O 等 3 类器件。按功能区分, 每一系列又分为标准型、半功耗型和 1/4 功耗型。按输出功率区分, 又可分为小功率、中功率和大功率器件。按运行速度区分, 可分为标准速度、高速和超高速器件。按工艺可靠性区分, 可分为军用、民用器件, 等等。

每一种 PAL 器件都可用一个逻辑符号来简明地描述该器件的逻辑功能。图 2.8 所示为两种 PAL 器件的逻辑符号。其余由于篇幅所限, 不一一列出。所有器件的逻辑符号中, 都用内部一个方框表示基本的与门阵列、与或门阵列等, 方框外的或门、三态缓冲器、D 触发器等表示了输出结构形式。用单根连线和方框相连的引脚为输入端。带 D 触发器的器件有触发时钟端, 通常是 1 脚。三态缓冲器的选通端, 在 20 脚器件中为 11 脚, 在 24 脚器件中为 13 脚。

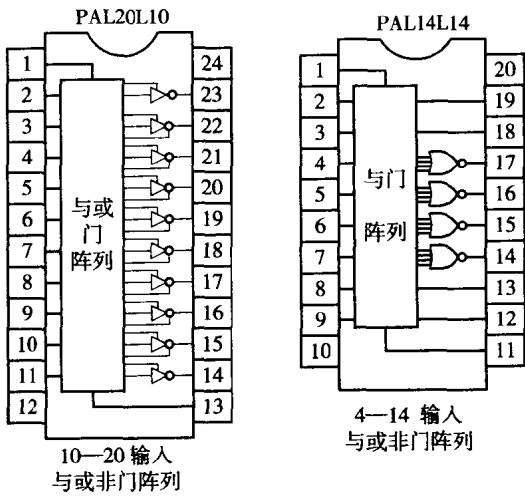


图 2.8 PAL 器件逻辑符号举例

PAL 器件型号的意义如图 2.9 所示。

PAL 器件的性能比较简单, 列于表 2.1。

表 2.1 PAL 性能比较表

性能 类型	典型延迟时间 $t_{DD}(\text{ns})$		$U_{CC}=5.5\text{ V}$ 时的电源电流 $I_{CC}(\text{mA})$	
	组合逻辑输出	带寄存器输出	组合逻辑输出	带寄存器输出
标准型	25	25	55	120
高速型		15		120
半功耗型	45	45	30	60
1/4 功耗型	55	55		30