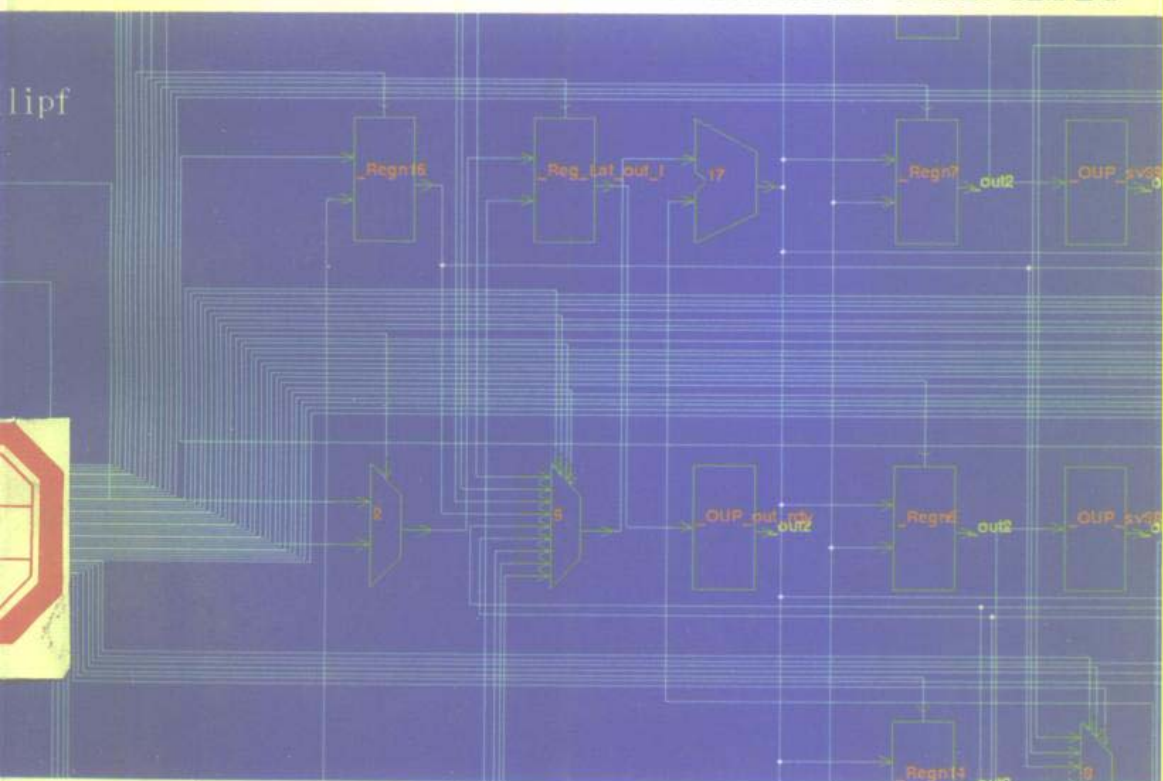


专用集成电路 高级综合理论

刘明业 张东晓 著
叶梅龙 李雁

THEORY OF HIGH LEVEL SYNTHESIS FOR ASIC



北京理工大学出版社

TX431.2

L6P

专用集成电路高级综合理论

刘明业 张东晓 著
叶梅龙 李 雁

北京理工大学出版社

0277/3

内 容 简 介

本书详述计算机及 ASIC 高级综合与混合级模拟的基本理论与关键技术。全书共分八章。前三章讨论高级综合的涵义, VHDL 编译及其可综合子集的实现方法。第四章给出 HLS/BIT 系统多目标优化模型、调度和分配算法及优化策略。最后给出许多综合与验证的示例。第五章详述与底层工艺设计衔接问题。提出 RTL 工艺无关和工艺相关两级映射策略及知识制导的 RTL 工艺映射方法。最后给出面向 FPGA 目标的映射结果。第六章讨论逻辑图生成的实用技术。第七章讨论 HLS/BIT 模拟模型的建立及数据结构, 给出各种模拟算法。第八章列举 VHDL 某些典型应用示例。

本书适用于从事计算机及 ASIC 设计自动化的研究人员参考, 也可作为高等学校计算机、自动控制、电子工程专业研究生及高年级学生的教学参考书。

图书在版编目(CIP)数据

专用集成电路高级综合理论/刘明业等著. —北京: 北京理工大学出版社, 1998. 1

ISBN 7-81045-349-1

I. 专… II. 刘… III. 数字集成电路, 专用-电路综合-理论
IV. TN431.2

中国版本图书馆 CIP 数据核字(97)第 22779 号

责任印制: 刘季昌 责任校对: 陈玉梅

北京理工大学出版社出版发行

(北京市海淀区白石桥路 7 号)

邮政编码 100081 电话 (010)68912824

各地新华书店经售

北京房山先锋印刷厂印刷

*

850×1168 毫米 32 开本 13.875 印张 354 千字

1998 年 1 月第 1 版 1998 年 1 月第 1 次印刷

(平装)印数: 1—2000 册 定价: 24.00 元

(精装)印数: 1—120 册 定价: 40.00 元

※图书印装有误, 可随时与我社退换※

前 言

当今面对瞬息万变的电子产品市场,国内外 ASIC 设计行业的呼声愈来愈高,迫切要求从面向用户应用对象的 ASIC 系统的行为和功能描述开始进行由顶向下的自动综合,并经过工艺映射直接生成 ASIC 版图设计的输入描述,这正是高级综合的全过程。本书的讨论就是以作者们长期从事高级综合研究工作为基础,以他们所取得的成果“北京理工大学 VHDL 语言 ASIC 系统行为级综合和混合模拟器系统(HLS/BIT)”为背景,全面而深入地阐明了 HLS/BIT 系统中的 VHDL 语言分析器、VHDL 混合级模拟器、高级综合子系统、智能工艺映射子系统、逻辑图自动生成子系统、综合结果验证子系统及接口变换子系统等各部分的构成和实现的基本理论和算法。

全书共分八章。第一章讨论高级综合全系统的组成及各部分的基本内涵,特别是阐明调度与分配的意义。其中着重讨论硬件描述语言 VHDL 的出现与发展,以及 VHDL 模拟器的功能,并介绍了北京理工大学的 VHDL 高级综合与混合级模拟系统(HLS/BIT)。

第二章讨论 VHDL 语言编译系统,着重阐明将 VHDL 描述编译成中间数据格式的特有方法,包括编译器的组成与实现中的关键技术,中间数据格式的设计、表格管理及各种语句的语义处理、编译中的报错等等。VHDL 语言编译中有许多与高级程序设计语言编译相同的部分则尽量省略。讨论的目标是最终要实现 VHDL—1076—1987 的全集。有关 VHDL 93 版本编译的内容尚未来得及补充进来。

第三章讨论 VHDL 语言可综合子集及其实现方法。在阐明将 VHDL 语言作为高级综合的输入描述标准语言的抉择后,指出 VHDL 的许多语法现象和语义结构不能够或不适合综合。全章结

合 HLS/BIT 系统,较系统地分析了 VHDL 语言的可综合性问题和 VHDL 可综合子集的确立,以及各有关语句的实现方法。同时指出根据实际系统的不同,对 VHDL 语言还会作出不同的限制,特别是表现在 VHDL 的描述方式上。

第四章讨论高级综合的基本方法,包括高级综合的模型、操作调度、资源分配,以及控制信息的提取等。其中回顾了已有的典型方法,着重讨论了 HLS/BIT 系统研制中提出的多目标优化模型、功能单元最大利用率的调度算法和改进的团划分分配算法,以及该系统中所采取的迭代循环的改进调度和分配的优化策略。继之还讨论了在数据流综合过程中提取控制信息的问题,以及将其转化为实现控制过程的状态转换函数 f_s 和控制输出函数 f_o 的有关问题。最后给出综合结果的模拟验证方法,以及许多示例的综合与验证的结果。

第五章详述了工艺映射技术。首先讨论工艺映射处理时机,然后分别阐明逻辑级工艺映射、寄存器传输级工艺映射及高级综合中工艺映射技术的发展状况。重点讨论了高级综合中工艺映射的特点和实现方法。最后给出面向 FPGA 目标器件的映射结果及若干生成器件的验证实例。其中详述了 HLS/BIT 系统中在处理高级综合与底层工艺设计衔接问题时,提出 RTL 工艺无关和工艺相关两级映射的策略以及将基于知识的方法和算法相结合的知识制导的 RTL 工艺映射方法。同时在将高级综合结果向 XNF 文件的映射过程中,提出控制流和数据流综合结果分别映射,然后再组装到一起的策略,使问题的处理得到极大的简化。

第六章讨论逻辑图自动生成技术,给出整个子系统的结构。着重讨论了划分、自动布局、自动布线,以及图形输出等实用技术。最后给出若干运行实例,可见其成图质量。

第七章讨论 VHDL 语言模拟及调试系统。首先较深入地分析了 VHDL 描述与硬件相关的语法和语义结构及 VHDL 的发展趋势,然后讨论 HLS/BIT 系统中模拟器模型的建立及其主要数据结构。其中较深入地分析了层次化模拟模型、网状模拟模型及具有

调试功能的模拟模型,并给出各种模拟算法。

第八章讨论 VHDL 语言的应用,首先深入分析了 VHDL 中可综合语法结构的硬件含义,然后讨论运用自底向上的方法,针对某种硬件结构建立其可综合的模型。继之以神经元芯片为例讨论了 CPU 的 VHDL 描述与模拟。为了开阅读者 VHDL 语言的应用视野,进一步给出条形码阅读预处理器的高级综合的示例,直到生成 FPGA 器件的全过程。最后以 RISC SPARC MB86901 为例阐明运用 VHDL 语言对多级流水线结构进行复杂数字系统自动设计的方法。

本书稿撰写的分工如下:第一、三、四章由刘明业、张东晓撰写;第二、五章由刘明业撰写;第六、八章由叶梅龙撰写;第七章由李雁撰写。全书由刘明业、叶梅龙统稿。

国防科技大学胡守仁教授对本书稿的撰写给予了关怀和指导,并且在百忙中审阅了原稿,提出许多宝贵意见,使书稿得以改进和提高。此外颜宗福、牛振东、左京燕、金毅、吴建国和石峰为本书稿的撰写提供了宝贵资料。书后的专用术语中英文对照是刘沁楠精心编制的。刘沁楠、杨勋、马聪等为本书稿的校对、绘图及部分编辑工作付出了艰辛的劳动。本书撰写工作长期以来得到国家“八五”、“九五”科技攻关项目、国防微电子技术预研项目、国家自然科学基金项目及国家教委博士点建设基金项目的支持。北京大学王阳元院士和中国科学院半导体所王守觉院士都曾对本课题的工作给予关怀和指导。本书稿列选为北京理工大学“九五”学术专著出版基金资助项目。对上述有关部委、电科院、北京华大集成电路设计中心、兵科院及北京理工大学等单位的各级领导和师长的长期关怀、指导和帮助,我们在此谨致以诚挚的谢意。

限于我们的工作实践和认识水平,书中难免存在缺点和错误,殷切希望广大读者批评指正。

刘明业

1997年盛夏于白山

目 录

第一章 电子系统设计自动化技术与 VHDL 语言	(1)
§ 1.1 EDA 技术的强大生命力	(1)
§ 1.2 高级综合技术的出现	(3)
§ 1.3 VHDL 语言的产生与特点	(12)
§ 1.4 VHDL 语言高级综合系统的组成	(14)
§ 1.5 VHDL 语言多层次模拟的验证作用	(17)
§ 1.6 VHDL 语言版本的发展	(22)
§ 1.7 本章小结	(22)
第二章 VHDL 编译系统	(24)
§ 2.1 VHDL 语言编译系统的作用与地位	(24)
§ 2.2 VHDL 语言编译系统的结构及需求分析	(25)
§ 2.3 VHDL 语言编译系统的设计	(26)
§ 2.4 VHDL 语言词法分析器的设计与实现	(30)
§ 2.5 自动生成语法分析程序的工具—YACC 简介	(34)
§ 2.6 VHDL 语言语法分析器的设计	(37)
§ 2.7 VHDL 编译系统符号表的管理	(40)
§ 2.8 VHDL 语言编译系统中间格式的设计	(44)
§ 2.9 产生式的书写及冲突处理	(45)
§ 2.10 表达式的编译	(50)
§ 2.11 VHDL 语言编译中层次问题及信息可见性问题	(53)
§ 2.12 VHDL 语言中别名、重载、接口表、子程序的处理	(56)
§ 2.13 VHDL 语言编译中指令结构分析	(57)
§ 2.14 编译器错误检查处理的内容和策略	(64)
§ 2.15 VHDL 语言编译的错误处理	(66)
§ 2.16 VHDL 语言编译中的信息变换	(74)
§ 2.17 本章小结	(81)
第三章 VHDL 语言综合子集及其实现方法	(83)
§ 3.1 VHDL 语言的可综合性	(83)

§ 3.2	VHDL 语言综合子集的确立	(84)
§ 3.3	VHDL 语言综合子集的实现方法	(91)
§ 3.4	HLS/BIT 系统的设计流程	(101)
§ 3.5	本章小结	(104)
第四章	高级综合的基本内容和方法	(105)
§ 4.1	高级综合的模型	(105)
§ 4.2	操作的调度问题	(110)
§ 4.3	典型调度算法回顾	(116)
§ 4.4	资源分配问题	(118)
§ 4.5	HLS/BIT 中的调度及分配算法	(121)
§ 4.6	控制信息的提取	(131)
§ 4.7	模拟验证方法及其实现	(134)
§ 4.8	模拟结果的比较分析	(135)
§ 4.9	本章小结	(177)
第五章	工艺映射技术	(179)
§ 5.1	引言	(179)
§ 5.2	工艺映射的处理时机	(181)
§ 5.3	逻辑综合系统中的工艺映射技术	(183)
§ 5.4	面向 FPGA 的工艺映射方法	(185)
§ 5.5	高级综合中的工艺映射	(187)
§ 5.6	寄存器传输级两级映射策略	(191)
§ 5.7	RTL 工艺无关映射的形式描述	(195)
§ 5.8	RTL 约束部件库	(196)
§ 5.9	基于决策树的 RTL 工艺无关映射	(199)
§ 5.10	知识制导的 RTL 工艺映射方法	(203)
§ 5.11	问题描述	(206)
§ 5.12	控制知识	(208)
§ 5.13	形式化算法	(209)
§ 5.14	RTL 映射系统 HLS/BIT—TECHMAP 的实现	(215)
§ 5.15	智能约束部件库	(219)
§ 5.16	RTL 工艺无关与工艺相关的映射	(222)
§ 5.17	与 FPGA 开发系统的接口	(234)
§ 5.18	RTL 映射结果的模拟验证方法	(236)

§ 5.19	运行示例及工艺映射结果分析	(238)
§ 5.20	本章小结	(246)
第六章	逻辑图自动生成技术	(248)
§ 6.1	逻辑图自动生成的意义	(248)
§ 6.2	逻辑图自动生成的技术特点	(248)
§ 6.3	基于知识的逻辑图自动生成系统	(249)
§ 6.4	逻辑图自动生成系统的总体设计目标	(251)
§ 6.5	自动划分	(254)
§ 6.6	自动布局	(259)
§ 6.7	自动布线	(272)
§ 6.8	逻辑图的输出	(288)
§ 6.9	用户界面及图形管理的设计	(291)
§ 6.10	用户界面及图形管理的实现	(293)
§ 6.11	本章小结	(302)
第七章	VHDL 语言模拟及调试方法	(307)
§ 7.1	VHDL 模拟特性及 VHDL 发展分析	(307)
§ 7.2	VHDL 模拟器模型建立简介	(320)
§ 7.3	VHDL 模拟实现的主要数据结构	(334)
§ 7.4	VHDL 模拟算法	(349)
§ 7.5	模拟器 VSD/BIT 简介	(363)
§ 7.6	本章小结	(366)
第八章	VHDL 语言应用技术	(369)
§ 8.1	VHDL 语言描述与硬件实现	(369)
§ 8.2	硬件器件与 VHDL 语法现象的对应	(375)
§ 8.3	VHDL 语言对 CPU 的建模	(381)
§ 8.4	神经元芯片 NPS 的 VHDL 描述与模拟	(385)
§ 8.5	条码阅读预处理器的 FPGA 设计	(396)
§ 8.6	流水线结构行为级 VHDL 语言描述方法	(409)
§ 8.7	本章小结	(415)
参考文献		(416)
本书专用术语中英文对照		(422)

第一章 电子系统设计自动化 技术与 VHDL 语言

随着超大规模集成电路(VLSI)工艺的发展,电路规模越来越大,电路设计的复杂度也越来越高,这对电子设计自动化(EDA)提出了严峻的挑战。传统的逻辑设计方法已越来越不能适应设计的要求,而逐步代之以高层次的自动设计方法,高级综合就是其中突出的代表。同时,为了进行自动化的设计,需要用硬件描述语言形式化地描述电路。VHDL 是 IEEE 制定的工业标准硬件描述语言,具有极强的硬件描述能力和其它诸多优点。本章将对高级综合和 VHDL 语言作综合性论述。

§ 1.1 EDA 技术的强大生命力

当今人类文明与进步的每一个角落无一不是专用集成电路(ASIC)及其组成的整机系统在起着决定性作用。现代 ASIC 设计技术发展的重要趋势之一是直接面向用户的需要,根据电路系统行为和功能要求,由顶层开始向下层逐层完成相应的设计描述、综合与优化、模拟与验证,直至生成器件。现在整机产品的设计正向速度快、容量大、体积小、重量轻的方向迅猛发展,支持这种迅猛发展的关键技术也正是专用集成电路。因此,整机设计的核心是设计自己的专用集成电路。而专用集成电路的特点是面向特定用户的需求:品种多、批量少、要求设计与生产周期特别短,尤其在军品设计中表现更为突出。能解决这一困难问题的关键技术是高层次自动综合、混合模拟及可测试性技术。面对瞬息万变的电子市场,现

在国内外 ASIC 设计行业的呼声愈来愈高,迫切要求从面向用户应用对象的 ASIC 系统的行为和功能描述开始,并经过行为功能级模拟验证该描述符合预期要求后,再经过自动综合,直接生成 ASIC 版图的输入描述。这就是高级综合的全过程。

高级综合是在逻辑综合的基础上发展起来的,随着逻辑综合理论的成熟与完善、逻辑综合自动化工具的实用,人们逐步开始重视高级综合的研究。经过 20 余年的探索,高级综合的理论与方法已具有了相当的基础。并实现了一些原型及实用系统。在 70 年代,高级综合主要处于研究阶段,Standford、CMU、Kiel 等大学进行了典型性的探索,提出了一些高级综合的算法并应用到各自的系统实现中,如 DAA、MSS 和 Caddy 等;80 年代开始人们逐步开始进行高级综合实用化的研究,各大学与公司相继推出了各自的综合系统,如 CMU 的 SAW,Carlton 大学的 HAL 等;80 年代中后期,工业标准硬件描述语言 VHDL 的产生,把高级综合的研究推向标准化,出现了许多以 VHDL 语言作为输入描述的高级综合系统,并且有相当一部分系统已经比较成熟,如 IBM 的 HIS、Cincinnati 大学的 DSS 及 Siemens AG 的 Callas 等。目前,世界各知名 EDA 厂商都相继推出了商业化的、具有良好集成开发环境的 VHDL 语言综合系统。

VHDL 语言的出现基本结束了长期以来硬件描述语言始终处于各家纷纭的状况。1995 年国家技术监督局组织编撰并出版、发布的《CAD 通用技术规范》中也明确推荐采用 VHDL 和 EDIF 作为我国电子设计自动化(EDA: electronic Design Automation)的硬件描述语言的国家标准,并跟踪其版本的更新而更新。VHDL 语言和高级综合目前是 EDA 领域内的热点问题。自 80 年代末,它们在权威的 IEEE 和欧洲电子设计自动化年会上始终处于关注的焦点。特别是 1996 年 6 月份闭幕的 IEEE 第 33 届国际自动化设计年会(DAC)指出以 VHDL 语言高级综合为代表的高层次设计方法已深入人心,采用高层次设计方法的设计效率数倍乃至十数

倍高于传统的设计方法。近几年我国 EDA 方面的科技工作者,特别是高等学校的部分教师和研究生奋起直追,使我国的 EDA 技术获得了新发展。更使人欣慰的是 1996 年 6 月中国计算机学会在北戴河召开了“全国首届 VHDL 语言及其应用学术会议”,收录到该会议论文集的论文共 29 篇。其中与 VHDL 语言高级综合有关的论文 7 篇;可视化编辑、编译及模拟方面的 9 篇;运用 VHDL 语言描述为输入进行 ASIC 设计的 10 篇;VHDL 语言文本发展跟踪展望方面的 3 篇。这些文章来自全国各地,从中原到边远的各高等学校和科研院所,全面而集中地反映了近几年来我国在 VHDL 语言设计系统研究、开发和器件设计应用方面所取得的丰硕成果和重要进展。仔细分析这些文章的内容,不难看出在我国许多设计者已经较深入地掌握了 VHDL 语言,他们不仅在 ASIC 设计实践中做出成果,而且特别在 VHDL 语言高级综合、混合级模拟及可视化与概念化设计等方面均取得了长足的进展。他们在国家有关部门的支持和关怀下,自力更生、顽强拼搏,完全靠自己的劳动和智慧,将 VHDL 行为描述到器件的自动生成变成了现实,使我国的 EDA 事业欣欣向荣。与此同时也为国家培养了一批又一批掌握 EDA 技术的博士、硕士和大学毕业生,使我国的 EDA 事业人才济济、实力雄厚、大有希望。

§ 1.2 高级综合技术的出现

为了进行自动化的设计,需要用形式化的方法来描述电路,即所谓硬件描述语言。硬件描述语言及其支撑系统(如模拟、综合等)的研究是当今电子设计自动化领域的一大课题。VHDL 是 IEEE 制定的工业标准硬件描述语言,它具有很强的硬件描述能力。相应地,VHDL 语言及其高级综合系统的研究构成了当今电子设计自动化的主流和热点。

一、高级综合的涵义

电子系统设计包括行为、结构和物理三个领域(domain)。行为(behavioral)域是指系统的功能,结构(structural)域是指系统的逻辑组成,物理域是指具体实现的几何特性与物理特性。这三个领域构成完整的设计,而所有的设计又都涉及这三方面的内容。

根据抽象程度的不同,电子系统又划分成若干层次(level),一般包括系统级、算法级(或行为功能级)、寄存器传输级(RTL: register transfer level)、逻辑级与电路级等。可以用图 1.1(a)所示的 Y 图来形象地表示领域和层次的概念。

所谓综合(synthesis),实际上就是一个从高层次到低层次、从行为域到结构域的设计转换过程,其中还包含必要的优化。根据起始层次的不同,综合可划分为逻辑综合、寄存器传输级综合等。而对于高级综合(High-Level Synthesis),顾名思义其出发点是在更高的设计层次(例如算法级),一般认为,高级综合完成从算法级的行为描述到寄存器传输级的结构描述的转换,在 Y 图中如图 1.1(b)所示。

可以举一个非常简单的例子来具体地说明层次、域和综合的概念。假设我们做一个一位的全加器,完成 $y = a + b$ 的运算。图 1.2(a)为该设计的算法级的行为描述,图 1.2(b)为其 RTL 结构描述,图 1.2(c)为图 1.2(b)的图示;图 1.3(a)为其逻辑级的行为描述,图 1.3(b)为其逻辑级的结构描述,图 1.3(c)为图 1.3(b)的图示。这里的描述都用 VHDL 语言写成,虽然各个描述方式不同,描述层次不同,但表示的设计都是完成 $y = a + b$ 的运算。假如用计算机自动完成从图 1.2(a)到图 1.2(b)、或从图 1.2(a)到图 1.3(b)、或从图 1.3(a)到图 1.3(b)的转换,实际上就是自动综合的过程,而从图 1.2(a)到图 1.3(b)的转换可以看成高级综合的过程。

从图 1.2 和图 1.3 可以看出,高级综合作为一种自顶向下的自动设计方法,可以极大地简化设计复杂度,提高设计效率,缩短

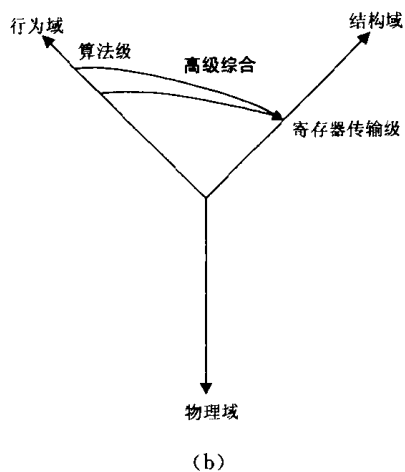
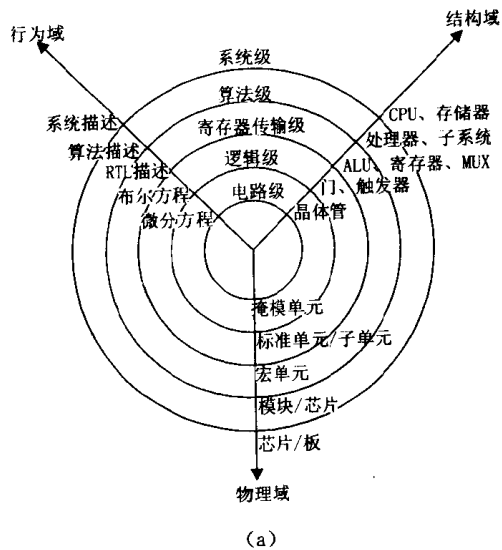


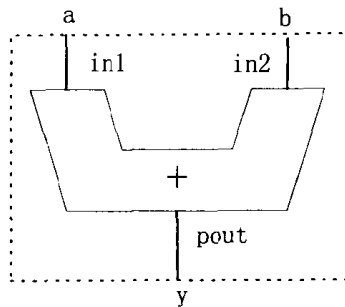
图 1.1 层次与领域图示
(a) Y图;(b) 高级综合在 Y 图上的表示

设计周期。上面的示例非常简单,似乎不能反映高级综合的优越性。但如果是更复杂产品的设计,如 MPEG 解压卡,DSP 芯片等,尤其是在当今电子产品市场激烈的竞争中,time-to-market 至关重要的情况下,高级综合意义显而易见。

<pre>entity adder is port (a,b : in integer range 0 to 1; y : out integer range 0 to 3); end adder; architecture behavioral of adder is begin process(a,b) begin y<=a+b; end process; end behavioral;</pre>	<pre>entity adder is port(a,b: in integer range 0 to 1; y : out integer range 0 to 3); end adder; architecture structural of adder is component add_1 port(in1,in2:in integer range 0 to 1; pout :out integer range 0 to 3); for all: add_1 use ...; begin u1: add_1 port map(a,b,y); end structural;</pre>
---	---

(a)

(b)



(c)

图 1.2 一位加法器的算法级和 RTL 级的 VHDL 描述

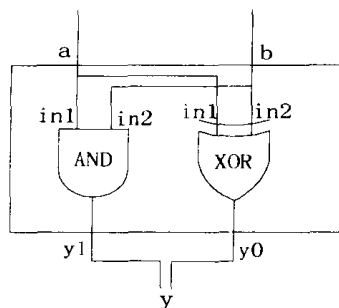
(a)算法级行为描述;(b)RTL 结构描述;(c)结构图示

```

entity adder is port (
    a,b : in bit;
    y    : out bit_vector(1 downto 0));
end adder;
architecture behavioral of adder is
    y(1) <= a and b;
    y(0) <= a xor b;
end behavioral;

```

(a)



(c)

```

entity adder is port(
    a,b: in bit;
    y : out bit_vector(1 downto 0));
end adder;
architecture structural of adder is
    component and_1 port (
        in1,in2 : in bit;
        pout    : out bit);
    component xor_1 port (
        in1,in2 : in bit;
        pout    : out bit);
    for all: and_1 use...;
    for all: xor_1 use...;
begin
    u1: and_1 port map(a,b,y(1));
    u2: xor_1 port map(a,b,y(0));
end structural;

```

(b)

图 1.3 一位加法器的逻辑级 VHDL 描述

(a) 逻辑级行为描述; (b) 逻辑级结构描述; (c) 结构图示

二、高级综合的全过程

高级综合通过一系列步骤将设计的行为表示转换为 RTL 的结构表示,RTL 的设计结构主要由功能单元(如 ALU)、存储单元(如寄存器)和互连单元(如连线或多路选择器)组成。现在以北京理工大学高级综合及混合级模拟系统(HLS/BIT)为例来说明综

合的过程。HLS/BIT 的目标是完成从工业标准硬件描述语言 VHDL 的行为描述到 RTL 的结构描述的综合。假设要设计求解下述算术表达式的电路：

$$y = (a+b) + (e - (c+d))$$

其 VHDL 语言描述如下：

```

-----
-- SRC--MODULE : HLS_FPGA
-- NAME          : hls_fpga.vhdl
-- VERSION       : 1.0
-- PURPOSE       : Architecture of HLS_FPGA
                  benchmark
-- AUTHOR        : Yan. Zongfu & Zhang Dongxiao
-- LAST UPDATE   : Fri Nov 10 10:36:10 1995
-----

-- Calculate      y = (a+b)+(e-(c+d))
--
-- Subtype Package
package hf_type is
    subtype short is integer range 0 to 255;
end hf_type;
use work.hf_type.all;
-- The entity declaration of HLS_FPGA
entity hls_fpga is
    port (
        a          : in short;
        b          : in short;
        c          : in short;
        d          : in short;
        e          : in short;
        y          : out short;
        clk        : in bit;
        in_rdy     : in bit;
    );

```