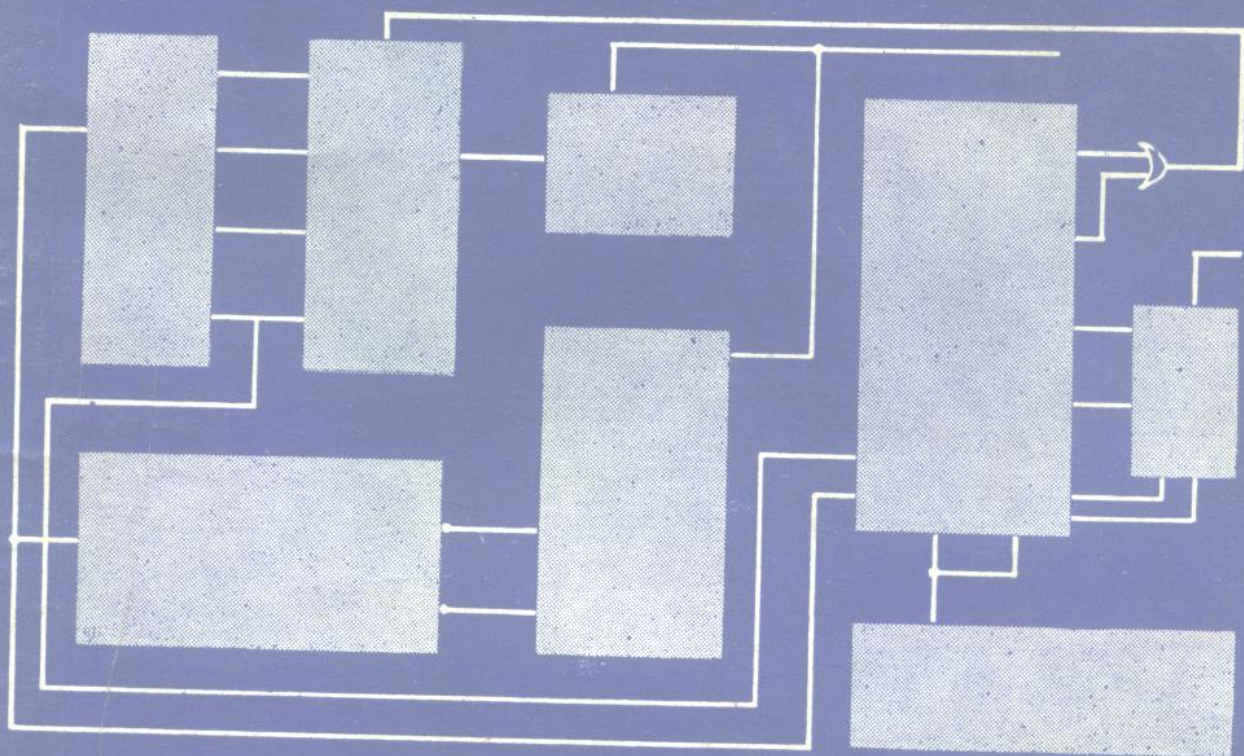


周明德 白晓笛 田开亮 编著

微型计算机 接口电路及应用



清华大学出版社

微型计算机接口电路及应用

周明德 白晓宙 田开亮 编著

清华大学出版社

内 容 简 介

本书是《微型计算机系统硬件软件及其应用》一书在实时控制领域的延伸。全书分为两大部分，第一部分为通用接口电路，介绍了并行接口电路 Z80-PIO、8255A-PPI、MC6821-PIA，串行接口电路 8251A-PCI、Z80-SIO、MC6850-AC A，定时器/计数器电路 Z80-CTC、8253-PIT、MC6840-PTM，DMA 控制器 8257-DMAC、Z80-DMA、MC6844-DMAC，以及 D/A 和 A/D 转换电路，每一种片子都具有使用实例；第二部分介绍了温度闭环控制系统，数据采集系统，开环实时控制系统，用并行通讯的分级分布系统，以及用串行通讯的分级分布系统等五个实例。通过实例详细介绍了如何分析工艺要求，利用接口电路进行硬件系统设计，及如何进行软件设计等方法和技术，为读者提供了样板。

本书的初稿曾在多个培训班试用，此次又经过增补改写，内容丰富全面，具有先进性、完整性和系统性。

本书适用于从事数据采集，实时控制，仪器仪表专业的科技人员，对高校师生和研究生也是一本极好的参考书，也可作为接口电路培训班的教材。

1510: 67

微型计算机接口电路及应用

周明德 编著

☆

清华大学出版社出版

(北京 清华园)

北京吴海公司印刷厂排版

北京人民文学印刷厂印装

新华书店北京发行所发行 各地新华书店经售

☆

开本: 787×1092 1/16 印张: 43 字数: 1070 千字

1987 年 4 月第 1 版 1987 年 4 月第 1 次印刷

印数: 00001—15000

统一书号: 15235·260 定价: 7.90 元

前 言

数据采集, 实时控制以及智能化的仪器仪表是微型计算机的重要应用领域。在这些应用中微型计算机必然要与外部的客观世界相联系, 输入反映对象的状态和运动变化的信息; 经过计算机处理后, 输出控制对象运动规律的信息。这些信息可能是开关量、数字量, 也可能是模拟量, 这些信息的物理表现也是千差万别的。所以, 微型计算机必须通过各种接口电路与对象相联系。随着超大规模集成电路技术的发展, 各种专用的和通用的接口电路大量涌现。但目前通用的仍是 Intel 系列、Zilog 系列和 Motorola 系列的接口片子。从事数据采集, 实时控制领域的科技人员必须熟悉、掌握和正确使用这些接口片子。

本书是《微型计算机系统硬件软件及其应用》一书在实时控制领域的延伸。本书是作为教材来编写的, 对 Intel、Zilog、Motorola 系列的并行串行接口片子, 定时器/计数器电路, DMA 控制器以及 D/A 与 A/D 转换电路进行了精选; 并结合大量的使用实例, 按照由浅入深, 循序渐进的原则进行编写, 具有先进性、全面性和系统性。

本书分为两大部分, 第一部分为通用接口电路, 介绍了并行接口电路 Z80-PIO、8255A-PPI、MC6821-PIA, 串行接口电路 8251A-PCI、Z80-SIO、MC6850-ACIA, DMA 控制器 8257-DMAC、Z80-DMA、MC6844-DMAC, 以及 D/A 和 A/D 转换电路。第二部分介绍了温度闭环控制系统, 数据采集系统, 开环实时控制系统, 用并行通讯的分级分布系统, 以及用串行通讯的分级分布系统等五个实例。通过实例详细介绍了如何分析工艺要求, 利用接口电路进行硬件系统的设计, 及如何进行软件设计等方法和技术。为读者提供了样板。

本书的初稿曾在多个培训班试用, 得到了肯定。这次又根据读者的要求增补了 DMA 控制器等很多章节, 对有的章节进行了改写, 增加了大量的使用实例, 希望能对读者有所裨益。但由于作者水平有限, 实践经验尚不够丰富, 书中必然存在不少缺点和错误, 敬请读者批评指正。

本书第一部分的第一章、第二章、第三章, 由白晓笛同志根据周明德同志的原稿增补改写, 由周明德同志审查定稿的。第四章由白晓笛同志编写, 第五章由田开亮同志编写; 第二部分的第一章、第二章由田开亮同志编写, 第三章、第四章由白晓笛同志编写, 都由周明德同志审查定稿的, 附录 1 总线标准和技术由上海计算机技术服务公司金洪祥同志编写。清华大学自动化系自动化教研组的同志为本书的第二部分提供了素材, 在此向他们表示感谢。

周 明 德

目 录

前言

第一部分 微型计算机通用接口电路

第一章 并行接口电路	1
第一节 概述	1
一、不可程序的并行接口电路	1
二、可程序的并行接口电路	12
第二节 Z80-PIO	14
一、引言	14
二、PIO 结构	14
三、Z80-PIO 引脚说明	16
四、Z80-PIO 的工作方式和时序	22
五、Z80-PIO 中断	27
六、Z80-PIO 编程	29
七、Z80-PIO 应用举例——TTL 集成电路测试器	35
第三节 8255A-PPI	42
一、8255A-PPI 的结构	42
二、8255A-PPI 的引脚和控制	43
三、8255A-PPI 的方式选择	48
四、方式 0 的功能和使用	51
五、方式 1 的功能和使用	60
六、方式 2 的功能和使用	70
第四节 MC6821-PIA	79
一、PIA 的基本功能	79
二、PIA 的结构和引脚	80
三、PIA 的寻址	83
四、PIA 与 CPU 的连接	86
五、PIA 的初始化	86
六、PIA 的中断和联络线的使用	90
第二章 串行接口电路	98
第一节 概述	98
一、串行通讯的基本概念	98
二、串行通讯中的几个问题	102
三、串行通讯 I/O 的实现	118
四、几种典型的串行接口电路	121

第二节	8251A-PCI	123
一、	8251A-PCI 的基本性能	123
二、	8251A-PCI 的结构	124
三、	8251A-PCI 的引脚	126
四、	8251A-PCI 的编程和使用	128
五、	8251A-PCI 应用举例	134
第三节	Z80-SIO	152
一、	Z80-SIO 的主要功能	152
二、	Z80-SIO 的内部结构	154
三、	Z80-SIO 的引脚说明	157
四、	Z80-SIO 的读和写寄存器	165
五、	Z80-SIO 编程	183
六、	Z80-SIO 操作	191
第四节	MC6850-ACIA	212
一、	MC6850-ACIA 的功能	212
二、	MC6850-ACIA 的结构	214
三、	MC6850-ACIA 的引脚	215
四、	MC6850-ACIA 的寻址	216
五、	MC6850-ACIA 的编程	217
六、	MC6850-ACIA 应用举例	223
第三章	定时器/计数器和多功能 I/O 控制器	233
第一节	概述	233
第二节	Z80-CTC	240
一、	Z80-CTC 的主要特性	240
二、	Z80-CTC 的结构	241
三、	Z80-CTC 的引脚	243
四、	Z80-CTC 的工作方式	244
五、	Z80-CTC 的编程和使用	245
六、	Z80-CTC 计数和定时的能力	248
七、	Z80-CTC 应用举例	251
第三节	8253-PIT	257
一、	8253-PIT 的基本功能	258
二、	8253-PIT 的内部结构	258
三、	8253-PIT 的引脚和寄存器选择	259
四、	8253-PIT 的控制字	261
五、	8253-PIT 的工作方式	262
六、	8253-PIT 的读写操作	272
七、	8253-PIT 和 8254-PIT	274
第四节	MC6840-PIM	275

一、MC6840-PTM 的主要功能	275
二、MC6840-PTM 的内部结构	275
三、MC6840-PTM 的引脚	277
四、MC6840-PTM 的编程	280
五、MC6840-PTM 的工作方式	282
六、MC6840-PTM 应用举例	287
第五节 多功能 I/O 控制器——TMS 5501	291
一、概述	291
二、TMS 5501 的功能和结构	293
三、TMS 5501 的引脚	295
四、TMS 5501 端口寻址	296
五、TMS 5501 的命令和使用	297
第四章 DMA 控制器	307
第一节 概述	307
一、什么是 DMA?	307
二、为什么要使用 DMA?	307
三、在什么情况下使用 DMA?	308
四、DMA 操作的基本方法	309
五、DMA 控制器 (DMAC) 的基本功能	311
六、数据传送方法	312
七、DMA 的操作方式	313
八、几种典型的 DMAC	314
第二节 8257-DMAC	315
一、8257-DMAC 的基本功能	315
二、8257-DMAC 内部结构	316
三、8257-DMAC 引脚	318
四、8257-DMAC 寄存器选择	321
五、8257-DMAC 编程	324
六、8257-DMAC 的操作和使用	326
第三节 Z80-DMA	333
一、Z80-DMA 的功能	333
二、Z80-DMA 的引脚	341
三、Z80-DMA 的内部结构	343
四、编程	353
五、应用	374
六、时序	384
第四节 MC6844-DMAC	392
一、MC6844-DMAC 的基本功能	392
二、MC6844-DMAC 的结构	395

三、MC6844-DMAC 的引脚	396
四、MC6844-DMAC 的编程	398
五、MC6844-DMAC 操作	402
六、MC6844-DMAC 的使用	405
第五章 数/模和模/数转换	409
第一节 转换装置的作用	409
一、数字控制系统	410
二、数字-模拟混合计算机系统	410
三、数据传输系统	411
第二节 数/模(D/A)转换器	411
一、数/模转换器基本原理	411
二、常用数/模转换器芯片	412
三、数/模转换器与微处理器(μ p)的接口电路设计	434
四、利用数/模转换器产生模拟信号	443
第三节 模/数(A/D)转换器	446
一、模/数转换器基本原理	446
二、采样定理和采样-保持器	453
三、常用模/数转换器芯片	461
四、模/数转换器与微型计算机接口电路设计	482
第二部分 应用实例	
第一章 温度闭环控制系统	500
第一节 概述	500
第二节 系统硬件构成	501
一、输入电路	501
二、A/D 转换器和单板机接口	502
三、输出电路	504
第三节 温控系统软件	506
一、程序简述	506
二、键盘处理程序 KEY 简述	511
第二章 微机数据采集系统	527
第一节 设计思想及要求	527
第二节 系统构成	528
一、硬件	528
二、软件	530
第三节 采用高级语言的巡回检测程序	535
第三章 单板机控制针织提花袜机系统	537
第一节 概述	537
一、问题的提出	537
二、袜机提花工艺要求	537

第二节	系统的组成	538
一、	系统设计的一些考虑	538
二、	接口芯片的使用	541
三、	系统框图	544
四、	接口电路原理图	544
第三节	织袜控制程序	546
一、	控制原理	546
二、	程序结构	547
三、	内存和寄存器的分配	547
四、	运行程序的准备工作	548
五、	程序说明	548
第四章	微型机分级分布控制针织提花系统	555
第一节	概述	555
第二节	系统组成	556
第三节	上下级接口电路	557
一、	总线接口电路	557
二、	主机接口电路	560
第四节	上下级通讯	563
一、	通讯方式	563
二、	状态信息约定	564
三、	数据从上级机到单板机	564
四、	数据从单板机到上级机	565
五、	状态信息从上级机到单板机	566
六、	状态信息从单板机到上级机	566
第五节	程序设计	567
一、	上级机软件	567
二、	下级机软件	583
第五章	采用串行通讯的微型机分级分布系统	590
第一节	通讯实现方法	591
一、	并行通讯	591
二、	串行通讯	597
第二节	对系统的改造	606
一、	对硬件部分的改造	606
二、	为完成通讯管理对 TRS-DOS 的改造	609
第三节	通讯管理程序	612
一、	通讯管理程序的主要考虑	612
二、	程序的工作过程和人机对话的格式	612
三、	通讯管理程序流程图	614
附录	附录 1 总线的标准和技术	620
	附录 2 TP801-A 单板计算机介绍	660

第一部分 微型计算机通用接口电路

第一章 并行接口电路

第一节 概 述

随着大规模集成电路技术的飞速发展,微型计算机输入/输出接口芯片的品种越来越多。这些接口片子可以分为两类:一类是与某一种外部设备接口的专用外设控制芯片,如键盘/显示器控制器,打印机控制器,盒式磁带机控制器,CRT 控制器和软磁盘控制器等芯片。表 1-1-1 列出了 Intel 公司生产的一部分专用接口芯片。另一类接口芯片是限于和某一种外部设备连接的通用 I/O 接口芯片,这就是本书将要介绍的内容。

通用接口电路按照数据传送的方式可分为并行接口和串行接口两大类。本章我们只讨论并行接口片子,串行接口片子将在下一章中介绍。

并行接口电路能够实现计算机与外部设备之间数据的并行传送,即将组成字和字符的各位同时传送。并行接口电路有不可编程的和可编程的两种类型。

表 1-1-1 Intel 公司生产的部分专用接口电路

8271	PFDC	可编程序软磁盘控制器
8272	S/DDFDC	单/双密度软磁盘控制器
8275	PCRTC	可编程序 CRT 控制器
8276	SSCRTC	小系统 CRT 控制器
8279	PK/PI	可编程序键盘/显示器接口
8295	DMPC	点阵式打印机控制器

一、不可编程的并行接口电路

(一) 8212 介绍

在这一类电路中,最典型的是 Intel 公司生产的 8212 8 位输入/输出接口芯片。这是一种使用单一 +5V 电源、24 引脚双列直插式的集成电路。它具有完全并行的可清除的 8 位数据寄存器和 3 态输出的缓冲器,有用于产生中断请求的触发器。8212 的低电平输入负载电流最大 0.25mA,输出吸收 15mA 电流,可在微型计算机系统中用作缓冲器,锁存器和多路转换器等。图 1-1-1 是 8212 内部结构的逻辑图和引脚图。

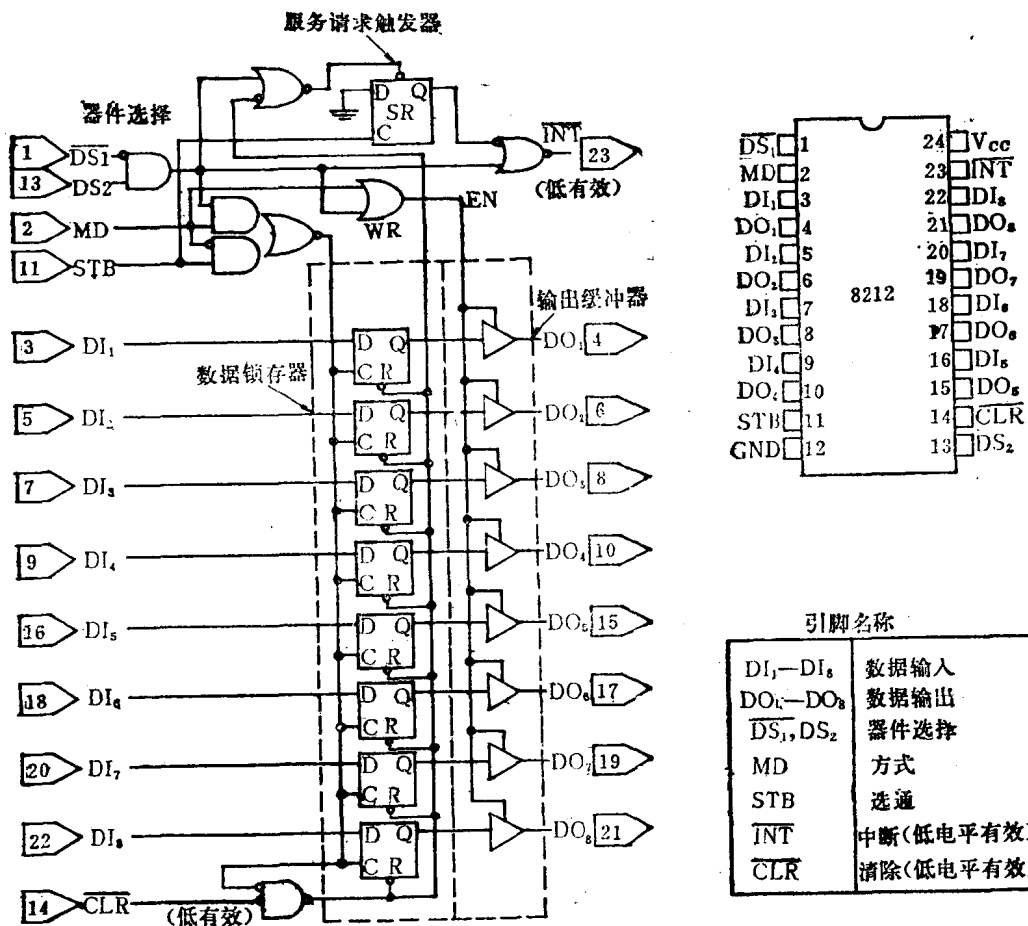


图 1-1-1 8212的内部结构和引脚

8212 是由 8 位数据锁存器，输出缓冲器以及控制逻辑组成的。

数据锁存器由8个D 锁存器组成。当 D 锁存器时钟输入端 C 为高电平时，触发器的输出 Q 随数据输入端 D 的状态变化。当时钟 C 返回低电平时，D 端输入的状态被锁存在触发器中保持不变。因此，数据锁存的关键是对触发器时钟的控制。数据锁存器可以由一个异步的复位输入 $\overline{CLR}$ 清除。 $\overline{CLR}$ 通常接到系统的复位信号上,或者连接到 +5V,即不使用它。

输出缓冲器由 8 个同相的三态门组成。由于输出缓冲器具有高阻状态，因而使 8212 可以直接与微处理器的双向数据总线相连接。当三态门的允许控制线 EN 为高时，保存在数据锁存器中的数据可以通过输出缓冲器输出；而当 EN 为低时，缓冲器呈现高阻状态。可见，数据输出的关键是对输出缓冲器允许线的控制。

控制逻辑就是用于对锁存器的时钟脉冲和缓冲器的允许信号以及中断请求触发器 SR 和中断请求信号 $\overline{INT}$ 进行控制。

$\overline{DS_1}$ 和 DS₂ 是两个器件选择输入信号。只要 $\overline{DS_1}$ 为低，DS₂ 为高 ($\overline{DS_1} \cdot DS_2$) 这片 8212 就被选中。在选中状态，输出缓冲器允许工作，三态门打开，而中断请求触发器

SR 则异步置位。

MD 是一个方式控制输入信号。我们知道当 CPU 用输出指令把数据输出给外设时, 输出的数据只在 CPU 的数据总线上出现约 $1-2\ \mu\text{s}$, 一般的外设不可能在这么短的时间内把数据输出完了, 所以, 在接口电路中, 总要有一个输出数据锁存器, 而且, 通常当数据已锁存入数据锁存器时也就出现在外部数据线上, 由它输送给外设。

当外设把数据输入给 CPU 时, 接口电路有两种方式:

① 直通方式 (没有锁存): 由外设送来的数据, 通过接口电路的缓冲, 送至 CPU 的数据总线, 在接口电路中没有锁存器。在这种方式时, 外设除了送来数据外, 不需要有选通信号。但是, 在这种方式下, 若 CPU 未及时输入数据, 外设的数据线就不能改变, 否则数据就会丢失。

② 锁存方式: 在接口电路中有一个输入锁存器, 外设除了送来数据外, 还需要送来一个选通脉冲, 把数据锁存入输入锁存器。在数据锁存后, 外设的数据线就可以改变。CPU 从接口电路的输入锁存器中输入数据。

锁存方式电路复杂些, 但更为可靠。

8212 可以用作上述的输出方式和两种输入方式的接口电路。

在输出方式时, $\overline{\text{DS1}}$ 接地, DS2 接 $+5\text{V}$, 使 8212 的输出三态门始终打开, 把锁存器的数据输给外设; MD 信号作为选片信号, 由 CPU 用输出指令来控制 (选中时, CPU 给出一个正脉冲), 则 CPU 新输出的数据由 MD 信号锁存入锁存器, 即可在三态门的输出端输出 (此时 STB 端可接地)。

在直通的输入方式时, MD 接 $+5\text{V}$, 由 $\overline{\text{DS1}}$ 或 DS2 作为选片信号 (若用 $\overline{\text{DS1}}$ 作为选片, 则 DS2 接 $+5\text{V}$; 若用 DS2 作为选片, 则 $\overline{\text{DS1}}$ 接地), 则当 CPU 用输入指令给出有效的选片信号时, 一方面把外设输入的数据送入锁存器, 另一方面打开三态门把数据送至数据总线 (此时 STB 端可接地)。

在选通方式时, MD 信号接地, $\overline{\text{DS1}}$ 或 DS2 信号作为选片信号, 当外设把数据送至数据输入线 DI_1-DI_8 的同时, 给出一个有效的选通信号 (接至 STB 端), 则把外设送来的数据锁存入锁存器。当 CPU 要输入数据时, 用有效的选片信号打开三态门, 把数据送至数据总线。

器件选择信号 ($\overline{\text{DS1}}\cdot\text{DS2}$) 和方式控制信号 MD 以及选通信号 STB 对 8212 数据输出端状态的作用如表 1-1-2 所示。

8212 内部有一个服务请求触发器 SR, 用于在微型计算机系统中产生中断请求信号。它由 $\overline{\text{CLR}}$ 输入 (低电平有效) 异步地置位。当 SR 触发器置位时, 芯片处于非中断请求的状态。SR 触发器的输出 Q 端连接到或非门的反相输入端, 或非门的另一个输入端是不反相的, 连接到器件选择逻辑 ($\overline{\text{DS1}}\cdot\text{DS2}$)。或非门的输出 $\overline{\text{INT}}$ 是低电平有效的 (中断状态), 通常连接到优先权发生电路低电平有效的输入端。表 1-1-3 是 $\overline{\text{CLR}}$, ($\overline{\text{DS1}}\cdot\text{DS2}$) 和 STB 信号对 SR 触发器和 $\overline{\text{INT}}$ 信号的影响。

每当器件被选中时, $\overline{\text{DS1}}\cdot\text{DS2}$ 有效 (为高) 总能够产生 $\overline{\text{INT}}$ 信号。由于 $\overline{\text{DS1}}$ 和 DS2 通常是由 CPU 使用的, 所以一般并不利用 $\overline{\text{DS1}}\cdot\text{DS2}$ 信号产生中断请求, 而是在 $\overline{\text{DS1}}\cdot\text{DS2}$ 无效时, 由选通信号 STB 的下降沿产生中断。即 CPU 用 8212 输出时, 不使用中

表 1-1-2 控制信号对输出的控制

STB	MD	($\overline{DS1} \cdot DS2$)	数据输出等于
0	0	0	3 态
1	0	0	3 态
0	1	0	数据锁存器
1	1	0	数据锁存器
0	0	1	数据锁存器
1	0	1	数据输入
0	1	1	数据输入
1	1	1	数据输入

CLR — 复位数据锁存器

使 SR 触发器置位

(对输出缓冲器没有影响)

表 1-1-3 控制信号对中断的控制

CLR	($\overline{DS1} \cdot DS2$)	STB	• SR	INT
0	0	0	1	1
0	1	0	1	0
1	0	1	0	0
1	1	0	1	0
1	0	0	1	1
1	1	1	1	0

• SR — 内部服务请求触发器

断, 用于无条件输出, 而用 8212 作为输入端口时, 可以由外部设备的选通信号产生中断请求, 用于中断驱动式输入。具体过程是这样的: 在 MD=0 的输入方式, 外设用 STB 信号将传送给 CPU 的数据锁存在 8212 锁存器中。在数据锁存的同时, STB 的下降沿将使 SR 触发器复位 (因为 SR 的 D 输入端始终接地), 其 Q 输出的低电平到或非门的反相输入端, 使 INT 为低变为有效, 向 CPU 发出中断请求, 通知 CPU 输入数据已经锁存等待取走。INT 始终保持低, 直到 CPU 响应中断访问这片 8212 时, 器件选择逻辑 ($\overline{DS1} \cdot DS2$) 使输出缓冲器允许, 锁存的数据经三态门读入 CPU。同时, $\overline{DS1} \cdot DS2$ 信号经一或非门使 SR 触发器置位, 输出 Q=1。当数据读走以后, $\overline{DS1} \cdot DS2=0$ 将关闭三态门, 并使 INT 恢复为高, 撤消中断请求。这整个过程概括起来就是由外设的 STB 信号发出中断请求, 而由 CPU 读数据的 $\overline{DS1} \cdot DS2$ 信号撤消中断请求, 如图 1-1-2 所示。

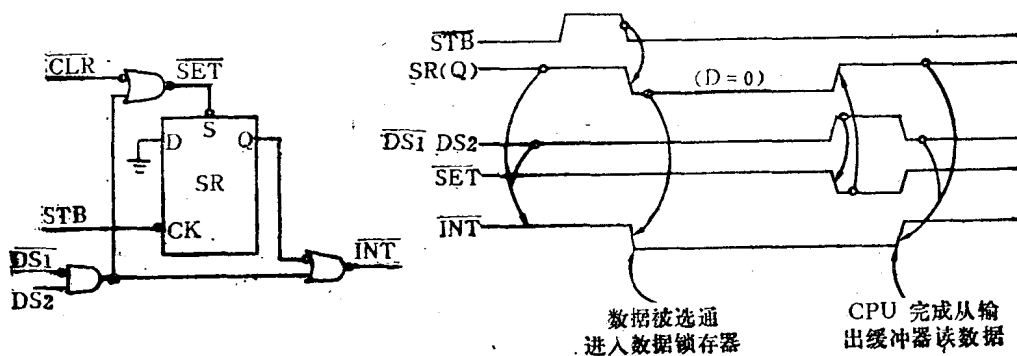


图 1-1-2 8212 由 STB 信号产生中断请求的过程

下边介绍 8212 几种典型的使用方法。

① 门控缓冲器 (3 态)

8212 最简单的使用就是用作门控缓冲器, 这实际上就是不使用中断的无条件输入或输出方式。如图 1-1-3 所示, 使方式控制信号 MD 固定为低, 选通输入 STB 为高, 则数据锁存器的作用犹如一个直通门电路。输出缓冲器由器件选择逻辑 $\overline{DS1}$ 和 DS2 控制允许。

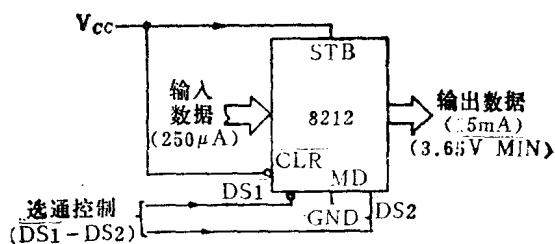


图 1-1-3 8212 用作门控缓冲器

当不满足器件选择逻辑要求时, 输出是三态。当器件被选中时, 输入数据被直接传送到输出。DS2 可以连接到一个地址译码器的输出, 以便确定该芯片的端口地址。在作为并行输出端口时, $\overline{DS1}$ 可与 I/O $\overline{W}$ 相连, 而与 I/O $\overline{R}$ 相连则可以用作并行输入端口。

② 中断输入端口

中断输入端口电路如图 1-1-4 所示。IORQ 和 $\overline{RD}$ 两信号相“与”后作为 $\overline{DS1}$ 信号, 地址译码输出的信号作为 DS2 信号, 共同作为端口选择信号。STB 由输入装置的选通 (READY) 信号供给。中断驱动的数据输入过程已在前边介绍过, 见图 1-1-2。

③ 双向总线驱动器

将一对 8212 背对背地连接可以用作一个对称驱动的双向总线驱动器如图 1-1-5 所示。

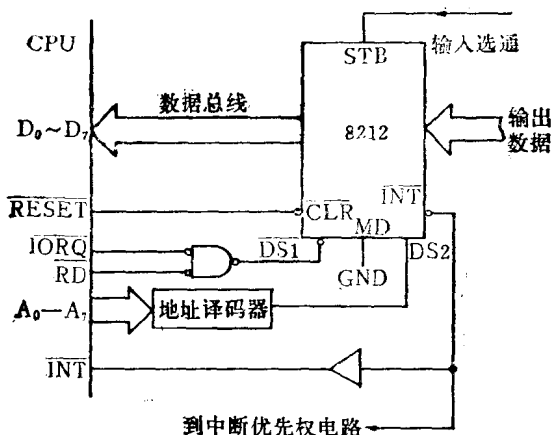


图 1-1-4 8212 用作中断输入端口

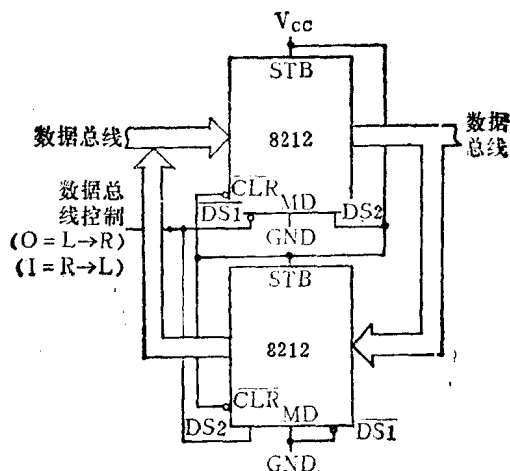


图 1-1-5 8212 用作双向总线驱动器

两个芯片的 MD 接地而 STB 接 +5V, 两片 8212 都是由数据总线控制信号控制的。这个控制信号连接到上一个芯片的 $\overline{DS1}$ 端, 同时连接到下一个芯片的 DS2 端。一个芯片被选中时, 就可以作为直通的缓冲器, 而另一个则处于三态方式。假设图 1-1-5 的左侧与 CPU 连接, 右侧与外设连接, 就可以用 I/O $\overline{W}$ 信号作为数据总线控制信号。当 I/O $\overline{W}$ =0 时, 上面芯片的 $\overline{DS1}$ 有效, CPU 输出的数据从左到右通过上一个芯片传送给外设, 下面芯片则处于三态; 当 I/O $\overline{W}$ =1 时, 下一个芯片的 DS2 有效, 从外设传送来的数据从右到左通过下面芯片输入 CPU, 上面芯片则处于三态。在小系统设计中, 这是一个很有用的电路。但是使用 2 片 8216/8226 4 位并行双向总线驱动器或 2 片 SN54/74 240/241/244 八总

④ 中断指令端口

Figure 1 shows the connection diagram of the 8212 chip. The chip is labeled '8212'. It has several pins: V_{CC} at the top, STB at the top left, CLR at the bottom left, MD at the bottom center, $DS1$ at the bottom left, $DS2$ at the bottom right, and GND at the bottom. A large arrow labeled '重新启动指令 (RST0→RST7)' points to the STB pin. A large arrow points from the chip to a vertical bar labeled 'DATA BUS'. The MD pin is connected to GND .

图 1-1-6 8212 用作中断指令端口

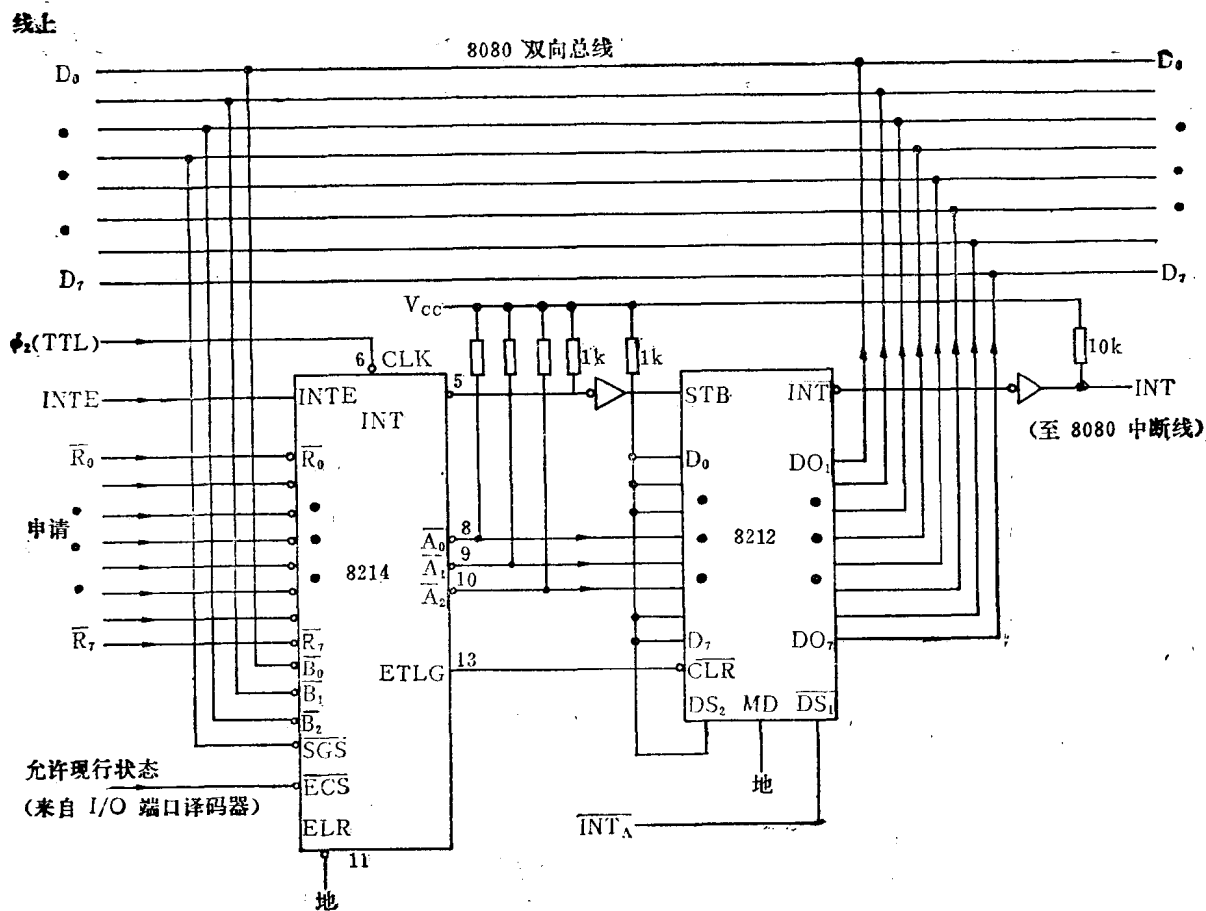


图 1-1-7 用 8212 和 8214 产生 RST 中断

⑤ 8080A 状态锁存器

8212 可以用作 8080A 微型计算机系统的状态锁存器, 如图 1-1-8 所示。8212 锁存器的输入直接来自 8080A 数据总线。时间关系表明, 当 SYNC 信号是 1 (连接到 DS2 输入) 和 $\phi 1$ 信号是 1 (来自时钟发生器, 连接到 DS1) 时, 则状态数据被锁存入 8212。注意, 方式信号 MD 连接到高电平使锁存器输出是有效的, 而且总是处于允许工作状态。

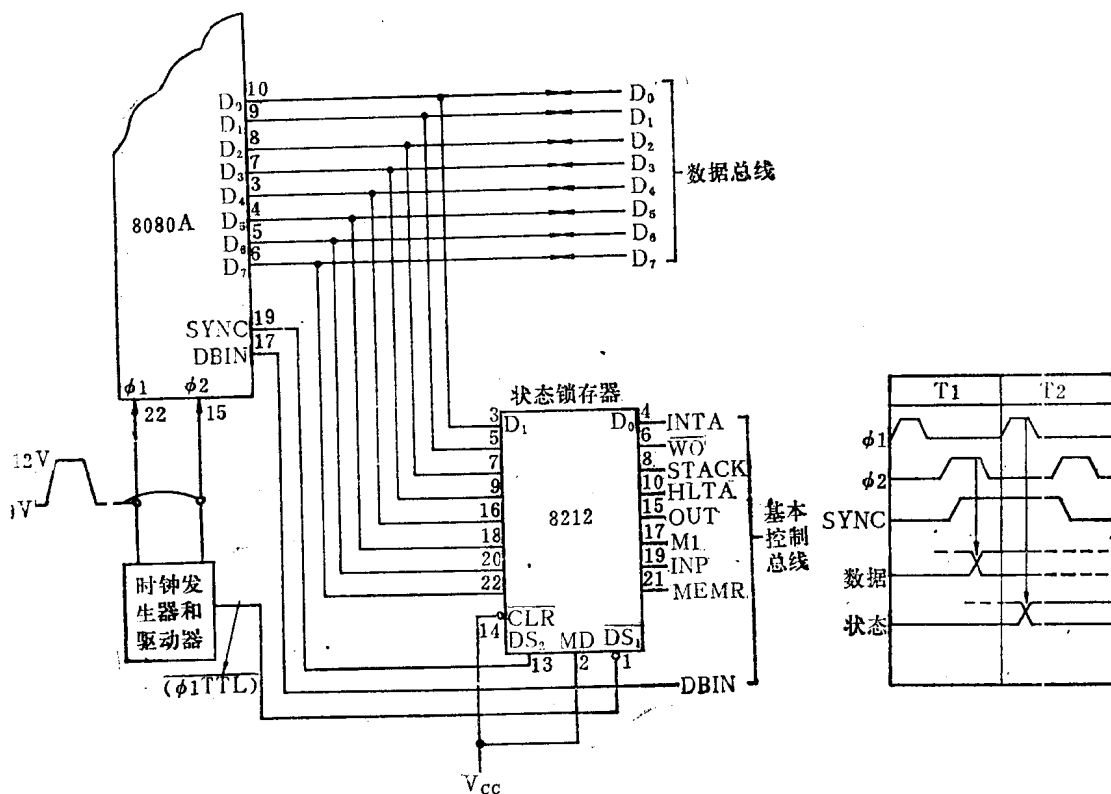


图 1-1-8 8212 用作 8080A 状态锁存器

⑥ 8085A 低 8 位地址锁存器

8085A 微处理器采用了多路转换的地址/数据总线。在每个机器周期的第一个 T 状态, 地址/数据总线上包含有地址信息的低 8 位。8085A 提供了一个地址锁存允许信号 ALE, 可用于使 8212 锁存这个地址信息, 并在整个机器周期内始终保持有效。注意, 在图 1-1-9 所示的电路中, 方式输入 MD 接为高, 以便使 8212 输出缓冲器始终保持打开。

使用 8257 DMA 控制器也需要同时用一片 8212 作为低 8 位地址锁存器。

(二) 其它不可编程的并行接口电路

德克萨斯仪器公司的 SN54/74S412 多模缓冲锁存器 (TIM 8212) 的电路结构和引脚是与 Intel 8212 完全相同的。

与 8212 类似的电路还有 54/74 系列的 SN54/74 374 八 D 型透明锁存器和边沿触发器, 图 1-1-10 是它的逻辑图。从图 1-1-10 可以看出, 除了没有芯片选择逻辑, 没有锁存

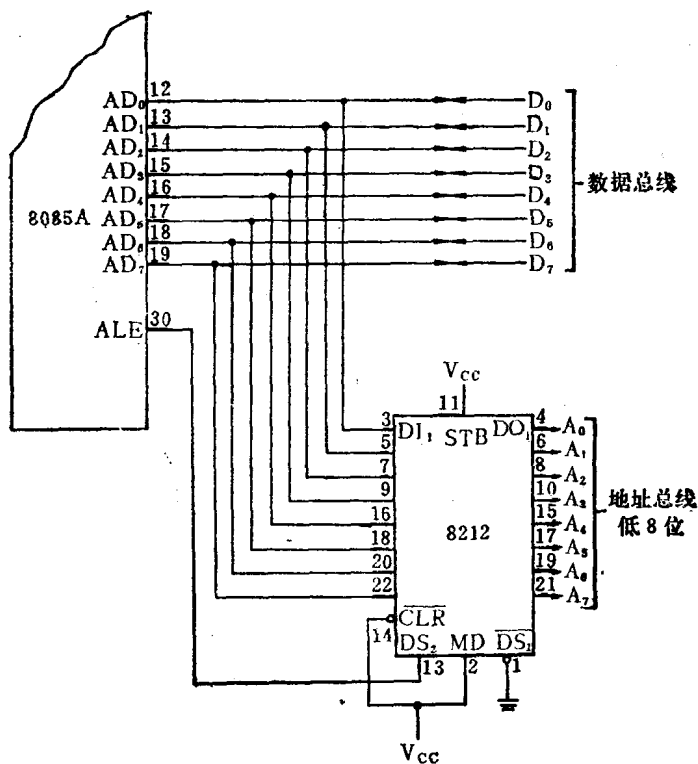


图 1-1-9 8212 用作低 8 位地址锁存器

器清除端和中断控制逻辑外，SN54/74 374 的数据锁存器和输出缓冲器结构与 8212 相似。

由此可以看出，数据锁存器和输入/输出缓冲器是构成并行 I/O 接口电路的基本部件。8212 和 74374 都具有这两部分电路。还有一些只具有上述二者之一的芯片，也可以选用作为并行 I/O 的接口芯片。例如，有不少系统都使用了不带三态缓冲器而带有清除端的八 D 触发器 SN54/74 273 作为并行输出端口，图 1-1-11 是它的逻辑电路。

表 1-1-4 和表 1-1-5 列出了部分可以选用作并行 I/O 接口电路的四、六、八位触发器和锁存器。除了两个表中的第一项是带有三态缓冲器的，一般都没有输出缓冲器。

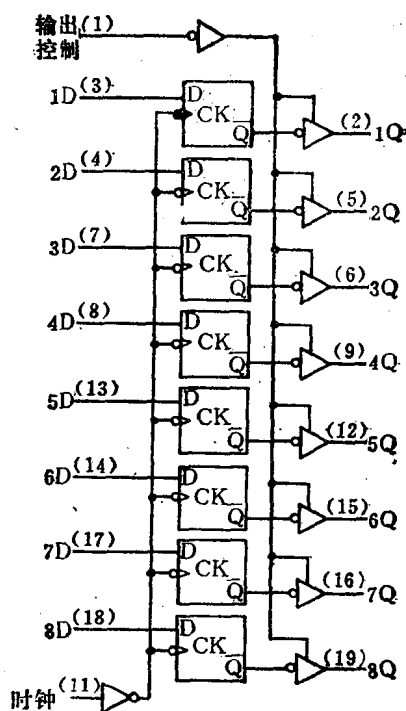


图 1-1-10 SN54/74 374 八 D 型正边沿触发器逻辑电路