

MOS 集 成 电 路

吴雪方

北京理工大学出版社

(京)新登字 149 号

内 容 提 要

本教材经中等专业学校电子类专业教材编审委员会审定,作为微电子技术与器件专业的统编教材。

全书共七章。第一章 MOS 晶体管原理与特性,系统阐述了 MOS 场效应晶体管的结构、工作原理及主要参数;第二章 MOS 倒相器和门电路,阐述 E/E MOS、E/D MOS 及 CMOS 倒相器的工作原理、特性及其组成的门电路;第三章触发器和其它逻辑部件,介绍各种 MOS 触发器、移位寄存器、加法和译码器;第四章 MOS 存贮器,主要介绍 RAM、ROM;第五章 MOS 模拟集成电路基础;第六章 MOS 集成电路设计与布图,为读者提供了 MOS 集成电路的基本设计和布图方法;第七章 MOS 工艺,介绍生产中的一些工艺技术。

全书深入浅出,注重物理现象,尽量避免不必要的数学推导,是中专微电子技术与器件专业的理想教材,也是相关的职业技术教育的选用教材,对于广大从事 MOS 电路制造及应用的科技人员,无疑是一本有益的参考书。

MOS 集 成 电 路

吴雪方

*

北京理工大学出版社出版发行

各地新华书店经售

秦皇岛市卢龙印刷厂印刷

*

787×1092 毫米 16 开本 13.125 印张 320 千字

1994 年 4 月第一版 1994 年 4 月第一次印刷

ISBN 7-81013-927-4/TN·49

印数:1-4000 册 定价:9.00 元

出版说明

根据国务院关于高等学校教材工作分工的规定,我公司承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力,有关出版社的紧密配合,从1978年至1990年,已编审、出版了三轮教材,正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材更好地适应“三个面向”的需要,贯彻国家教委《高等教育“八五”期间教材建设规划纲要》的精神,调动广大教师编写教材,依靠学校管理部门和有关出版社,“以全面提高教材质量水平为中心,保证重点教材,保持教材相对稳定,适当扩大教材品种,逐步完善教材配套”作为“八五”期间工科电子类专业教材建设工作的指导思想。我公司所属的八个高等学校教材编审委员会和四个中等专业学校专业教学指导委员会,在总结前三轮教材工作的基础上,结合教育形势的发展和教学改革的需要,制订了1991~1995年的“八五”(第四轮)教材编审出版规划。列入规划的教材,以主要专业的主干课程教材及其辅助教材为主,并配置一些教学参考书等约300余种选题。这批教材的评选推荐和编写工作由各编委或教学指导委员会直接组织进行。

这批教材的书稿,其一是通过教学实践,师生反应较好的讲义中经院校推荐,由编审委员会(小组)评选择优产生出来的;其二是在认真遴选主编人的条件下进行约编的;其三是经过质量调查在前几轮组织编写出版的教材中修编的。广大编者、各编审委员会、教学指导委员会和有关出版社力保证教材的出版和提高教材的质量,作出了不懈的努力。

限于水平和经验,这批教材的编审、出版工作还会有缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为不断提高工科电子类专业教材的质量而努力。

中国电子工业总公司教材办公室

前 言

本教材系按中国电子工业总公司的工科电子类专业教材 1991~1995 年编审出版规划,由中专电子技术类专业教学指导委员会推荐出版。责任编辑为梁孟晟。

本教材由无锡无线电工业学校吴雪方担任主编,辽宁电子计算机学校蒋正一担任主审。

本课程的参考学时数为 90 学时,全书分为七章。第一章为“MOS 晶体管原理与特性”,系统地阐述了 MOSFET 的结构、工作原理及主要参数。由于 MOSFET 几乎是 MOSIC 中的唯一元件,MOSIC 的分析与设计都是建立在 MOSFET 基础上的,所以本章是全书的基础。第二章叙述“MOS 倒相器和门电路”,比较详细地阐述了 E/E MOS、E/D MOS 及 CMOS 倒相器的工作原理和特性。倒相器是组成各种 MOSIC 的基本单元。第三章为“触发器与其它逻辑部件”,主要介绍触发器种类和构成,这是时序电路的基本单元。第四章为“MOS 存储器”,简要介绍 MOS 随机存取存储器(RAM)和 MOS 只读存储器(ROM)的原理。第五章为“MOS 模拟集成电路基础”,介绍 MOS 放大器及 CMOS 运算放大器的基本知识。第六章介绍“MOSIC 设计与布图”,为读者提供了 MOSIC 的设计和布图的基本方法。第七章介绍“MOS 工艺”。

本教材是中专“微电子技术及器件”专业的统编教材,于 1986 年初版,1988 年再版,基本满足了专业的教学需要。此次修编,删去了一些较力过时的内容(例如 PMOSIC),增加了 CMOSIC 的篇幅;增补了 MOS 模拟集成电路基础一章,使之更能反映当今 MOS 技术的发展水平。本教材在修编过程中,得到了无锡无线电工业学校毕宽社老师的协助和支持,并提供了部分资料及习题,这里表示诚挚的感谢。由于编者水平有限,书中难免还存在一些缺点和错误,敬请广大读者批评指正。

编 者

目 录

第一章 MOS 晶体管原理与特性

§ 1.1 MOS 晶体管一般介绍	(1)
一、MOS 场效应晶体管的结构及工作原理	(1)
二、MOS 晶体管的四种类型	(3)
三、MOS 场效应晶体管的特点	(4)
§ 1.2 MOS 晶体管的物理基础	(5)
一、理想 MOS 系统在外场作用下的硅表面	(5)
二、表面势及空间电荷区的电荷	(7)
三、MOS 电容	(8)
四、实际 MOS 系统的硅表面	(10)
五、MOS 器件的阈值电压	(12)
§ 1.3 MOS 晶体管的输出特性	(15)
一、MOS 晶体管输出特性的定性讨论	(15)
二、MOS 晶体管电流-电压特性方程	(17)
§ 1.4 MOS 晶体管的主要参数	(21)
一、直流参数	(21)
二、低频小信号参数	(24)
三、MOS 晶体管的最高频率	(26)
§ 1.5 MOS 晶体管的温度特性	(28)
一、导电因子随温度的变化	(28)
二、阈值电压随温度的变化	(29)
§ 1.6 MOS 晶体管图形设计举例	(30)
复习思考与习题	(31)

第二章 MOS 倒相器和门电路

§ 2.1 电阻负载 MOS 倒相器	(34)
一、工作原理	(34)
二、负载线和工作点	(35)
三、不同负载对倒相器性能的影响	(35)
§ 2.2 E/E MOS 倒相器	(36)
一、工作原理	(36)
二、静态特性分析	(38)
三、瞬态响应	(44)
四、MOS 倒相器设计举例	(51)
§ 2.3 E/D MOS 倒相器	(53)
一、工作原理	(53)
二、静态分析	(54)
三、瞬态响应	(58)

§ 2.4 CMOS 倒相器	(59)
一、CMOS 倒相器原理	(59)
二、直流传输特性和噪声容限	(60)
三、瞬态响应	(64)
四、功耗讨论	(68)
§ 2.5 动态 MOS 倒相器	(69)
一、栅电容存储效应	(70)
二、动态 MOS 基本电路	(70)
§ 2.6 MOS 门电路与传输门	(74)
一、单沟道 MOS 门电路	(74)
二、CMOS 门电路	(80)
三、MOS 传输门	(84)
复习思考与习题	(86)

第三章 触发器和其它逻辑部件

§ 3.1 MOS 触发器	(90)
一、R-S 触发器	(90)
二、J-K 触发器	(94)
三、D 触发器	(96)
§ 3.2 MOS 移位寄存器	(99)
一、静态移位寄存器	(99)
二、动态移位寄存器	(100)
§ 3.3 MOS 加法器	(103)
一、MOS 半加器	(103)
二、MOS 全加器	(103)
§ 3.4 MOS 译码器	(105)
一、三变量译码器	(105)
二、CMOS 七段显示译码器	(107)
复习思考与习题	(110)

第四章 MOS 存储器

§ 4.1 存储器的基本概念	(111)
§ 4.2 随机存取存储器(RAM)	(111)
一、静态 MOS 存储单元	(112)
二、动态 MOS 存储单元	(113)
§ 4.3 只读存储器(ROM)	(119)
一、MOS 掩膜编制程序 ROM	(120)
二、可编程只读存储器	(121)
复习思考与习题	(127)

第五章 MOS 模拟集成电路基础

§ 5.1 饱和 MOS 晶体管的小信号模型	(128)
一、饱和 MOS 晶体管的电流公式	(128)
二、饱和 MOS 晶体管的小信号等效电路	(128)
§ 5.2 有源负载单级放大器	(129)
一、增强型负载共源放大器	(129)

二、CMOS 放大器	(131)
三、源极跟随器	(132)
§ 5.3 电流源及偏置电路	(133)
一、MOS 晶体管电流源	(133)
二、改进型 MOS 电流源	(133)
三、比例电流源	(134)
四、实际偏置电路举例	(134)
§ 5.4 差分放大器	(135)
一、差分放大器的电压增益	(135)
二、源极耦合对的转移特性	(136)
§ 5.5 CMOS 运算放大器	(137)
一、基本的 CMOS 运算放大器	(137)
二、CMOS 运算放大器的输出级	(138)
三、CMOS 运算放大器典型电路分析	(140)
§ 5.6 CMOS 电压比较器和定时电路简介	(142)
一、CMOS 电压比较器	(142)
二、CMOS 定时器	(143)
复习思考与习题	(145)

第六章 MOS 集成电路设计与版图

§ 6.1 MOS 集成电路器件设计	(147)
一、设计的一般考虑	(147)
二、E/E MOS 集成电路的器件设计	(147)
三、CMOS 集成电路器件设计	(151)
§ 6.2 MOS 电路工艺设计	(153)
一、CMOS 阈值电压设计	(153)
二、工艺参数设计	(154)
§ 6.3 版图设计概要	(155)
一、E/E MOS 版图设计规则	(156)
二、CMOS 电路版图设计概要	(161)
§ 6.4 超大规模集成电路设计的基本原理简介	(166)
一、概述	(166)
二、按比例缩小设计原理	(166)
复习思考与习题	(168)

第七章 MOS 工艺

§ 7.1 MOS 常规工艺	(169)
一、PMOS 工艺	(169)
二、NMOS 工艺	(170)
三、CMOS 工艺	(172)
§ 7.2 硅栅工艺	(174)
一、主要优点	(174)
二、P 沟道硅栅工艺	(176)
三、等平面硅栅 N 沟 MOS 工艺	(177)
§ 7.3 离子注入技术在 MOS 工艺中的应用	(180)

一、离子注入法调整 MOS 器件的 V_T	(181)
二、离子注入实现栅自对准	(182)
三、离子注入法制造 CMOS 电路	(183)
§ 7.4 双层栅工艺	(184)
一、MNOS 工艺	(184)
二、MAOS 工艺	(185)
§ 7.5 E/D MOS 工艺及 VMOS 工艺	(186)
一、E/D MOS 工艺	(186)
二、VMOS 工艺	(188)
§ 7.6 MOS 与双极兼容工艺	(190)
一、PMOS 与双极兼容工艺	(190)
二、CMOS 与双极兼容工艺	(192)
§ 7.7 生产中电路参数的监测方法	(192)
复习思考与习题	(194)
附录 I 国产 CMOS 电路系列和品种	(195)
附录 II 国外 CMOS 电路主要生产公司和产品型号前缀	(198)
参考书目	(199)

第一章 MOS 晶体管原理与特性

MOS 集成电路,基本都是由一个个 MOS 晶体管组成的,因此 MOS 晶体管是 MOS 集成电路的基础。在讨论 MOS 电路之前,必须对 MOS 晶体管的原理、基本特性和各种参数有个深入的了解。

本章主要叙述 MOS 场效应晶体管的物理基础、基本特性及其主要参数。

§ 1.1 MOS 晶体管一般介绍

一、MOS 场效应晶体管的结构及工作原理

1. N 沟道 MOS 晶体管 图 1-1 表示一个 N 沟道 MOS 场效应晶体管的结构模型。它是在 P 型 Si 片上扩散两个 N^+ 区,一个为源扩散区,另一个为漏扩散区。两个 N^+ 扩散区之间称为沟道区,在沟道区上面,用热氧化生长一层薄氧化层,作为绝缘栅。然后在源扩散区、漏扩散区和绝缘栅上蒸发一层金属铝,作为引出电极,分别为源极(用 S 表示)、漏极(用 D 表示)和控制栅极(用 G 表示)。整个制作过程,都是采用硅平面工艺。

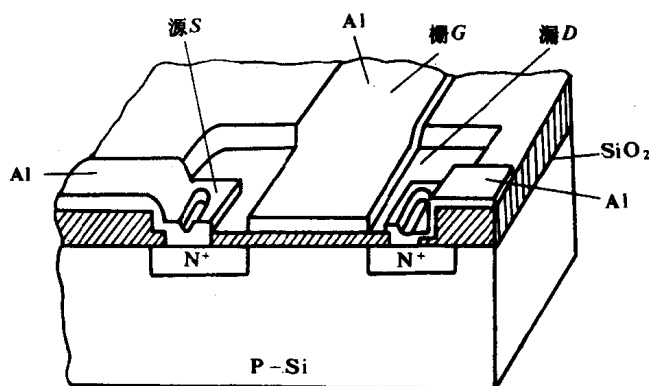


图 1-1 N 沟道 MOS 晶体管结构图

从图中可以看到,从金属栅开始向下为二氧化硅绝缘层,再下面为半导体硅,这样由金属-二氧化硅-硅三层组成了 MOS 系统。如果在金属栅上不加栅源电压,源漏之间被两个“背靠背”的二极管隔离,即使在源漏之间加了电压 V_{DS} ,也不会有电流通过,而只有极微小的 PN 结泄漏电流。但当在栅极上加了足够大的正向栅源电压 V_{GS} 以后,就会在栅极下面产生一个指向硅表面的电场。当这个栅源电压大于 MOS 管的阈值电压 V_T 时,P 型硅体内的电子在电场的作用下,被吸引到表面,形成与体内导电类型相反的 N 型薄层,称为 N 沟道,它把源、漏两个扩散区连接起来。当在源漏之间施加一个电压 V_{DS} ,电流就从漏区经过沟道流向源区,如图 1-2 所示。当栅源电压 V_{GS} 继续增高,被吸引到反型层中的电子也就增多(即导电沟道增厚,电阻减小),漏源电流就随 V_{GS} 的增大而迅速增大。相反,如果栅源电压减小,反型层中的电子跟着减少,导电沟道减薄,沟道电阻增大,流过沟道的电流就会减小。栅源电压小于阈值电压 V_T 时,

沟道消失, $I_D=0$ 。当 V_{DS} 一定时, 漏源电流 I_D 随 V_{GS} 变化的关系曲线, 由图 1-3 表示, 称为转移特性曲线。

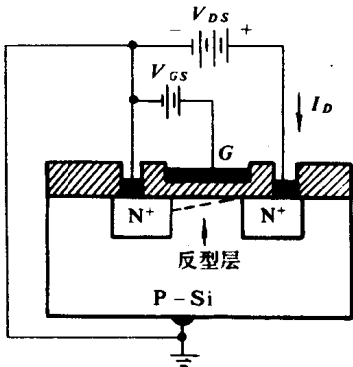


图 1-2 N 沟道 MOS 晶体管工作原理示意图

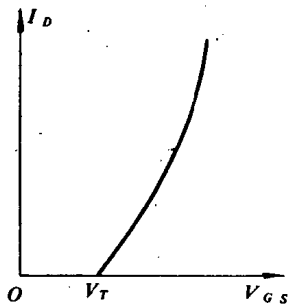


图 1-3 N 沟道增强型 MOS 晶体管转移特性

上面讲到的 MOS 晶体管, 在栅源电压 $V_{GS}=0$ 时, 栅氧化层下面的 Si 表面层不存在反型沟道, 源漏之间没有电流通过。只有当栅源电压 $V_{GS} \geq V_T$, Si 表面层才开始形成强反型层, 源漏之间才开始有电流通过。按这种方式工作的器件, 称为 N 沟道增强型 MOS 器件。

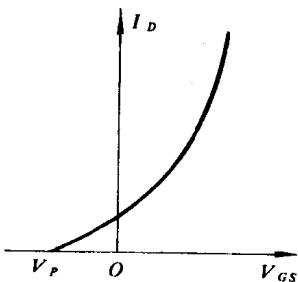


图 1-4 N 沟道耗尽型 MOS 晶体管转移特性曲线

如果当栅源电压 $V_{GS}=0$ 时, 在栅氧化层下面的 Si 表面层内已经形成原始沟道, 只要在源漏之间施加很小的电压 V_{DS} , 源漏之间就有电流通过。按这种方式工作的器件, 称为 N 沟道耗尽型器件。例如在 P 型衬底浓度较低和栅氧化层中存在较多的正电荷时, 就往往会做成 N 沟道耗尽型 MOS 晶体管。它的转移特性曲线由图 1-4 所表示。从图上看到, 当栅源电压 V_{GS} 由零向正方向增大时, 被吸引到反型层中的电子增多, 漏源电流随 V_{GS} 的升高而增大。如果在栅源电压 V_{GS} 由零向负方向增大时, 反型层中的电子被电场排斥而减少, 漏源电流跟着减少; 当栅源电压 V_{GS} 的负值达到某值时, 使反型层完全消失, 漏源电流就下降为零。我们称这时的 V_{GS} 为器件的沟道夹断电压, 用 V_P 表示。它与阈电压具有同样的涵义, 所以也用阈电压 V_T 表示。从上面分析知道, N 沟道增强型 MOS 管的阈电压 $V_T > 0$, N 沟道耗尽型 MOS 管的阈电压 $V_T < 0$ 。

既然源、漏扩散区是在同一次扩散中形成的, 从结构上看, 漏区和源区没有什么区别。那么, 源和漏是怎样决定的呢? 这主要由应用时的偏置条件来决定。我们定义 N 沟道 MOS 晶体管中电位最低的一个扩散区为源极, 电位较高的为漏极。在一般工作条件下, 源极与衬底是连接在一起的, 所以使漏极相对于衬底处于高电位, 即漏区 (N^+) 和衬底之间的 PN 结处于反向偏置。这样, MOS 晶体管在正常工作时, 漏扩散区与衬底之间是相互绝缘的。

2. P 沟道 MOS 晶体管 如果采用 N 型衬底, 并在它的上面做成两个 P^+ 型源、漏扩散区, 就可制成 P 沟道 MOS 场效应晶体管。

图 1-5 为 P 沟道增强型 MOS 晶体管的工作电压偏置示意图。其中源极接地,栅源电压 V_{GS} 和漏源电压 V_{DS} 都是负偏置电压,与上述 NMOS 晶体管的电压偏置情况正好相反。

图 1-6 为 P 沟道增强型 MOS 晶体管的转移特性曲线。当栅源电压 $|V_{GS}|$ 增大到 $|V_T|$ 时, N 型衬底表面的反型层开始形成,漏源之间开始有电流通过,当 $|V_{GS}|$ 继续增大,反型层中的空穴增多,漏源电流随之增加。相反, $|V_{GS}|$ 减小时,漏源电流也跟着减小;当 $|V_{GS}| \leq |V_T|$ 时,沟道消失, $I_D = 0$ 。采用常规工艺制造的 P 沟道 MOS 晶体管,只能制造出增强型 MOS 晶体管。

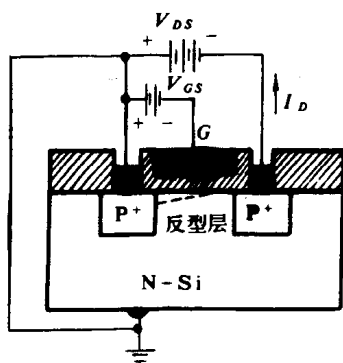


图 1-5 P 沟道 MOS 晶体管工作原理示意图

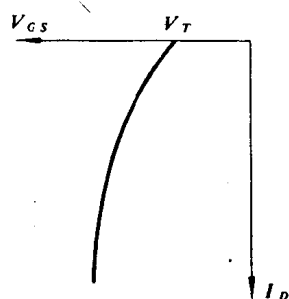


图 1-6 P 沟道增强型 MOS 晶体管转移特性曲线

当然, P 沟道 MOS 晶体管也应该能做出耗尽型的, 就是当 $V_{GS} = 0$ 时, 栅下面的 N 型硅表面层里就有原始的“沟道”存在, 只有在栅源之间加上一定的正电压, 原始沟道才会消失, 使 $I_D = 0$ 。这种管子的转移特性曲线由图 1-7 表示, 这里的 V_T 为正值。

从上面介绍知道, P 沟道增加型 MOS 管的阈电压 V_T 为负值, 而 P 沟道耗尽型 MOS 管的阈电压 V_T 为正值。

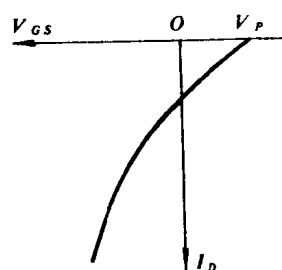


图 1-7 P 沟道耗尽型 MOS 晶体管的转移特性曲线

二、MOS 晶体管的四种类型

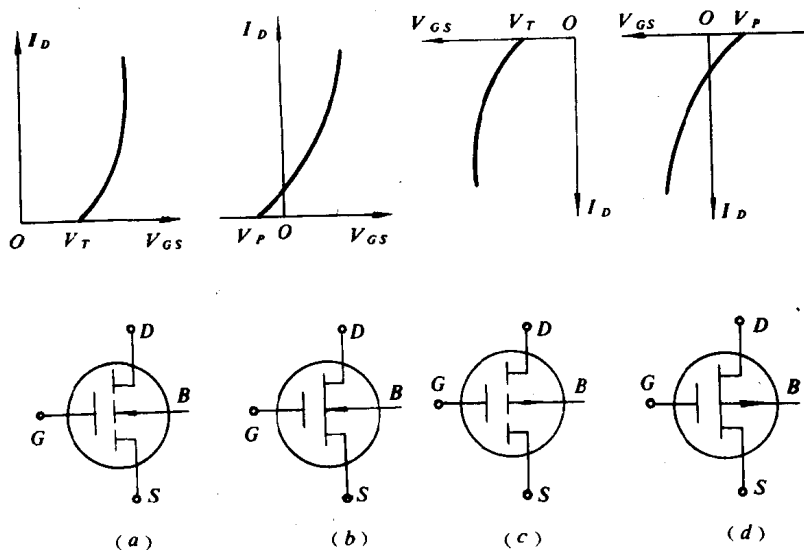
上面讲到, MOS 晶体管根据导电载流子的不同, 可分为 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管。每种沟道的 MOS 晶体管又可根据不同的工作方式, 再分为增强型和耗尽型两种。因此, MOS 晶体管共有四种类型, 现将它们的情况归纳于表 1-1 之中。

表 1-1 MOS 晶体管的四种类型

类 型	衬底材料	源漏扩散	V_{DS}	I_D	V_{GS}	V_T
P 沟道增强型	N	P ⁺	< 0	-	< 0	< 0
P 沟道耗尽型			< 0	-		> 0
N 沟道增强型	P	N ⁺	> 0	+	> 0	> 0
N 沟道耗尽型			> 0	+		< 0

为了清楚起见, 将它们的转移特性曲线及常用符号, 归纳在图 1-8 中, 以便大家比较。

符号中的源与漏之间的破折线, 表示在 $V_{GS} = 0$ 时, 漏源之间不存在导电沟道, 为增强



NMOS 增强型 NMOS 耗尽型 PMOS 增强型 PMOS 耗尽型

图 1-8 四种类型 MOS 晶体管的转移特性及符号

型器件；实线表示在 $V_{GS}=0$ 时，漏源之间已经存在导电沟道，为耗尽型器件。图中箭头方向是表示从沟道到衬底的 PN 结方向，箭头从衬底指向沟道的，表示 N 型沟道；箭头方向从沟道指向衬底的，表示 P 型沟道。

三、MOS 场效应晶体管的特点

MOS 场效应晶体管是一种表面器件，它的工作原理、导电机理和制造方法与双极型晶体管相比，有很大的不同。

1. 功耗低 MOS 晶体管是电压控制器件，而双极型晶体管是电流控制器件。导通一个双极型晶体管要给基极提供电流；而导通一个 MOS 晶体管只要在控制栅极上提供一个电压。由于栅源之间隔着阻抗高达 $10^{12}\Omega$ 以上的氧化膜绝缘层，因此具有很高的输入阻抗。对于增强型 MOS 晶体管而言，在漏源之间隔着两个“背靠背”的 PN 结，所以栅源、漏源之间并不存在着直接通路。因此，MOS 晶体管的功耗是非常低的，几乎在不消耗输入功率的情况下能够维持工作，这对 MOS 集成电路更有重要的意义。

2. 器件几何尺寸小 由于 MOS 晶体管的结构简单，因此 MOS 管的几何尺寸可以做得很小。尤其在集成电路中，相当于一只双极型晶体管所占的面积上能放进几十只 MOS 晶体管，因此可以大大提高 MOS 电路的集成度。

3. 制造工艺简单 MOS 晶体管的制造工艺步骤要比双极型晶体管简单，只要一次扩散，两次氧化，四次光刻，经过高温的次数少。所以容易控制，成品率较高。

但 MOS 晶体管也有它的不足之处，主要是开关速度较慢，工作频率较低。MOS 集成电路的工作速度要比等效的双极型集成电路慢 10 倍到 100 倍，甚至更多。但近年来，经过各方面的

改进, MOS 晶体管的开关速度已有很大的提高。

§ 1.2 MOS 晶体管的物理基础

上面简要地介绍了 MOS 晶体管的结构、类型及工作原理。为了深入了解 MOS 晶体管的特性,有必要对组成 MOS 晶体管的 MOS 系统的物理性质作进一步的分析讨论。比如,半导体 Si 和氧化物交界处的 Si 表面,是如何随着外加电场变化的, MOS 晶体管的阈值电压 V_T 与哪些因素有关等,这是本节讨论的主要内容。

一、理想 MOS 系统在外场作用下的硅表面

大家知道,实际 MOS 系统的情况是很复杂的。如金属与半导体之间存在着功函数差,会引起电子交换;在 Si-SiO₂ 界面,存在着表面态;在氧化层内,由于离子沾污(主要是钠离子),存在着可动正电荷;在 Si-SiO₂ 界面处由于 SiO₂ 中缺氧带来的固定正电荷,或在 SiO₂ 中存在着电离陷阱等等。这些复杂的因素,都会影响 Si 的表面性质,从而影响器件的性能。为了讨论方便起见,我们先撇开上述各种复杂因素,假定存在着一个理想的 MOS 系统,认为氧化层中不存在正电荷对表面的影响,也不存在半导体与金属之间的功函数差,金属与半导体之间不存在交换电子的因素。

下面以 P 型 Si 为衬底的 MOS 系统为例,来说明理想 MOS 系统的 Si 表面是如何受外电场影响的。这里规定电场的方向从 Si 表面指向体内为正方向。鉴于用能带图来说明 Si 表面的电子状态比较方便,所以我们通过表面能带在外场作用下的变化来阐明 Si 表面的空间电荷区随电场变化的情况。

1. $E=0$ (平带) 外电场为零时, Si 表面没有电场的作用, Si 表面载流子浓度与体内一样, Si 本身呈电中性,电子能量从体内到表面都一样,所以能带是平的,不存在表面空间电荷区。如图 1-9(a)所示。

2. $E<0$ (积累) 若在金属栅极相对于硅衬底加一负电压 V_G , 开始瞬间, 电场终止在欧姆结。接着, Si 内部的可动空穴将受到电场力的作用而聚集到 Si 表面, 形成积累层, 从而屏蔽外场进入体内。当达到热平衡时, 外加电压 V_G 一部分降落在 SiO₂ 层内(用 V_{ox} 表示), 另一部分降落在 Si 表面的空间积累层内(用 φ_s 表示), 即

$$V_G = V_{ox} + \varphi_s \quad (1-1)$$

由于积累在硅表面的空穴是多子, 因此空穴表面浓度很高, 但这个积累层是非常薄的。在表面积累层中, 由于 $\varphi_s < 0$, 因此 Si 表面处电子的能量要升高 $[-q\varphi_s(x)]$, 所以能带向上弯曲。如图 1-9(b)所示。这里的 $\varphi_s(x)$ 是空穴积累区的变量, 在 Si-SiO₂ 交界面 $x=0$ 处, $\varphi_s(x)$ 的数值最大, 其值为 φ_s , 称为表面势。

表面积累了空穴, 为了保持 MOS 系统的电中性条件, 要在金属栅上感应出与积累层中电荷量相等的负电荷 Q_m 。显然, 在表面空间电荷区处于积累的情况下, MOS 晶体管是不能导通的。

3. $E>0$ (耗尽) 若 V_G 略大于零, 这时电场方向由 Si 表面指向体内。Si 中的空穴在电场力的作用下, 逆电场方向运动, 最后在 Si 表面处留了一层离化的受主离子。由于这层是由离化了的受主离子构成的, 所以其电荷密度也基本上等于体掺杂的受主浓度 N_A 。我们称这种情况为

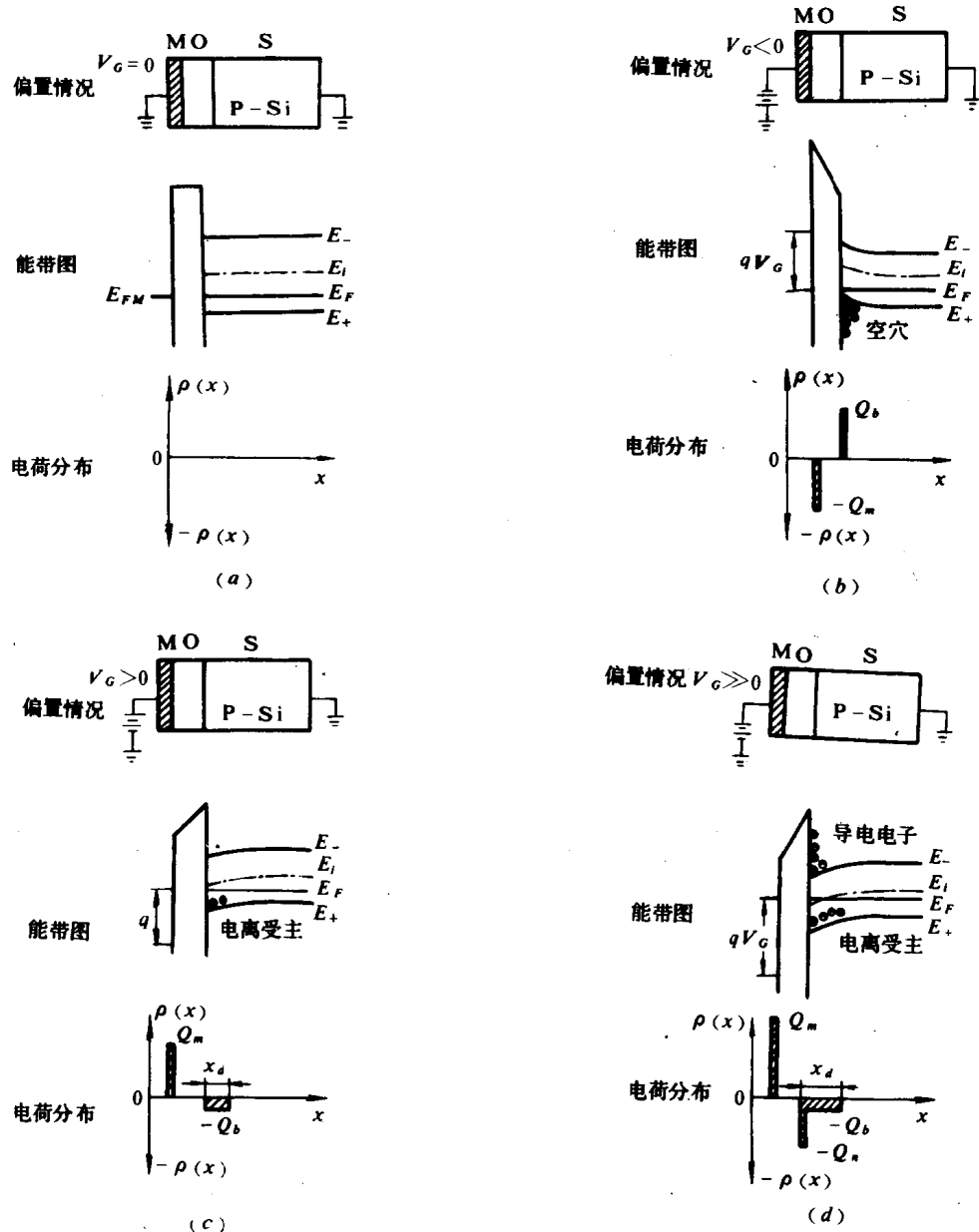


图 1-9 理想 MOS 在外电场作用下的能带变化
(a) $V_G = 0$ 平带; (b) $V_G < 0$ 积累; (c) $V_G > 0$ 耗尽; (d) $V_G \gg 0$ 反型

耗尽,其空间电荷区称为耗尽层,与 PN 结中的耗尽层相类似。由于这里的表面势 $\phi_s > 0$,因此, Si 表面处的能量要降低 $[-q\phi_s(x)]$ 。如图 1-9(c) 所示。表面能带向下弯曲,说明表面处的 $|E_F - E_i|$ 减小,空穴浓度减小。

4. $E > 0$ (反型) 若 V_G 进一步增加,即电场进一步加强, Si 表面的空穴进一步减少,耗尽层的范围扩大,与此同时, P 型 Si 中的少数——电子受到电场力的作用,向 Si 表面运动并在表面积聚。表面能带向下弯曲更甚,费米能级 E_F 与本征费米能级 E_i 发生相交,在表面处 $E_F - E_i$ 由负变正,即表面出现了与体内导电类型相反的情况,这时称表面为反型。但这时反型层中的

载流子仍然太少,空间电荷区几乎由浓度为 N_A 的不可动的受主离子组成,漏源之间仍处于高阻状态,所以 MOS 晶体管仍不能导通。

5. $E \gg 0$ (强反型) 若电场在上述基础上进一步增强,能带向下弯曲的程度更大,甚至出现了在表面 $x=0$ 处的 $E_F - E_i$ 不仅转为正值,而且在数值上与体内相等。如图 1-9(d) 所示。这时表面势

$$\varphi_s = 2\varphi_F \quad (1-2)$$

其中 φ_F 为费米势,其定义为

$$\varphi_F = -\frac{E_F - E_i}{q} \quad (1-3)$$

(1-2) 式表明,当表面势达到两倍费米势时,P 型硅表面层中的电子浓度已等于体内的空穴浓度,即表面出现了强反型。这就是强反型条件。这时反型层中的电子已有足够的数量,满足源漏导通的条件。

φ_F 的数值可以从公式

$$\varphi_{FP} = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

计算出来,也可以通过查图表求得。

可见,MOS 晶体管要达到导通,就必须满足强反型条件。以掺杂浓度为 $N_A = 10^{15}$ 个/cm³ 的衬底为例,可查得 $\varphi_F = 0.29V$,即在 $\varphi_s = 0.58V$ 时表面开始强反型。

如果半导体材料采用 N 型硅,那么与上面的讨论方法一样,可以得出在 $E > 0$ 时出现电子积累,而在 $E < 0$ 时,将可能出现电离的施主耗尽层,或进一步出现反型及强反型的空穴层。

二、表面势及空间电荷区的电荷

从上面讨论知道,表面势 φ_s 的大小,是表征空间电荷区电荷量多少的一个量。它们的数量关系在后面的讨论中是非常有用的。

1. 表面势 半导体表面空间电荷区在 Si-SiO₂ 界面处的表面势,可以通过解泊松方程来求得。一般情况下,空间电荷区内存在着电离的受主 N_A 和施主 N_D ,还有电子 n 和空穴 p 。因此,空间电荷区的电荷密度可写为

$$Q(x) = q[N_D + p(x) - N_A - n(x)] \quad (1-4)$$

但是在耗尽层近似条件下,空间电荷区的

电荷密度可化简为 $Q(x) = -qN_A$ 。因为所考虑的是 P 型半导体,空间电荷区中的 $N_D \approx 0$;在耗尽时,空间电荷区的空穴浓度 $p(x) \ll N_A$;而在 $\varphi_s < 2\varphi_F$ 时,空间电荷区中的电子浓度 $n(x) \ll N_A$ 。所以,耗尽近似下的 $Q(x) = -qN_A$ 。把它代入泊松方程,得

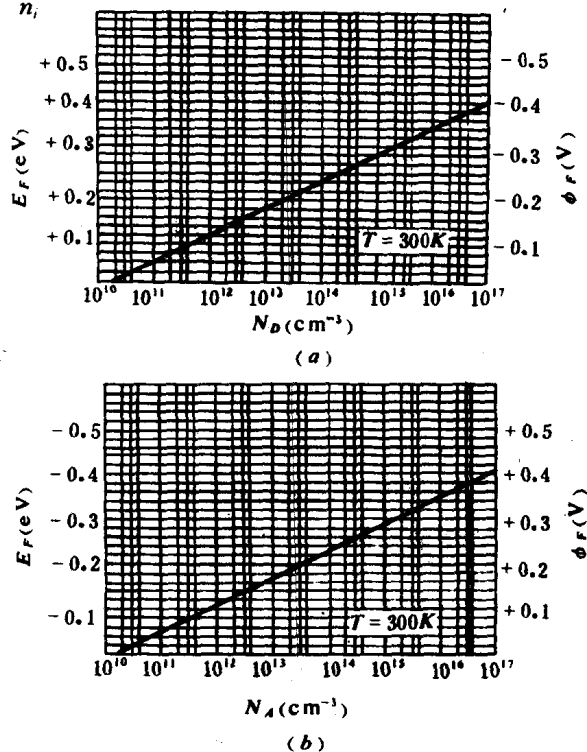


图 1-10 半导体硅费米势与掺杂浓度关系

(a) N 型硅中费米势与掺杂浓度的关系;

(b) P 型硅中费米势与掺杂浓度的关系

$$\frac{d^2\varphi}{dx^2} = \frac{qN_A}{\epsilon_s} \quad (1-5)$$

这一方程与分析 PN 结耗尽层时的泊松方程是一致的。下面求解这个方程：

首先，把(1-5)式改写成

$$-\frac{dE}{dx} = \frac{qN_A}{\epsilon_s}$$

用分离变量法，对两边积分

$$-\int_E^0 dE = \int_x^{x_d} \frac{qN_A}{\epsilon_s} dx$$

即得到电场在空间电荷区距 Si-SiO₂ 界面为 x 处的电场强度，式中 x_d 为耗尽层（空间电荷区）的宽度。

$$E(x) = \frac{qN_A(x_d - x)}{\epsilon_s} \quad (1-6)$$

再将 $E = -\frac{d\varphi}{dx}$ 代入，并用分离变量法，对两边积分

$$-\int_{\varphi(x)}^0 d\varphi = \int_x^{x_d} \frac{qN_A}{\epsilon_s} (x_d - x) dx$$

即得空间电荷区内距 Si-SiO₂ 界面 x 处的电势为

$$\varphi(x) = \frac{qN_A}{2\epsilon_s} (x_d - x)^2 \quad (1-7)$$

当 $x=0$ 时， $\varphi(0) = \varphi_s$ 。即

$$\varphi_s = \frac{qN_A x_d^2}{2\epsilon_s} \quad (1-8)$$

耗尽层宽度即为此处的空间电荷区宽度，可以写成

$$x_d = \left[\frac{2\epsilon_s \varphi_s}{qN_A} \right]^{\frac{1}{2}} \quad (1-9)$$

这个结果与单边突变结 PN 结空间电荷区的宽度类同。

如果满足强反型条件 $\varphi_s = 2\varphi_F$ ，那么空间电荷区的最大宽度为

$$x_{dm} = \left[\frac{4\epsilon_s \varphi_F}{qN_A} \right]^{\frac{1}{2}} \quad (1-10)$$

2. 空间电荷区的电荷密度 根据(1-9)式，我们可以得到空间电荷区内单位面积的电荷量为

$$Q_b = qN_A x_d = [2\epsilon_s qN_A \varphi_s]^{\frac{1}{2}}$$

如果 $N_A = 10^{16}$ 个/cm³， φ_s 分别为 0.2V 和 0.4V，则可以得到单位面积内空间电荷密度为 2.5×10^{-8} C/cm² 和 3.6×10^{-8} C/cm²。

从式 1-8 中可以看到，掺杂浓度愈高，要达到强反型的表面势就愈大，这和前面讲到的强反型条件 $\varphi_s = 2\varphi_F$ 是一致的。

三、MOS 电容

由金属-氧化物-半导体构成的 MOS 系统，可以看成是一个平行板电容器，金属和半导体看

作两块平行板,中间的 SiO_2 为绝缘介质,如图 1-11(a)所示。根据电容的定义,必须满足

$$C = \frac{dQ_m}{dV_G} \quad (1-11)$$

式中 V_G 为加在 MOS 电容上的栅电压, Q_m 为金属表面的电荷量。根据电中性条件, Q_m 在数值上应等于整个空间电荷区的电荷量 Q_b 。

现将(1-11)式取倒数,并将 $V_G = V_{ox} + \varphi_s$ 代入,即得

$$\frac{1}{C} = \frac{dV_G}{dQ_m} = \frac{dV_{ox}}{dQ_m} + \frac{d\varphi_s}{dQ_m} = \frac{1}{C_{ox}} + \frac{1}{C_s} \quad (1-12)$$

这样,就把总的 MOS 电容分解成为 SiO_2 层电容 C_{ox} 和半导体空间电荷区电容 C_s 两个电

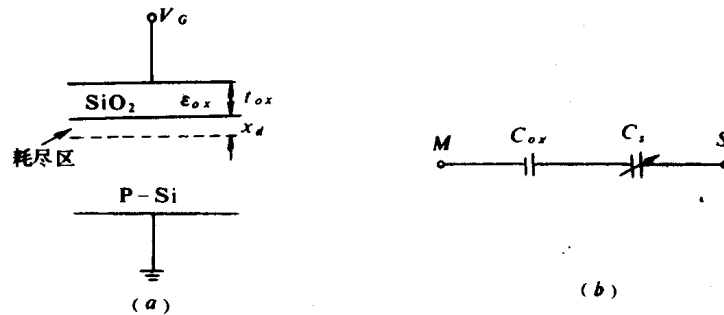


图 1-11 MOS 电容器及等效线路
(a) MOS 电容器; (b) 电容等效线路

容,如图 1-11(b)所示的串联作用。于是

$$C_{ox} = \frac{dQ_m}{dV_{ox}} \quad (1-13)$$

$$C_s = \frac{dQ_m}{d\varphi_s} \quad (1-14)$$

氧化层电容相当于一个平板电容器,它的单位面积的电容值为

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1-15)$$

式中 t_{ox} 为氧化层厚度, ϵ_{ox} 为 SiO_2 的介电常数,也称电容率,其值为 $\epsilon_i \epsilon_0 = 3.9 \times 8.85 \times 10^{-14} \text{F/cm} \approx 0.345 \times 10^{-12} \text{F/cm}$ 。可见 C_{ox} 是一个与材料及几何尺寸有关的参数。当 SiO_2 层的厚度一定, C_{ox} 也就一定,它是不随外电压变化的。

空间电荷区的电容,也可看成为一个平板电容器,但是它的间距 x_d 是可变的,其单位面积电容可表示为

$$C_s = \frac{\epsilon_s}{x_d} \quad (1-16)$$

式中 ϵ_s 为 Si 的介电常数,其值为 $\epsilon_s \epsilon_0 = 12 \times 8.85 \times 10^{-14} \text{F/cm} \approx 1 \times 10^{-12} \text{F/cm}$ 。 x_d 为空间电荷区的厚度,它是随外加电压变化的。因此, C_s 是随着 x_d 变化而变化的。若空间电荷处于积累情况,由于 x_d 很小,所以 C_s 很大,则总的 MOS 电容近似等于氧化层电容 C_{ox} 。在深耗尽情况下,即 $\varphi_s = \varphi_F$,这时 MOS 电容最小。当达到强反型时,只要表面势 φ_s 有微小的增加,就会引起表面