

韩雁 编著

专用集成电路 设计技术基础



TN402



电子科技大学出版社

专用集成电路设计技术基础

韩 雁 编著

TN402
H15

电子科技大学出版社

465443

声 明

本书无四川省版权防盗标识，不得销售；版权所有，违者必究，举报有奖。举报电话：(028)6636481 6241146 3201496

专用集成电路设计技术基础

韩 雁 编著

出 版：电子科技大学出版社（成都建设北路二段四号，邮编 610054）

责任编辑：吴艳玲

发 行：新华书店经销

印 刷：四川导向印务有限公司

开 本：787×1092 1/16 印张 12.625 字数 307千字

版 次：2000年3月第一版

印 次：2000年3月第一次

书 号：ISBN 7-81043-868-9/TP·368

印 数：1—4000册

定 价：16.80元

内容简介

本书是学习专用集成电路设计的基础教材。主要包括：集成电路设计技术发展历程，专用集成电路设计要求，数字与模拟集成电路基本单元与基本模块设计，数字电路 VHDL 设计方法，逻辑模拟与电路仿真，版图设计与可编程器件实现方法，集成电路的测试，常用 PC 机版的 EDA 设计工具软件介绍，以及 Cadence 简明操作规程。

本书在注重基础知识介绍的同时，配备了六个上机操作实验。

本书不仅适合于电子科学与技术专业大学生学习，也适合于其它工科电类学生及研究生学习，同时供对专用集成电路设计技术有兴趣的读者参考。

前 言

1999年8月20日《中共中央国务院关于加强技术创新,发展高科技,实现产业化的决定》中指出:“突出高新技术产业领域的自主创新,培育新的经济增长点。在电子信息特别是集成电路设计与制造、网络及通信、计算机及软件、数字化电子产品等方面,……加强高技术创新,形成一大批拥有自主知识产权、具有竞争优势的高新技术产业。”这里,集成电路设计与制造被放在电子信息领域高科技创新的第一位。

随着集成电路技术的发展和向各行各业的渗透,专用集成电路技术应运而生。无论是复杂庞大的通信、自动化控制系统,还是简单精致的仪器仪表、玩具电路等,无一不希望能采用专用集成电路技术加以实现,以达到产品体积小、重量轻、耗电省、可靠性高、保密性强等目的。作为网络、通信、计算机,特别是电子科学与技术类的大学生,是今后电子系统与产品设计方面的人材后备军,专用集成电路设计技术是必须了解与掌握的基础知识。因此本教材的任务是使读者系统了解这一方面的相关知识,为将来从事各种电子产品集成化的实际设计工作打下基础。

本教材共分十一章。第一、第二章首先介绍了什么是专用集成电路以及专用集成电路的设计方法、设计手段和设计要求;第三、第四章从专用集成电路正向设计的实际流程角度介绍了数字与模拟电路基本单元、基本功能块的设计;第五章讲解了用硬件描述语言 VHDL 对数字电路进行设计的方法;如何用计算机软件的方法验证所设计电路的正确性(包括数字电路和模拟电路)以及模拟软件的简单工作原理,这部分内容在第六、第七章阐述;第八、第九章分别讲解专用集成电路的版图实现方法和可编程器件的实现方法,包括简单的集成电路版图知识和初步的生产加工(流片)的工艺知识;最后,在第十章,介绍了专用集成电路的测试理论与测试技术;第十一章对现有 PC 机版本的 EDA 工具进行了介绍;附录 B 中对常用 Cadence CAE 工作站非版图部分的设计操作也作了简明的描述。

本教材在大部分章节后面,配备了相应内容的上机实践习题:第三章是熟悉电路图输入与编辑软件的练习题;第五章是 VHDL 语言描述与编译的练习;第六章学习数字电路的逻辑模拟;第七章学习模拟电路的 PSPICE 仿真;第八章进行版图设计训练;第九章熟悉 FPGA 的 ASIC 实现方法。通过本书的学习,给大家以理论与实践密切结合的体验。需要此配套软件的读者,也可与我们联系。

本教材由浙江大学信息学院信息与电子工程学系的韩雁老师编著。在本书的编写过程中,张明、来金梅、陈霁、梁剑、陈旭江、殷建斐、王援伟、韩泽耀等老师和同学给了不少的帮助,实验指导部分由霍明旭老师整理,在此一并表示衷心的感谢!

由于电子信息领域科学技术的飞速发展及作者本人的水平限制,恳请读者对书中的错误与不妥之处,提出批评指正与建议。

编者

1999年12月于浙江大学

目 录

第一章 集成电路设计方法与设计手段	1
§1-1 原始的手工设计.....	2
§1-2 计算机辅助设计.....	2
§1-3 CAE 工作站与电子设计自动化 (EDA)	4
§1-4 电子系统设计自动化 (ESDA)	5
§1-5 用户现场可编程器件.....	5
第二章 专用集成电路设计要求	7
§2-1 对设计周期及正确率的要求.....	7
§2-2 对产品性能的要求.....	7
§2-3 对开发费用的要求.....	9
第三章 数字电路基本单元和基本模块设计	11
§3-1 数字电路的基本单元设计.....	11
§3-1-1 与非门、或非门、非门	11
§3-1-2 与或非、或与非门	12
§3-1-3 三态门、传输门、异或门	13
§3-1-4 D 触发器.....	14
§3-1-5 多路选择器	15
§3-1-6 半加器、全加器	16
§3-1-7 通用输入/输出单元	17
§3-2 数字电路的基本模块设计.....	19
§3-2-1 码制转换电路的设计	19
§3-2-2 比较器电路的设计	20
§3-2-3 查表电路的设计	21
§3-2-4 乘法电路的设计	22
§3-2-5 平方电路的设计	24
上机练习题.....	26
第四章 模拟电路基本单元和基本模块设计	28
§4-1 模拟集成电路的基本单元.....	29
§4-1-1 MOS 差分放大器.....	29
§4-1-2 MOS 恒流源.....	30

§4-1-3	MOS 基准电压源	31
§4-1-4	CMOS 有源负载增益级	32
§4-2	MOS 模拟电路的基本模块设计	33
§4-2-1	CMOS 运算放大器	33
§4-2-2	集成电压比较器	35
§4-2-3	D/A 转换器	36
§4-2-4	A/D 转换器	38
§4-2-5	滤波器	40
第五章	大规模集成电路硬件描述语言 (VHDL)	44
§5-1	VHDL 程序的基本结构	45
§5-1-1	VHDL 程序的基本单元与构成	45
§5-1-2	包(Package)、库(Library)和配置(Configuration)	51
§5-1-3	设计实例	56
§5-2	VHDL 语言的基本数据类型和操作符	58
§5-2-1	VHDL 语言的对象和分类	58
§5-2-2	数据类型	60
§5-2-3	VHDL 语言的运算操作符	62
§5-3	VHDL 结构体的描述方式	63
§5-3-1	顺序描述语句(Sequential Statement)	64
§5-3-2	并发描述语句(Concurrent Statement)	67
§5-4	VHDL 应用实例——交通灯控制器	71
上机练习题	75	
第六章	ASIC 逻辑模拟软件工作原理	76
§6-1	逻辑模拟软件解剖	76
§6-2	电路图的树状分层结构与输入	77
§6-3	页内连接关系提取	78
§6-4	页间网络关系还原	79
§6-5	元器件的功能及参数描述	80
§6-6	功能参数与器件图形的结合及激励信号的描述	83
§6-7	模拟与结果显示	85
上机练习题	85	
第七章	ASIC 的电路模拟	88
§7-1	SPICE 简介	88
§7-2	PSPICE 简介	89
§7-3	PSPICE 的使用	90
§7-4	PSPICE 模拟实例	95

上机练习题.....	98
第八章 ASIC 的版图设计实现方法.....	99
§8-1 全定制设计方法(Full-custom Design Approach).....	99
§8-2 半定制设计方法(Semi-custom Design Approach).....	100
§8-2-1 门阵列.....	100
§8-2-2 门海.....	103
§8-3 定制设计方法(Custom Design Approach).....	104
§8-3-1 标准单元法(Standerd Cell Method).....	105
§8-3-2 通用单元法(Building Block Method).....	107
上机练习题.....	108
第九章 ASIC 的器件编程实现方法.....	110
§9-1 可编程只读存储器系列.....	110
§9-1-1 PROM (Programmable ROM).....	110
§9-1-2 EPROM (Erasable Programmable ROM).....	111
§9-1-3 EEPROM (Electrical Erasable Programmable ROM).....	112
§9-2 可编程逻辑器件.....	112
§9-2-1 可编程逻辑阵列 PLA.....	112
§9-2-2 可编程阵列逻辑 PAL.....	114
§9-2-3 通用阵列逻辑 GAL.....	114
§9-3 现场可编程门阵列.....	115
§9-3-1 FPGA 的结构.....	115
§9-3-2 FPGA 的优点.....	120
§9-3-3 FPGA 开发系统的操作实例.....	121
上机练习题.....	123
第十章 专用集成电路的测试.....	124
§10-1 功能测试.....	124
§10-2 故障测试.....	126
§10-2-1 故障字典.....	126
§10-2-2 测试向量集及其提取.....	127
§10-2-3 故障覆盖率.....	128
§10-2-4 电路的可测性分析.....	128
§10-3 电路的可测性设计.....	130
第十一章 PC 机版的 EDA 设计工具.....	133
§11-1 VIEWLOGIC 简介.....	133
§11-1-1 WORKVIEW 的特点.....	134

§11-1-2 WORKVIEW 的使用	135
§11-2 OrCAD 介绍与使用	141
§11-2-1 Capture —— 电原理图输入	142
§11-2-2 PSPICE A/D —— PC 级的仿真系统	144
§11-2-3 Express —— 可编程逻辑设计系统	146
§11-2-4 Layout —— PCB 布线工具	147
§11-3 Tanner Tools 介绍与使用	148
§11-3-1 Tanner Tools 组成与功能	148
§11-3-2 用 Tanner Tools 的设计实例	150
附录 A ACTIVE-VHDL 电路描述、编译、模拟及 FPGA 实现教程	157
附录 B Cadence 使用说明(非版图部分)	162
§B-1 电路图输入与编辑	162
§B-1-1 基本概念及操作	162
§B-1-2 菜单的使用	164
§B-1-3 电路编辑实例	167
§B-2 逻辑模拟	173
§B-2-1 逻辑模拟	173
§B-2-2 模拟实例	174
§B-3 Verilog 语言	175
§B-3-1 Verilog 语言简介	175
§B-3-2 门级模块描述	185
§B-3-3 功能模块描述举例	191
参考文献	193

第一章 集成电路设计方法与设计手段

自从在一个芯片上制作几个晶体管及其连接线的集成电路(IC)概念问世以来, IC技术与内涵发生了翻天覆地的变化。在短短几十年时间里, 经历了从 SSI→MSI→LSI→VLSI→ULSI 几个发展阶段。表 1-1 以 MOS 电路为例, 给出了 IC 在各个发展阶段具有的主要特征数据。

表 1-1 IC 在各个发展阶段具有的主要特征数据

发展阶段	MSI	LSI	VLSI	ULSI
主要特征				
元件数/芯片	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^8$
特征线宽(μm)	10~5	5~3	3~1	<1
速度功耗乘积(μJ)	$10^2 \sim 10$	10~1	$1 \sim 10^{-2}$	$<10^{-2}$
栅氧化层厚度(nm)	120~100	100~40	40~15	15~10
结深(μm)	2~1.2	1.2~0.5	0.5~0.2	0.2~0.1
芯片面积(mm^2)	<10	10~25	25~50	50~100
被加工硅片直径(mm)	50~75	100~125	150	>150

随着 IC 集成度的不断增加, 复杂性日益提高, 其设计方法与设计手段也发生了巨大的变革, 经历了原始的全手工设计到目前最先进的计算机全自动实现的整个发展过程。根据各个历史进程中科技进步的特点及各主要设计手段、设计工具的不同, 可以把它归为五类进行总结, 这就是原始的手工设计、计算机辅助设计(CAD)、电子设计自动化(EDA)、电子系统设计自动化(ESDA)和用户现场可编程器件。

以上这些设计方法与设计手段的演变过程, 实际上代表了 IC 设计自动化程度的发展过程。设计方法的进步与自动化水平的提高, 首先是 IC 从小规模逐渐向着超大规模发展的历史需要促成的, 也是计算机软硬件科学飞速发展, 向各个领域不断渗透的必然结果。这里一个值得一提的现象是: 大规模集成电路的设计与发展离不开现代计算机技术的进步, 而现代计算机技术的进步又反过来以大规模集成电路技术的进展作为其首要前提。因此, 集成电路计算机辅助设计(IC-CAD)有着其它领域 CAD(比如机械 CAD、纺织 CAD 等)所不具有的特殊意义。

下面就分别论述上述各类设计方法与设计手段的主要特点及其在集成电路技术发展过程中所起的作用。

§ 1-1 原始的手工设计

随着世界上第一块集成电路的问世,手工设计方法也就诞生了。没有任何自动化、半自动化的辅助设计手段,在 IC 设计的所有步骤上,完全依靠手工操作。在人脑通过纸和笔,完成了初步的功能设计、逻辑设计、直至电路设计之后,用分立的元器件搭制起硬件模拟电路,让信号通过这一模拟电路,以验证其功能及各项参数是否满足原设计的要求。在接下来的版图设计阶段,也完全采用人工进行布局布线,凭眼力或感觉,反复调整与斟酌,确定最佳排版方案,使之遵从面积最小、连线最短原则。然后,用尺和笔在方格纸上绘制版图,分层剥刻红膜,逐一检查整套版中每一层红膜的每一个窗孔,是否存在漏剥漏刻等之类的错误。然后用这套红膜去拍照制版——加工出流片所需的光刻掩膜板。

接下来是试制流片。整个流片过程中的工艺设计也是人工的、先验的。若需采取新工艺或调整一些工艺参数,则须通过工艺线上一丝不苟的实验。最后,整个 IC 芯片试制的成功与否,设计的正确与否,尤其是版图及其之后设计部分的正确性,都只有等到最终测试了流片结果后才能知晓。

依据以上的简单介绍,手工设计的缺点也是显而易见的,可以将它归纳为以下几个方面:

1. 文档管理、修改十分不便。对于小规模电路而言,也许只是增加了一些工作量而已,而随着设计规模的增大,面对几十张,甚至上百张的逻辑设计图,采用手工设计、查错,实际上已经是不可想象的事情。

2. 只有等到设计的最后阶段才能进行实测分析。通常的方法是先分元件搭样机,通过样机实测,确定所设计的功能是否可以实现,然后再转入版图设计,等到芯片流片完成后才能获得测试结果。也就是说,任何一步出了问题,只有到最后才能观测到,因而提高了设计成本。

3. 整个设计过程与工艺相关,没有互换性。对不同的流片厂家,不同的流片工艺,版图都必须加以重新设计。

手工设计方法主要应用于早期的小规模 IC,新一代的芯片设计师对它早已没有了感性认识,但它对 IC 技术的从无到有、从小到大的发展应该说还是功不可没,也是历史的必然。

§ 1-2 计算机辅助设计

正如计算机辅助设计给机械、纺织等其它行业的设计领域带来了勃勃生机一样,计算机对集成电路的辅助设计(IC-CAD)也给电子行业带来了新的生命。随着计算机软件技术的渗透,各种各样的计算机模拟软件,比如线路模拟、逻辑模拟、时序模拟、器件模拟、工艺模拟等软件先后问世,构成了早期 IC-CAD 技术的主要内涵。SPICE 是线路模拟软件最成功的代表。对于一个规模不是很大的电路,SPICE 完全取代了以往的硬件实物模拟方法,而代之以计算机简便、灵活、高效、正确的验证方法。它帮助设计者有效地确定电路

功能及参数的正确性,成为中小规模 IC 设计中使用最为广泛的有力工具之一。

对于规模较大的数字电路来说,以布尔代数为基础的高级计算机逻辑模拟软件也相继问世。早期的逻辑模拟软件以模拟(仿真)电路的逻辑功能为主,多采用零延迟、单位延迟、最大/最小延迟等简单的延迟模型,而将时序分析交给专用的时序模拟程序来完成。时序模拟程序的设计思想近似于 SPICE 的具体到每一个电路结点状态分析的设计思想,但在方法上却有两点改进:第一,时序模拟将电路方程尽量简化,采用尽可能少的变量,以牺牲精度的方法来提高速度和降低对计算机存储容量的需求;第二,它一改 SPICE 采用实时迭代求解解析方程的方法,而将大量数据事先算好并存储于计算机中,采用查表法大大加快了对整个电路的分析速度。它还吸取了逻辑模拟算法中宏模型法的优点。因此,时序模拟的速度介于电路模拟与逻辑模拟之间,精度也介于二者之间。比较著名的时序模拟软件如美国的 MOTIS(MOTIS-C)等。

除了对电路进行分析模拟的上述模拟软件之外,器件模拟软件也被广泛应用。器件模拟软件是在给定半导体器件的物理结构和掺杂分布条件下,通过软件程序直接求解器件内部的数理方程,从而得到器件有关电学特性(如伏安特性)和电学参数的计算机辅助设计方法。通过这一方法,人们可以更深入地了解影响器件性能的各种因素,从而控制器件的性能和进行优化设计。无论是参数的调整还是性能的改进,都可以在器件实际制作之前得到全面验证,推动器件的改良和新器件的诞生。SEDAN 和 PISCES 即为比较典型的早期器件模拟程序。

工艺模拟软件取代了以往人们只能用在工艺线上做实验的方法来选择和确定工艺条件的传统做法,将这项耗时耗资很大的试验工作交给了计算机去完成。工艺模拟软件能在任意时间、任意条件下,由给出的芯片内部半导体器件体内杂质浓度分布情况,计算出相应的电学参数如薄层电阻、阈值电压等等,为改善集成电路性能提供强有力的工艺研究工具。流行广泛的工艺模拟软件是 SUPREM(II&III)。

IC-CAD 除了众多的模拟软件之外,还有一个大的方向即是计算机也介入了 IC 的版图设计领域。版图设计一直是一个费时费力又十分关键的工作,一般可分为两个环节:一是总体布图(布局布线),又称排版,二是版图的具体绘制。一般早期的 IC-CAD 软件尚不具备自动的布局布线功能,也就是说还只能从事简单的第二步工作,即利用已有的商品化图形软件包来辅助设计人员进行交互式的以图形编辑为主的版图绘制工作。设计人员通过构思,大体上完成了版图的排版工作之后,就可以利用数字化仪、鼠标或光笔等,在计算机上对版图进行初步绘制和编辑。这实际上是利用计算机对图形调用、移动、旋转、缩放、修改、重复等操作的能力,快速精确地绘制出满足精度要求的版图,经过进一步的检查与调整,形成适合于制版需要的版图数据文件,以 PG (Pattern Generator) 带的形式交由工厂制作掩模板。

综上所述,针对手工设计所面临的困难,CAD 技术的出现,首先为设计人员提供了一个便利的工具环境,可以借助计算机方便地完成诸如逻辑图、版图的输入和编辑修改;其次,各种辅助软件的引入,又使得在各个设计阶段实现正确性的检查成为可能。

CAD 技术从 70 年代初期开始出现,经历了一个较长的发展阶段,相应的各种辅助功能也越来越完善。从最初的单纯辅助输入,提供简单的 ERC(电学规则检查)、DRC(设

计规则检查)支持等,进一步发展到集提供各类复杂的辅助分析、设计手段于一体的,以计算机工作站为硬件支撑的计算机辅助工程即 CAE 时期。CAE 技术到 80 年代中期趋向成熟,从而为 EDA 技术的出现奠定了基础。

§ 1-3 CAE 工作站与电子设计自动化(EDA)

EDA 是 IC-CAD 技术发展的必然产物。随着 IC-CAD 软件的不断丰富、成熟与完善,计算机硬件在速度与容量方面的巨大提高,使得计算机在 IC 各独立设计环节上的辅助设计地位逐渐被工作站统一完备的集成化设计环境所取代。配备了全套集成电路设计软件的 CAE 工作站(现在称为 EDA 工作站),不但成功地将以往各自独立的 CAD 程序串联起来,还增加了许多新的更先进的设计软件,解决了软件之间的接口界面及人机之间的交互界面等问题,为广大 VLSI 设计师提供了一个统一、完备、舒适、高效的工作平台。

这一设计环境的统一性,体现在整个 VLSI 芯片的设计从头到尾都可以在一台计算机工作站上完成。每一设计环节所需的软件或经移植、或被直接开发,汇集到这一工作站上。软件间的输入输出数据格式,经过专门的接口处理,彼此能很好地衔接起来;这一设计环境的舒适性体现在工作站与设计者之间良好的交互式合作能力上:周到的提示信息,详细的演示实例,全面的查错容错能力,简便的菜单工作方式等等;免除了设计者以往不得不做的许多繁琐复杂重复的工作。使得 VLSI 设计者均将 EDA 工作站作为自己 VLSI 设计必不可少的工具。

EDA 工作站除了上述的统一性、完备性之外,与前面介绍的 IC-CAD 方法相比,还有两个质的飞跃:一是在版图设计方面,除了能采用传统的人机交互式方法对全定制版图进行编辑、绘制之外,定制、半定制(标准单元,多元胞,门阵列)设计思想的确立也使得版图设计逐渐向着规范化、标准化的方向发展。它的重要性在于使计算机布局布线算法有章可循、有法可依,自动、半自动布局布线成为可能;二是在逻辑设计方面,逻辑综合软件的开发,取代了以往只能依靠人脑完成的从系统设计到逻辑设计之间的工作,系统设计者只要用硬件描述语言(比如 VHDL)给出系统行为级的功能描述,即可获得由计算机逻辑综合软件处理、优化了的逻辑设计结果(逻辑电路图或网表)。逻辑综合与版图综合这两大方面自动化设计软件的研制成功,意味着在 VLSI 设计领域,计算机已真正从设计的辅助地位转向了设计的主导地位,IC 世界从此真正步入了电子设计自动化(EDA)的新时代。

EDA 软件之所以能够代替人脑完成自动综合功能,关键是各类库文件的建立。库文件中,包含了自动综合所需的各类电学参数或几何参数,而这些参数的值则反映了特定生产工艺的技术规范。因而不同的流片厂家、不同的工艺线,需提供不同的库文件。对于同一个产品的设计,如果需要去不同的工艺线流片,只需将综合时用到的库文件进行相应的替换即可,从而实现了设计与工艺无关的要求。

前身为 CAE 技术的 EDA 技术自 80 年代中期开始出现,在 90 年代初得到迅速发展,并继续在不断完善之中。目前,国际上最著名的四大 EDA 供应商是: Cadence, Synopsys, Mentor Graphics 和 Avant。

§ 1-4 电子系统设计自动化 (ESDA)

随着半导体工艺技术的不断进步, 芯片的设计规模越来越大, 表 1-2 反映了这种发展趋势。

表 1-2 半导体制造技术的最新进展 (*表示能够实现的设计规模)

年代	1997	1998	1999
最小尺寸 (μm)	0.35	0.25	0.18
设计规模 (gate) (门)	200~500k	1~2M	4~6M (*100M)

从表 1-2 可以看到, 进入 0.18 微米后, 已经可以在一个芯片上实现 1 亿个门的设计规模。这样的规模完全可以将一个完整的电子系统在一个芯片上得以设计实现, 即所谓的单芯片系统 (SOC: System On a Chip)。对于这样一个规模巨大, 功能复杂的电子系统, 如果仍用人工手段进行功能分析与设计, 直至完成 HDL 描述后再移交给 EDA 工具完成芯片设计, 同样是相当困难的。正是这种需求, 推动着设计技术向电子系统设计自动化 (ESDA) 的方向发展。

ESDA 的目标就是为设计人员提供进行系统级设计的分析手段, 进而完成系统级自动化设计。需解决的关键问题包括, 一是建立系统级仿真库, 二是实现不同仿真工具的协同模拟。借助于 ESDA 工具完成功能分析后, 再利用行为级综合工具将其自动转化成可综合的 RTL (寄存器传送级) HDL 描述, 最后交由 EDA 工具完成最后的芯片设计。

ESDA 技术目前正处于开发阶段, 典型的设计工具有 Synopsys 的 Cossap 以及 Cadence 的 SPW。这一手段尚未成熟, 原因在于缺少可综合的系统级库资源, 而通过行为级综合工具产生的 RTL 级描述尚未实用化。考虑到电子系统设计的复杂性, 即使是最天才的设计人员要完成各种针对特定专业应用领域的设计也是十分困难的。面对这样的实际困难, 可重用设计技术 (Design-Reuse) 应运而生。各专业的功能模块可由相应专业的设计人员设计成一个符合某种技术标准的, 可综合、可参数化的 IP (知识产权) 模块, 这样的 IP 模块可以嵌入式地应用于各类电子系统的芯片设计中。事实上, 可重用设计技术的发展, 将为 ESDA 工具提供丰富的系统级可综合库资源, 从而促进 ESDA 技术的成熟和提高, 使得 IC 设计真正进入电子系统设计自动化时代。

§ 1-5 用户现场可编程器件

随着时代的发展, VLSI 产品的开发重点已逐渐由通用的 IC 产品向着专用 IC 产品转化。对批量不大、用途众多, 性能各异的 ASIC 的需求, 又在两个方面向 VLSI 设计领域提出更进一步的要求。第一, 重申版图设计必须要有一种规则化、规范化的形式, 以使计算机对各种电路都能方便地实现全自动设计。这种规范化由于门阵列具有的半定制特点而逐渐向

门阵列母片形式归一。

第二,用户可自己编程的通用半导体器件日益为广大系统设计人员所青睐,从需要半导体厂家协助实现的版图可编程器件 ROM、PLA 等(仅对引线孔一块掩膜版进行编程即可实现不同功能),到用户可自己直接编程但规模较小的 EPROM、PAL、GAL 器件,芯片功能逐渐完善、复杂度日益增强、芯片内容量也几十、上百倍地增加。90 年代初,集前人技术于一身的 ASIC 计算机全自动开发系统——现场可编程门阵列(FPGA)问世了。研制人员无需半导体厂家的生产合作,甚至也无需任何与半导体芯片加工有关的技术与设备,自己在一台计算机开发系统的帮助下,即可实现实地编程(现场编程),在商品化的特制芯片(母片)上,开发出具有各种功能、各种用途的 ASIC 样片。且其成本之低、周期之短,已堪称进入非常理想的境界了。

目前 FPGA 方法已大量应用于某些样片或样机中专用芯片的研制过程,这些电路规模不是十分巨大(数万门数量级以内),批量小,设计周期要求短,从时间与经费角度都不适于制版流片。当用这种方法最终研制成功,需要进一步大批量生产电路时,FPGA 还有自动转换成门阵列版图数据的能力。

如果说从手工设计到 EDA/ESDA 技术的出现,反映了 IC 设计技术的发展过程,FPGA 技术并不构成一个独立的发展过程,事实上,各类 EDA 工具中一般都提供了与 FPGA 开发系统的接口,FPGA 为 ASIC 设计提供了一种可能的实现方式。由于 EDA 中的前端设计与工艺无关,因而依据实际需要,如果调用 FPGA 库进行综合,则可完成 FPGA 设计,而如果调用的是其它工艺库,则可以获得相应的产品实现。

通过前面 5 小节内容的介绍,我们知道计算机技术在集成电路设计领域中所起的作用是越来越重要了。从下面对计算机在集成电路设计各个环节中所起具体作用的总结归纳情况也可看出,集成电路的自动化设计水平是越来越高了(方框中为计算机所做的工作):

1. 原始的手工设计

功能设计 → 逻辑设计(电路设计) → 硬件实物模拟 → 版图设计 → 版图绘制 → 制版 → 流片 → 成品

2. IC-CAD

系统设计 → 逻辑设计 → 逻辑、时序、电路模拟 → 版图设计 → 版图编辑 →

反向提取、规则检查 → 制版 → 流片 → 成品

3. EDA

系统设计 → 功能模拟 → 逻辑综合 → 时序模拟 → 版图综合 → 后模拟 → 制版 → 流片 → 成品

4. ESDA

系统设计 → 行为级综合 → 功能模拟 → 逻辑综合 → 时序模拟 → 版图综合

→ 后模拟 → 制版 → 流片 → 成品

5. 用户现场可编程器件

系统设计 → 现场开发系统 → 成品

第二章 专用集成电路设计要求

大规模集成电路技术的发展与成熟,促使它向着科学技术其它领域进行渗透。与 CPU、ROM、RAM、A/D、D/A 变换器等通用集成电路概念相对应,专用集成电路(ASIC)技术应运而生。专用集成电路技术的应用,使得电子产品的速度提高、成本降低、体积缩小、保密性增强等等。若干年的实践,ASIC 的优点人尽皆知。这反过来更进一步推动了 ASIC 技术向更广泛的领域发展,形成了良性循环。ASIC 的前景不可限量。

针对 ASIC 的特点,ASIC 设计人员面临着新的挑战,这主要体现在对专用电路更为苛刻的设计要求上,具体可归纳为对设计周期及设计正确率的要求,对产品性能的要求,对开发费用的要求。

§ 2-1 对设计周期及正确率的要求

首先从市场竞争角度看,谁把握了时机,谁就把握了主动。一个好的想法,由于具体实现上的耽搁,就可能变得一文不值,痛失良机,最终被历史淘汰。

其次,现代社会飞速发展,需求瞬息万变,一个电路如果设计周期过长,那么在它出台时,对它本身功能、性能方面的要求可能已经改变,产品在走上社会之前就已过时,这对设计者及其所付出的劳动都是无情的否定。

专用电路由于一般批量较小,相比之下,研制时的投片代价就相当昂贵,在设计成本中占很大比例。这就要求芯片的首次设计正确率一定要高。在设计的每一阶段都要反复验证与检查,比如前模拟、后模拟及各种细致的规则检查等,以确保较高的一次投片成功率。

§ 2-2 对产品性能的要求

不同产品有不同的性能指标与设计参数,但速度与功能的乘积(速度功耗积)也是衡量大规模、超大规模集成电路产品设计水平的重要标志。应该说在 ASIC 设计进行的每一步,都有对产品速度、功耗进行抉择和控制的能力。比如在系统设计一级,算法的确定非常重要,并行算法速度快但功耗大;串行算法则反之。在逻辑设计这一级,是否采用诸如超前进位链之类的附加电路,对芯片速度的影响也非常明显。至于电路设计及其以后的版图设计、工艺设计方面,影响因素就更多更复杂。

下面对这一问题稍加展开,给出具体分析。

从半导体与集成电路原理可知,微电子产品的性能与所采用的器件结构及电路形式密

切相关。从器件结构角度来说,采用双极型器件速度快,但功耗大;采用 MOS 型器件功耗低,但速度相对也低。从电路形式来看,即使同是双极型器件或 MOS 型器件,电路形式不同,结果也很不相同。比如同是双极工艺的 TTL 电路与 ECL 电路,由于前者器件工作进入深饱和区而后者只达临界饱和点,故后者的速度要明显快于前者。对于 MOS 电路,也有有比电路与无比电路的电路形式之分。有比电路是靠两个导通管的宽长比不同从而呈现的电阻不同来决定输出电压的,输出电平是两个管子分压的结果。如图 2-1 所示。NMOS 与 PMOS 电路即属于这一类。

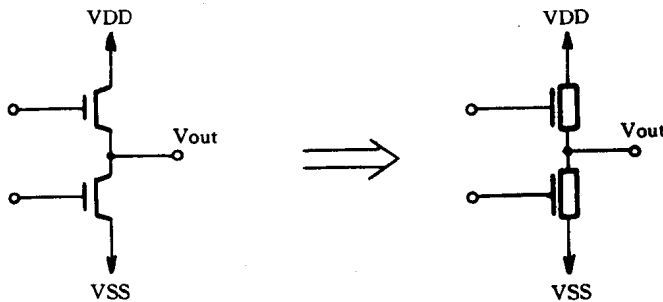


图 2-1 有比电路输出电压示意图

无比电路是靠截止管提供无穷大电阻,而导通管提供一低值电阻来决定高低输出电平的。由于一只管子导通时必有另一只管子的截止,故这种电路形式的功耗是非常低的(静态功耗近似为零)。显然 CMOS 电路即工作于这种方式。

表 2-1 归纳了这些特性。

表 2-1 器件结构与电路形式对电路性能的影响

	器件结构	电路形式	特点
电路性能	双极 (速度快)	TTL 电路	速度较快(深饱和)
		ECL 电路	速度更快(临界饱和)
	MOS (功耗低)	有比电路	功耗较低(有静态功耗)
		无比电路	功耗更低(无静态功耗)

还可以定量分析影响速度与功耗的因素,比如影响 MOS 电路速度与功耗的实际因素可分别从下面两式得出:

$$T_{pd} = T_{pdo} + \frac{V_l(C_w + C_g)}{I_p}$$