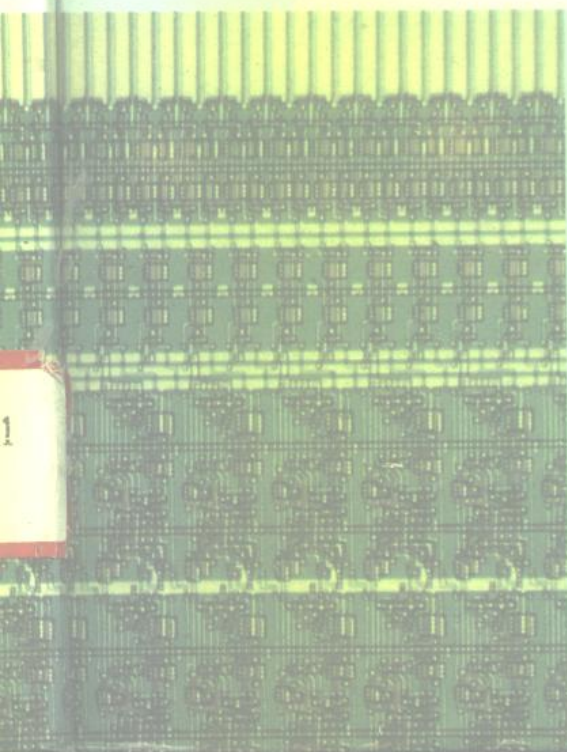


模拟集成电路学

MUO NI JI CHENG DIAN ZI XUE

秦世才 贾香鸾 编著

天津科学技术出版社



7-84-11

1812

模拟集成电路学

秦世才 贾香鸾 编著

天津科学技术出版社

津新登字(90)003号

责任编辑:宋淑萍

模拟集成电子学

秦世才 贾香鸢 编著

*

天津科学技术出版社出版

天津市张自忠路189号 邮编300020

天津市武清县永兴印刷厂印刷

新华书店天津发行所发行

*

开本787×1092毫米1/16 印张30 字数732 000

1996年1月第1版

1996年1月第1次印刷

印数:1-1500

ISBN 7-5308-1810-1
TN·25 定价:47.70元

前 言

1958年,第一块集成电路诞生在美国。在这短短三十多年的时间里,集成电路在全世界范围内得到了飞速的发展。集成电路工业带动了计算机产业及其它高、精、尖技术的发展,引起了一场意义深远的技术革命。最近,美国、日本、德国等发达国家都在不惜重金,营建以微电子、计算机及通信等技术为基础的“信息高速公路”,集成电路在这项计划中起着举足轻重的作用。集成电路在我国也已走进千家万户,各种各样的通用和专用集成电路已被广泛用于各个领域,推动着科学技术与国民经济向前发展。

集成电路分为模拟集成电路和数字集成电路两种。模拟电路处理的是人们广泛遇到的模拟信号,它在整个电子学中占有极其重要的地位。而在大规模集成电路系统中,模拟集成电路更是必不可少的基本单元。模拟集成电路功能繁多、设计灵活、应用面广,构成了微电子学的半壁江山,而模拟集成电路的一些新思想、新电路和新的设计方法有力地促进和带动了电子学的发展。

作者在南开大学微电子学专业从事模拟集成电路的教学与研究工作多年。本书是在作者给本科生讲授“模拟集成电路基础”、“集成电路工艺原理”和给研究生讲授“模拟集成电子学”的讲稿的基础上,进行修改与补充而写成的。

全书共分十五章。第一章讲述集成电路工艺,简要介绍双极工艺和CMOS工艺,并给出典型的工艺参数。第二章讲述集成电路中的无源元件和有源元件。第三至第六章是模拟集成电子学的基础知识,如器件模型、线性电路的频率特性、负反馈、负反馈放大器的自激与补偿等。第七至第十三章分专题介绍一些重要的模拟集成电路,如电流源和电流镜、双极型运算放大器、MOS运算放大器、OTA(运算跨导放大器)、模拟乘法器、有源滤波器和电压基准源等,重点阐述其工作原理及设计方法。第十四章讨论集成电路的噪声。第十五章,即最后一章,介绍模拟集成电路的计算机辅助设计,包括工艺模拟、电路模拟和版图设计。

在本书的完成过程中,我们得到了南开大学微电子学专业同事们

的大力支持,并得到美国依阿华大学电子工程与计算机工程系系主任 R. L. Geiger 教授和德克萨斯州 A&M 大学电子工程系 E. Sánchez-Sinencio 教授的关心和帮助,此外还得到不少在校研究生的配合与支持,特别是王永平修改和补充了第十五章的部分内容,王永平、黄伟参加了计算机绘制插图的工作,白耿对书中某些例题进行了计算机模拟和验证,在此谨向他们表示衷心的感谢。

由于时间仓促及编者水平所限,书中错误及不当之处肯定不少,恳请读者批评指正。

编 者

1994 年 10 月于南开大学

目 录

第一章 集成电路工艺	(1)
§ 1·1 集成电路的主要工艺步骤	(1)
一、衬底制备	(1)
二、淀积	(1)
三、扩散	(2)
四、离子注入	(3)
五、氧化	(3)
六、互联线工艺	(4)
七、光刻	(4)
§ 1·2 $3\mu\text{m}$ CMOS 工艺	(6)
§ 1·3 双极工艺	(12)
第二章 集成电路中的元器件	(19)
§ 2·1 集成电容器	(19)
一、 pn 结电容	(19)
1. BC 结电容	(21)
2. EB 结电容	(22)
二、MOS 电容	(23)
三、集成电容器的版图设计	(25)
§ 2·2 集成电路中的电阻和电感	(28)
一、无源电阻	(28)
1. 基区扩散电阻	(28)
2. 发射区扩散电阻	(29)
3. 压窄电阻	(29)
二、有源电阻	(31)
三、有源电感	(34)
§ 2·3 双极晶体管	(38)
一、双极晶体管的工作原理	(38)
二、集成电路中的 $n\text{pn}$ 晶体管	(40)
三、集成电路中的 $p\text{np}$ 晶体管	(41)
§ 2·4 集成 MOSFET	(43)
一、工作原理	(43)
二、MOS 集成电路的保护及 CMOS 的闩锁	(46)
1. MOS 集成电路的保护	(46)
2. CMOS 集成电路的闩锁(latch-up)	(48)
第三章 器件模型	(50)
§ 3·1 二极管模型	(51)

§ 3·2 双极晶体管模型	(52)
一、大信号直流模型	(52)
二、高频模型	(59)
1. 高频大信号模型	(59)
2. 交流小信号模型	(61)
§ 3·3 MOSFET 模型	(61)
一、直流大信号模型	(64)
二、交流模型	(69)
三、交流小信号模型	(70)
第四章 频率特性	(75)
§ 4·1 线性系统的传输函数	(75)
一、传输函数和复频域分析法	(75)
二、零极点图	(79)
三、Bode 图	(81)
1. 单实极点系统	(83)
2. 单实零点系统	(85)
3. 零值极点相零值零点	(86)
四、Nyquist 图	(88)
§ 4·2 一阶和二阶系统的典型情况分析	(89)
一、一阶系统	(89)
二、二阶系统	(92)
§ 4·3 实例分析	(102)
第五章 负反馈	(105)
§ 5·1 反馈的基本概念及其分类	(105)
§ 5·2 理想反馈组态	(105)
一、电压串联负反馈	(106)
二、电压并联负反馈	(107)
三、电流串联负反馈	(107)
四、电流并联负反馈	(108)
§ 5·3 负反馈对电路性能的影响	(109)
一、对增益稳定性的改善	(109)
二、对输入电阻的影响	(109)
三、对输出电阻的影响	(110)
四、对失真的影响	(112)
五、对信噪比的影响	(113)
六、对频带宽度的影响	(114)
§ 5·4 实际反馈组态及框图分析法	(115)
一、电压并联负反馈	(115)
二、电流串联负反馈	(119)
三、电压串联负反馈	(122)
四、电流并联负反馈	(127)
§ 5·5 深度负反馈放大器的近似计算	(131)

第六章 负反馈放大器的自激与补偿	(136)
§ 6·1 负反馈放大器的频率特性	(136)
一、单极点放大器	(136)
二、多极点放大器	(137)
§ 6·2 负反馈放大器的自激和 Nyquist 判据	(141)
一、单极点的负反馈放大器	(145)
二、二极点负反馈放大器	(146)
三、三极点负反馈放大器	(146)
§ 6·3 负反馈放大器稳定性的度量	(149)
一、相位裕度	(149)
二、增益裕度	(149)
§ 6·4 根轨迹	(151)
一、什么是根轨迹	(151)
二、根轨迹的绘图规则	(153)
三、反馈放大器的实例分析	(158)
§ 6·5 负反馈放大器的频率补偿	(160)
一、主极点移动法	(160)
二、极点分离法	(162)
第七章 电流源和电流镜	(165)
§ 7·1 电流源	(165)
§ 7·2 电流镜	(168)
一、简单电流镜	(168)
二、Widlar 电流镜	(172)
三、级联电流镜	(175)
四、Wilson 电流镜	(177)
§ 7·3 对电源电压不灵敏的偏置电流	(179)
第八章 双极型运算放大器	(187)
§ 8·1 概述	(187)
§ 8·2 单管与两管放大级	(192)
一、单管放大级	(192)
二、有源负载放大级	(195)
三、共射-共基结构	(198)
四、射极跟随器	(201)
§ 8·3 差动放大级	(209)
一、射耦对的大信号传输特性	(210)
二、低频小信号特性	(211)
1. 差模特性	(211)
2. 共模特性	(213)
三、差动放大级的频率特性	(215)
1. 差模增益的频率特性	(215)
2. 共模增益的频率特性	(216)

§ 8·4 输出级	(217)
一、甲类输出级	(217)
二、乙类推挽输出级	(218)
§ 8·5 741 型集成运算放大器分析	(220)
一、工作原理	(220)
二、直流偏置电路	(222)
三、交流特性分析	(224)
四、741 的频率特性	(227)
第九章 MOS 运算放大器	(232)
§ 9·1 MOS 放大级	(232)
§ 9·2 输出级	(243)
一、源极跟随器	(243)
二、甲乙类推挽输出级	(248)
三、乙类和甲乙类共源放大级	(248)
§ 9·3 MOS 差动放大级	(250)
§ 9·4 CMOS 运算放大器	(257)
第十章 运算跨导放大器(OTA)	(267)
§ 10·1 OTA 的基本知识	(267)
§ 10·2 双极型 OTA	(271)
一、LM3080 的大信号传输特性	(271)
二、线性输入范围的扩大	(272)
§ 10·3 CMOS OTA	(274)
一、非对称 MOS 差动输入级	(275)
二、非线性补偿源耦对	(281)
三、线性化压控源耦对	(282)
第十一章 模拟乘法器	(285)
§ 11·1 概述	(285)
§ 11·2 双极型变跨导集成乘法器	(286)
一、变跨导乘法器的原理	(286)
二、Gilbert 单元	(287)
三、线性输入范围的扩大	(289)
四、平衡调制器和相位检测器	(291)
1. 平衡调制器	(291)
2. 相位检测器	(294)
§ 11·3 MOS 模拟乘法器	(296)
一、采用有源衰减器的 MOS 乘法器	(296)
二、级联乘法器	(300)
§ 11·4 其它结构的集成乘法器	(303)
一、由 OTA 组成的乘法器	(303)
二、由 A/D、D/A 变换器组成的乘法器	(305)
§ 11·5 乘法器的应用	(305)

一、平方运算	(305)
二、除法器	(305)
三、平方根器	(306)
四、立方根电路	(306)
五、均方根电路	(307)
六、平方差电路	(307)
第十二章 有源滤波器	(309)
§ 12·1 概述	(309)
一、滤波器的类型	(310)
二、滤波器的传输函数	(311)
三、频率变换	(316)
1. 由低通至高通的变换	(316)
2. 由低通至带通的变换	(317)
3. 由低通至带阻的变换	(319)
四、元件变换和阻抗变换	(322)
§ 12·2 二阶滤波器	(325)
一、二阶低通滤波器	(325)
二、二阶高通滤波器	(326)
三、二阶带通滤波器	(326)
四、二阶带阻滤波器	(327)
五、二阶全通滤波器	(328)
§ 12·3 二阶 RC 有源滤波器	(328)
一、有限增益正反馈滤波器	(328)
二、无限增益多路反馈滤波器	(334)
三、Thomas - Tow 滤波器	(337)
§ 12·4 Mason 法则与网络综合	(344)
一、Mason 法则	(344)
二、网络综合	(346)
§ 12·5 $OTA-C$ 连续时间滤波器	(349)
§ 12·6 开关电容滤波器	(360)
第十三章 电压基准	(367)
§ 13·1 基于正向 V_{BE} 的电压基准	(367)
§ 13·2 基于齐纳二极管的集成基准	(368)
§ 13·3 零温度系数电压基准	(370)
§ 13·4 带隙电压基准	(372)
§ 13·5 有源基准	(374)
一、LM113	(374)
二、LM199	(377)
§ 13·6 串联调整稳压电源	(380)
第十四章 集成电路中的噪声	(385)
§ 14·1 集成电路固有的噪声源	(385)

一、热噪声	(385)
二、散粒噪声(Shot Noise)	(386)
三、 $\frac{1}{f}$ 噪声	(386)
四、猝发噪声(Burst Noise)	(387)
五、雪崩噪声	(387)
§ 14·2 集成器件的噪声模型	(388)
一、结型二极管	(388)
二、双极型晶体管	(388)
三、MOS 晶体管	(389)
§ 14·3 等效输入噪声发生器	(390)
一、双极型晶体管	(390)
二、MOS 晶体管	(392)
三、双极晶体管与 MOS 晶体管噪声性能的比较	(394)
§ 14·4 电路的噪声	(395)
§ 14·5 噪声系数和噪声温度	(402)
一、噪声系数 F	(402)
二、噪声温度 T_n	(403)
第十五章 计算机辅助设计	(404)
§ 15·1 工艺模拟(SUPREM)	(405)
一、SUPREM-III 要求的软硬件环境及运行方法	(406)
二、网格	(407)
三、SUPREM-III 的语句格式	(408)
四、SUPREM-III 输入文件格式	(409)
五、例题	(414)
§ 15·2 电路模拟	(419)
一、SPICE(2G6)	(420)
二、PSPICE4·0 简介	(428)
§ 15·3 版图设计	(443)
一、MAGIC 的层与设计规则	(444)
二、MAGIC 的常用命令	(450)
三、整体版图的层次结构	(453)
四、设计规则检查	(454)
五、电路抽出	(455)
六、格式变换	(456)
附录	(460)

第一章 集成电路工艺

集成电路设计是一项复杂的综合性工程,它包括电路设计、版图设计和工艺设计几大部分。这些部分是密切相关的。电路设计工程师必须了解集成电路的工艺过程和版图设计规则。例如集成电路中存在各种寄生效应,它们都与版图及工艺有关。只有熟知工艺的工程师,才能在电路设计中把互联线的寄生电容、压焊点的寄生电容、晶体管的寄生电容及各种导电层的方块电阻等统一考虑进去,或者通过改变电路结构以减小寄生参量的影响,例如采用共射-共基结构减小晶体管基极与集电极之间的电容 C_{BC} 的影响,或者通过版图设计,消除某些有害的寄生效应,例如 CMOS 集成电路中的闩锁效应等,以得到电性能优越、成品率高的最佳电路结构。而新型集成器件的研制,更必须首先考虑工艺上的可行性及与现有集成工艺的相容性。

本章将首先定性地阐述集成电路的主要工艺步骤,然后详细介绍典型的双极集成电路工艺和 $3\mu\text{m}$ CMOS 工艺。最后列出计算机电路模拟用的器件模型参数和工艺参数。这些内容也是学习后续章节的基础知识。

§ 1.1 集成电路的主要工艺步骤

本节定性介绍集成电路制造的主要工艺。这些工艺不论双极型集成电路还是 MOS 型集成电路都要用到。

一、衬底制备

MOS 集成电路的衬底基片采用轻掺杂的 p 型或 n 型单晶硅片。双极型集成电路是以 npn 管为主导有源元件进行设计的,所以其衬底基片采用轻掺杂的 p 型硅单晶片。硅单晶片是由硅单晶棒经切割、研磨、抛光而成的,其晶向多为 $\langle 111 \rangle$ 或 $\langle 100 \rangle$ 方向。加大硅片的直径,可增多单片的管芯数量,提高生产效率,降低成本。目前生产厂用的硅片直径一般为 $75 \sim 100\text{mm}$,最大的已达 200mm 。硅片的厚度一般在 $250 \sim 500\mu\text{m}$ 之间。硅片再薄,虽然不会影响电路的电性能,但其机械强度将变差,在加工过程中会变形或破碎。

二、淀积

淀积是一个广义的概念,它包括物理气相淀积和化学汽相淀积。

真空蒸发和溅射属于物理气相淀积,在集成电路中主要用来淀积金属薄膜,如铝、钼、镍、铬等。

化学汽相淀积简称 CVD (Chemical Vapour Deposition)。它是用加热、等离子体、光辐射等能源使某些气态物质发生反应,例如化学反应或热分解,生成固态物并淀积在固态基片上的工艺过程。在集成工艺中,CVD 用来在单晶硅片衬底上外延生长单晶硅膜,以及氮化硅膜、多晶硅膜和磷硅玻璃(掺磷的二氧化硅)钝化膜等。表 1.1 列出了一些薄膜淀积用的材料和反应式。

表 1·1 淀积薄膜所用材料和反应式

薄膜类型	材 料	反应式
外延单晶硅	$\text{SiCl}_4, \text{H}_2$	$\text{SiCl}_4 + 2\text{H}_2 = \text{Si} + 4\text{HCl}$
多晶硅	SiH_4	$\text{SiH}_4 \xrightarrow{>600^\circ\text{C}} \text{Si} + 2\text{H}_2$
氮化硅	$\text{SiH}_4, \text{NH}_3$	$3\text{SiH}_4 + 4\text{NH}_3 = \text{Si}_3\text{N}_4 + 12\text{H}_2$
	$\text{SiCl}_4, \text{NH}_3$	$3\text{SiCl}_4 + 4\text{NH}_3 = \text{Si}_3\text{N}_4 + 12\text{HCl}$
二氧化硅	SiH_4, O_2	$\text{SiH}_4 + \text{O}_2 = \text{SiO}_2 + 2\text{H}_2$
磷硅玻璃	$\text{SiH}_4, \text{O}_2,$	$\text{SiH}_4 + \text{O}_2 = \text{SiO}_2 + 2\text{H}_2$
	PH_3	$4\text{PH}_3 + 5\text{O}_2 = 2\text{P}_2\text{O}_5 + 6\text{H}_2$

三、扩散

扩散是指在高温下杂质原子从硅片表面向体内的迁移。在高温过程中,杂质原子向硅晶体中的扩散主要有替位式扩散和间隙式扩散两种机构。通过扩散来改变硅的导电类型形成 pn 结是集成电路生产中的重要工艺。现以 p 型杂质为例。经过扩散之后, p 型杂质在 n 型基片中的分布如图 1·1-1 所示。 p 型杂质浓度超过 n 型的区域,成为 p 型半导体,得到了 pn 结。 pn 结的深度是从硅片表面到体内 n 型杂质和 p 型杂质浓度相等的界面处的距离,如图 1·1-1 中 x_j 的位置所示。集成电路中 pn 结的结深范围一般为 $0.5 \sim 20\mu\text{m}$ 。

用扩散工艺制造的 pn 结是依靠杂质原子的“补偿”形成的。制造平面 npn 三极管起码要有基区和发射区两次扩散。为了补偿前次所引入的杂质原子,后续的扩散必须引入更多的杂质原子。杂质浓度增大了,空穴和电子的迁移率将下降。而且由于固溶度的限制,扩散次数多于三次就相当困难了。

相反,外延就不是这样,外延的英文是 Epitaxy,它是希腊文中“在上面”及“排列”二字组合而成的。外延层的导电类型可与衬底相同,也可以相反,这决定于外延过程中所掺杂质的类型。掺入磷原子可得到 n 型外延层,掺入硼原子可得到 p 型外延层。尽管衬底中的杂质能反掺杂到外延层中,使界面处杂质分布不理想,但外延层中的杂质是在外延生长过程中掺入的,而不是靠杂质补偿形成的,这是外延掺杂和扩散掺杂的不同之处。

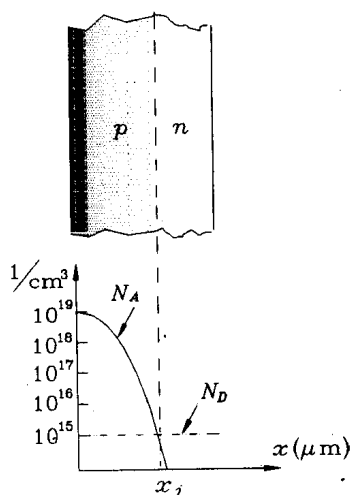


图 1·1-1 扩散后硅片中的杂质分布

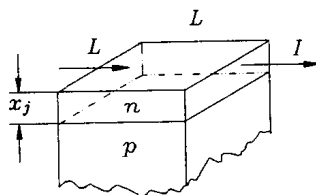


图 1·1-2 方块电阻示意图

方块电阻是描述扩散层的一个重要参数,一般用 $R_{\square}$ 表示。方块电阻代表一个正方形扩散层的电阻值,如图 1·1-2 所示。方块电阻的单位是欧姆,习惯上多写成 $\Omega/\square$ 。这里的“方”仅仅表示扩散层的形状是正方形的,它本身并不具有量纲。

设有边长为 L 的正方形 n 型扩散层,其结深为 x_j 。如果在扩散层中杂质浓度是均匀分布的,则方块电阻为:

$$R_{\square} = \rho \frac{L}{x_j L} = \frac{\rho}{x_j} = \frac{1}{x_j \mu_n N_D q} \quad (1 \cdot 1 \cdot 1)$$

其中 N_D 是施主杂质浓度, ρ 是电阻率,可见方块电阻与方块的边长无关。如果薄层中杂质浓度不是均匀分布的,用 $N_D(x)$ 来表示,则

$$R_{\square} = [q \mu_n \int_0^{x_j} N_D(x) dx]^{-1} \quad (1 \cdot 1 \cdot 2)$$

即方块电阻决定于扩散层中的杂质总量。

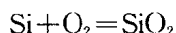
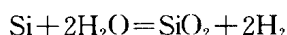
四、离子注入

离子注入是当今集成电路制造中不可缺少的掺杂工艺。离子注入是把待扩散的杂质原子经离化变成离子,然后用强电场使其加速变成高能离子,用这些离子直接轰击硅片并穿透表面进入硅体内。被注入的掺杂离子在行进中不断与硅原子相撞,并从硅中获得电子,能量逐渐减小,最后停留在晶体中,形成一定的杂质分布。用离子注入进行掺杂的适应性强,有许多种 n 型和 p 型杂质可供选用。注入的离子首先经过质量分析器分选,被选出的离子纯度高,因而掺杂纯度不受杂质源纯度的影响。注入剂量的范围较宽,且易于控制。注入深度随离子能量的增加而增加,可以得到很浅的突变结,也能得到较深的结。离子注入时,衬底的温度较低,可为室温或低于 400°C ,因此二氧化硅、氮化硅、铝、光刻胶都可用作掩蔽膜,进行选择注入。注入的离子按掩膜图形垂直入射,其横向效应比热扩散小得多。由于有上述优点,所以离子注入广泛用于 MOS 和双极集成电路工艺中。离子注入的缺点是在高能杂质离子的轰击下会产生许多晶格缺陷,但经过退火之后,这些缺陷基本上可以消除。

五、氧化

二氧化硅的电阻率高达 $10^{16} \Omega \cdot \text{cm}$, 是很好的绝缘介质,同时二氧化硅又很致密,在选择扩散和离子注入中可以充当掩蔽膜。二氧化硅的制备方法很多,如淀积法、溅射法、阳极氧化法、热氧化法等。在集成工艺中用的最多的是热氧化法。

热氧化是在高温下,干净的氧气或水汽直接与硅片表面的硅原子发生化学反应,生成一层很薄的起始二氧化硅层,尔后是氧化剂的分子扩散穿透起始二氧化硅到达二氧化硅和硅的界面再进行化学反应,生成二氧化硅。其反应方程式为:



氧化速率主要受氧化剂在二氧化硅层中扩散系数的影响。温度越高,氧或水分子扩散越快,氧化速率常数 c 也就越大。热生长二氧化硅层厚度与时间是抛物线关系,即:

$$x^2 = ct \quad (1 \cdot 1 \cdot 3)$$

其中 t 是氧化时间, c 是抛物线氧化速率常数, x 是二氧化硅层的厚度。

热生长二氧化硅实际上是在原来的硅晶体中加入氧原子,形成硅氧正四面体无定型二氧化硅玻璃,生成的二氧化硅分子数和所需消耗掉的硅的原子数相等。二氧化硅的分子密度约为 $2.3 \times 10^{22}/\text{cm}^3$, 而硅的分子密度为 $5.0 \times 10^{22}/\text{cm}^3$, 所以生成 $1\mu\text{m}$ 厚的二氧化硅层就要消耗掉

$2.3 \times 10^{22} / 5.0 \times 10^{22} = 0.46 \mu\text{m}$ 厚的单晶硅层。二氧化硅的体积比消耗掉的硅的体积大约膨胀了一倍,如图 1·1-3 所示。

热氧化法生长二氧化硅只能在硅衬底上进行。在集成电路制造中,有时需要用二氧化硅复盖非硅材料,如双层金属布线之间的绝缘层。在这种情况下,多用 CVD 法。CVD 法可以在低温下定积,避免了硅片的附加高温处理,这是它的优点。但它淀积的二氧化硅薄膜不致密。

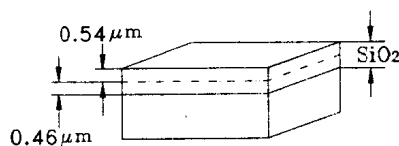


图 1·1-3 热生长 SiO_2 后硅片示意图

掺磷淀积的二氧化硅(磷硅玻璃)可用作多晶硅顶部的绝缘层。经高温处理后,磷硅玻璃会软化回流,提供平滑的构型,从而使后边的金属化连线更易越过台阶。掺磷氧化物也可在低于 500°C 的温度下定积,用作芯片的钝化层,以提高电路的稳定性和可靠性。

配比适当的氮化硅(Si_3N_4)薄膜是很理想的绝缘层。它对水和钠离子的扩散也有极好的阻挡作用,故可用作钝化层。在近等平面集成电路工艺中,氮化硅层用作选择氧化的掩膜。由于氮化硅和硅的热膨胀系数相差较大,所以要在硅和氮化硅层之间先热生长一层薄二氧化硅层,以减小氮化硅和硅之间的机械应力。

六、互连线工艺

在集成电路中元件间的互联通常用铝或其它金属材料。铝用真空蒸发淀积到硅片表面上,然后光刻出互连线。铝薄膜厚度一般为 $0.8 \mu\text{m}$,功率较大的模拟集成电路铝层可厚到 $2 \mu\text{m}$ 。互连线的铝条宽度要根据光刻和导线上的电流来定。在工程上,电流密度一般取 $0.8 \text{mA}/\mu\text{m}^2$ 。若峰值电流密度大于 $10 \text{mA}/\mu\text{m}^2$,则易发生电徙动,使铝线开路以致整个电路失效。

在集成电路中还广泛地使用非金属材料作为导体和互连线,例如掺杂多晶硅和 n^+ 扩散层。它们的电阻率不象铝那样低,但在电流比较小时,仍可用作导体和互连线。多晶硅容易淀积在二氧化硅上边,在 MOS 器件中作栅极,也可以做电容器的电极板。而二氧化硅也能在多晶硅上用热生长的方法制备出来,作为两层掺杂多晶硅之间的电介质和隔离层。以二氧化硅为介质,以两层多晶硅为电极的双多晶硅电容是集成电路中最好的电容器。

七、光刻

集成电路的制造主要分电路设计、版图设计和工艺制造三部分。版图设计的任务是根据制造工艺的要求把电路图转变为版图,然后用照相的方法做成掩模版(或称光刻版),再用光刻的方法把这些微图形一步一步地刻蚀到硅片上(详见后面的工艺流程介绍),制成集成电路。可见光刻是集成电路中的关键工序。

近年来 VLSI(超大规模集成电路)有了惊人的发展,这首先应归功于光刻技术的进步。目前光刻尺寸已达到微米、亚微米,在一个芯片上已能集成一千万个元件。预计到本世纪末在一个芯片上能集成十亿个元件。通常以光刻的线宽来标志集成电路的工艺水平。而集成电路需要 8~10 次光刻,各次光刻之间要求相互套准。套刻误差一般要小于线宽的 $\pm 10\%$ 左右,即 $1 \mu\text{m}$ 工艺的光刻套刻误差要小于 $\pm 0.1 \mu\text{m}$,可以想像,这在技术上要求是非常高的。下面以刻蚀硅片上的二氧化硅图形为例来予以说明。

图 1·1-4 给出了光刻的过程。首先在硅片表面上用热氧化方法生成二氧化硅层,氧化层厚度一般为 $50 \sim 100 \text{nm}$ 。然后均匀涂上大约 $1 \mu\text{m}$ 厚的光致抗蚀剂的薄层。这层薄膜经过 100°C 左右烘烤,干燥,然后用紫外光通过掩模版对它曝光,并在显影液中显影。曝光的部分被留下

来,而未经曝光的光致抗蚀剂被溶解掉,从而把掩膜版上的图形转换成硅片上抗蚀剂的图形。如图 1·1-4 中(1)~(4)所示。

再把带有光刻胶图形的硅片在 180~200℃ 的温度下进行坚膜,使抗蚀剂胶膜更牢固地附到硅片上。然后再放到腐蚀二氧化硅的腐蚀液中进行选择腐蚀,腐蚀掉裸露的二氧化硅而留下那些由光刻抗蚀剂复盖的区域。最后去掉抗蚀剂,即把掩膜版上的图形转换成硅片表面上二氧化硅的图形,如图 1·1-4 中的(5)和(6)所示。

抗蚀剂可以是负型的,也可以是正型的。负型抗蚀剂经紫外光曝光后,在显影液中难以溶解,而正型抗蚀剂在曝光之后变得更易溶解。图 1·1-5 给出了典型的负型和正型抗蚀剂的曝光响应曲线。在较低的曝光能量下,负型抗蚀剂在显影液中仍然全部溶解,随着曝光量的增加,超过阈值能量 E_T ,显影之后,较多的抗蚀剂膜留下。在两倍或三倍于阈值能量下曝光时,只有很少的抗蚀剂膜被溶解掉。对正抗蚀剂,即使在曝光能量为零时,它在显影液中的溶解也是有限的。只有曝光量达到某个阈值,它才完全溶解。实验表明曝光特性曲线还与烘烤条件、初始抗蚀剂厚度、光源的频谱分布、显影液的化学成分、显影时间等有关。正型抗蚀剂通常比负型抗蚀剂需要较多的曝光能量。

经曝光和显影之后的硅片上留有光刻胶图形,用这些图形做掩蔽进行选择腐蚀,把没有光刻胶保护的衬底表面材料腐蚀掉,就把光刻胶膜的图形转换成硅片上某种薄膜材料的图形。腐蚀方法和所用腐蚀剂因被腐蚀的薄膜材料而异。

腐蚀方法基本上分为两种:湿法腐蚀和干法腐蚀。

湿法腐蚀又叫化学腐蚀,它用液体作腐蚀剂。湿法腐蚀被广泛地应用于 VLSI 中,其主要缺点是在纵向腐蚀的同时,还有水平方向的腐蚀。这种横向腐蚀会使刻蚀的图形变形,诸如发射区面积扩大,电容和电阻值偏离设计值等。图 1·1-6 是理想腐蚀和横向腐蚀的示意图。

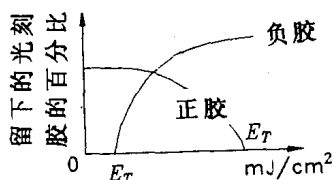


图 1·1-5 正型和负型抗蚀剂曝光特性

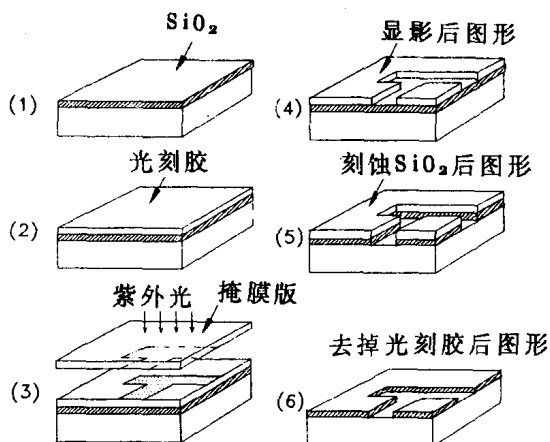


图 1·1-4 光刻工艺过程

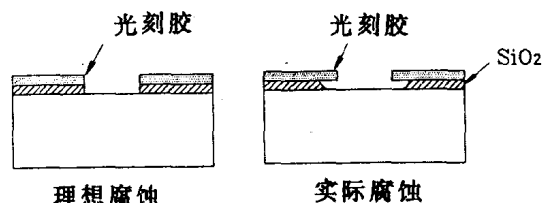


图 1·1-6 理想腐蚀和横向腐蚀示意图

干法腐蚀又叫等离子体腐蚀。它利用气体放电产生的某些化学性质很活泼的活性基与被腐蚀的膜层发生选择性的化学反应,生成能够被气流带走的挥发性气体。其反应机理举例如下:



在等离子体中,高能的电子碰撞分子,破坏了C-F链,产生了氟原子和 CF_3 活性基等。活性基是化学反应活性很强的物质,活性基 CF_3 与多晶硅、二氧化硅或氮化硅作用时,能生成可挥发的气体 SiF_4 。

在干法腐蚀中,用来放电而形成活性基的等离子体的气体叫工作气体。同一工作气体的等离子体对不同的材料具有不同的腐蚀速度,因而为选择性腐蚀和腐蚀终点的控制提供了可能。工作气体中少量加入某些气体成分,可以大大提高或减缓它的腐蚀速度,改变某些材料间的腐蚀速度比。干法腐蚀的优点是横向钻蚀小,表1·2给出了集成电路中常用干法腐蚀的工作气体。

表1·2 干法腐蚀的工作气体

工作气体	被腐蚀材料	工作气体	被腐蚀材料
CF_4	单晶硅	O_2	光刻胶
$\text{CF}_4 + \text{O}_2(4\%)$	多晶硅	$\text{O}_2 + \text{CF}_4$	光刻胶
$\text{CF}_4 + \text{H}_2$ 或 C_3F_8	二氧化硅及 氮化硅	BCl_3 或 $\text{BCl}_3 + \text{Cl}_2$	铝和 氧化铝
$\text{Cl}_3 + \text{O}_2(5\%)$	铬		

集成电路中常用的湿法腐蚀液及其特点如下:

HF 腐蚀二氧化硅但不腐蚀硅、氮化硅和光刻胶。

HF 加硝酸(HNO_3)腐蚀硅,但不腐蚀 SiO_2 。

H_3PO_4 (磷酸)腐蚀金属铝,但对二氧化硅和光刻胶没有腐蚀作用。

§ 1·2 $3\mu\text{m}$ CMOS 工艺

本节讨论 $3\mu\text{m}$ 单层多晶硅 p 阱CMOS工艺。由此工艺可以派生出一些其他的集成电路工艺,如双层金属布线CMOS工艺,双层多晶硅双层金属布线CMOS工艺, n 阱CMOS工艺等。这些工艺在集成电路生产中都有广泛地应用。CMOS工艺可以构成的元件有: n 沟增强型MOSFET(Metal Oxide Semiconductor Field Effect Transistor), p 沟增强型MOSFET,电容器,电阻器,二极管。整个工艺是为MOSFET设计的。电阻和二极管在CMOS电路设计中一般不用。

图1·2-1是某CMOS集成电路的结构示意图。其中(a)为平面结构示意图,其余为剖面结构。现以A-A'截面结构为例,说明 $3\mu\text{m}$ CMOS工艺流程。

(1)制作集成电路的起始材料是轻掺杂的 n 型硅单晶片。晶向是 $\langle 100 \rangle$,电阻率为 $2 \sim 3\Omega \cdot \text{cm}$ 。经磨片抛光后,厚度为 $400 \pm 10\mu\text{m}$ 。

(2)初始氧化:在备好的基片上热生长一层厚为 $600 \pm 50\text{nm}$ 的二氧化硅层,作为 p 阱扩散的掩蔽层。

(3)用1#版,即 p 阱的掩模版,光刻 p 阱,用湿法腐蚀形成 p 阱的扩散窗口。

(4)用扩散或者离子注入的方法引入 p 型杂质以形成 p 阱。 p 阱是制造 n 沟MOSFET的衬底。 p 阱的扩散是很深的,在 $3\mu\text{m}$ 工艺中,阱深一般为 $4\mu\text{m}$ 左右。形成 p 阱以后去掉整个硅