

Flash Memory

闪速存储器用户指南

(下册)

[美] Intel 公司

吴玉平 沈蒙利 吴晓蓓 译
贾松良 等校



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

URL: <http://www.phei.co.cn>

闪速存储器用户指南

(下册)

第Ⅱ、Ⅲ卷

吴玉平 沈蒙利 吴晓蓓 译

贾松良 等校



电子工业出版社
Publishing House of Electronics Industry

闪存存储器用户指南(下册)目录

第Ⅱ卷

第六章	PCMCIA 闪存存储器插件	(Ⅱ-2)
	系列 2+ 闪存存储器插件用户手册综述	(Ⅱ-2)
	系列 2+ 的 4、3、20 和 40M 字节闪存存储器插件	(Ⅱ-3)
	iMC004FLSP, iMC008FLSP, iMC020FLSP, iMC040FLSP	(Ⅱ-)
	系列 2 闪存存储器插件 iMC002FLSA, iMC004FLSA, iMC010FLSP, iMC020FLSA	(Ⅱ-28)
	iMC004FLKA 4MB 闪存存储器插件	(Ⅱ-60)
	iMC002FLKA 2MB 闪存存储器插件	(Ⅱ-84)
	iMC001FLKA 1MB 闪存存储器插件	(Ⅱ-108)
	AP-606 系列 1、系列 2 和系列 2+ 闪存存储器插件的互换性	(Ⅱ-133)
	AP-343 使用 Intel 闪存存储器的高密度应用解决方案	(Ⅱ-142)
	AP-361 实现系列 2 闪存存储器插件的集成寄存器	(Ⅱ-164)
	闪存存储器插件和闪存驱动器测定工具箱产品简介	(Ⅱ-175)
	Intel 闪存文件存储器实现无盘便携或 PC 的关键	(Ⅱ-176)
第七章	PCMCIA-ATA 闪存存储驱动器	(Ⅱ-180)
	iFD005P2SA/iFD010P2SA 闪存驱动器	(Ⅱ-180)
	闪存驱动器设计指南(iFD005P2SA/iFD010P2SA)	(Ⅱ-215)
	闪存存储器插件和闪存驱动器评测工具箱产品简介	(Ⅱ-266)
第八章	汽车用闪存组件	(Ⅱ-268)
	A28F400BR-T/B 4Mb(256K × 16, 512K × 8)智能电压引导块闪存存储器系列	(Ⅱ-268)
	A28F400BX-T/B 4Mb(256K × 16, 512K × 8)引导块闪存存储器系列	(Ⅱ-290)
	A28F200BR-T/B 2Mb(128K × 16, 256K × 8)智能电压引导块闪存存储器系列	(Ⅱ-316)
	A28F200BX-T/B 2Mb(128K × 16, 256K × 8)引导块闪存存储器系列	(Ⅱ-338)
	A28F010 1024K(128K × 8)CMOS 闪存存储器	(Ⅱ-364)
	A28F512 512K(64K × 8)CMOS 闪存存储器	(Ⅱ-384)
	A28F256A 256K(32K × 8)CMOS 闪存存储器	(Ⅱ-404)
第九章	工艺技术报告	(Ⅱ-426)
	ER-20 ETOX™Ⅱ 闪存存储器技术	(Ⅱ-426)
	ER-28 ETOX™Ⅲ 闪存存储器技术	(Ⅱ-428)
	ER-33 ETOX™Ⅳ 闪存存储器技术, Intel 第四代工艺革新透视	(Ⅱ-437)
第十章	闪存存储器智能管芯产品	(Ⅱ-458)
	28F010 1024K(128K × 8)闪存存储器	(Ⅱ-458)
	28F020 2048K(256K × 8)闪存存储器	(Ⅱ-463)
	28F008SA 8Mb(1Mb × 8)闪存存储器	(Ⅱ-468)
	28F4008BX-T 4Mb(256K × 16, 512K × 8)引导块闪存存储器	(Ⅱ-473)
	28F001BX-T/B 1Mb(128K × 8)CMOS 闪存存储器	(Ⅱ-479)
第十一章	论文转载	(Ⅱ-484)
	AR-710 具有 6MB/s 读/写通道和数据压缩的闪存固态驱动器	(Ⅱ-484)

AR-711 闪速驱动器;存储介质的大新闻?	(II -487)
AR-715 闪速存储器;满足移动计算的需要	(II -489)
AR-716 实现高速移动计算的闪速存储器	(II -496)
AR-717 闪速存储器的诸多实际情况	(II -497)
AR-718 闪速文件系统的标准化	(II -501)
AR-723 引导块闪速存储器与 MCS [®] -96 系列接口	(II -503)

第 III 卷

新增内容	(III -2)
●AP-610 闪速存储器中代码和数据的在线更新技术	(III -2)
●AP-609 Intel386 [™] EX 嵌入式处理器与 Intel 闪速存储器接口	(III -10)
●AP-608 使用 Intel 引导块(Boot Block)闪速存储器实现即插即用 BIOS	(III -26)
●AP-603 同闪速文件系统(FFS)交换数据的对称块格式	(III -45)
更新内容	(III -78)
28F016XS 16Mb(1Mb×16,2Mb×8)同步闪速存储器数据表	(III -78)
28F016XD 16Mb(1Mb×16,2Mb×8)同步闪速存储器数据表	(III -114)
28F016XS 和 Intel486 [™] 微处理器系列的接口技术论文	(III -153)
28F016XS 和 i960 [®] 微处理器系列的接口技术论文	(III -172)
改动的页	(III -198)
闪速存储器综述	(III -198)
DD28F032SA 32Mb(2Mb×16,4Mb×8)闪速文件(FlashFile [™])存储器数据表	(III -199)
28F016SV 16Mb(1Mb×16,2Mb×8)闪速文件(FlashFile [™])存储器数据表	(III -203)
28F016SA 16Mb(1Mb×16,2Mb×8)闪速文件(FlashFile [™])存储器数据表	(III -211)
扩展温度的 28F016SA 16Mb(1Mb×16,2Mb×8)闪速文件(FlashFile [™])存储器数据表	(III -214)
4Mb(256K×16,512K×8)智能电压引导块闪速存储器系列数据表	(III -217)
2Mb(128K×16,256K×8)智能电压引导块闪速存储器系列数据表	(III -222)
28F001BX-T/28F001BX-B 1Mb(128K×8)CMOS 闪速存储器数据表	(III -226)
28F020 2048K(256K×8)CMOS 闪速存储器数据表	(III -227)
28F010 1024K(128K×8)CMOS 闪速存储器数据表	(III -230)
AP-600 基于 28F016XS 的系统设计性能受益和节电/能	(III -232)
AP-399 使用闪速文件(FlashFile [™])部件实现移动式 Intel486 [™] SX 微处理器 PC 设计	(III -233)
AP-398 采用 28F016XS 进行设计	(III -236)
AP-384 采用 28F016XD 进行设计	(III -237)
AP-377 16Mb 闪速产品(28F016SA,28F016SV,28F016XS 和 28F016XD)系列的软件驱动程序	(III -241)
AP-343 使用 Intel 闪速存储器作为高密度应用的解决方案	(III -242)
AP-325 第一代闪速存储器编程指南	(III -242)
ER-33 ETOX IV 闪速存储器技术;透视 Intel 的第四代工艺革新	(III -243)
Intel 28F016XD 嵌入式闪速 RAM 产品概述	(III -244)

闪速存储器用户指南

第 II 卷

《闪速存储器数据手册》(1995)

PCMCIA 闪速存储器插件

PCMCIA-ATA 闪速存储驱动器

汽车用闪速存储器

第六章 PCMCIA 闪存存储器插件

系列 2+ 闪存存储器插件用户手册综述

Intel 系列 2+ 闪存存储器插件资料包括《系列 2+ 闪存存储器插件用户手册(297373)》和《系列 2+ 数据小册子(290491)》。用户手册从硬件和软件角度对使用系列 2+ 闪存存储器插件的方法提供了完整的说明。数据小册子则提供了全部的 AC 和 DC 特性(包括时序波形),并列出了器件命令集和插件的集成寄存器以便用户参考。

用户指南包括系列 2+ 插件各方面的详细内容,从 28F016SA 到插件的 PCMCIA 电接口。本资料中所论及的每个主题在编排上方便 OEM 理解系列 2+ 插件的功能性。

系列 2+ 用户手册:各章综述

第二章:插件结构

本章讨论系列 2+ 插件的硬件知识,包括它的集成 V_{PP} 发生器、智能电源电路、组件管理寄存器、PCMCIA 接口和器件布局。

第三章:器件结构

本章解释 28F016SA 的基本功能性,即系列 2+ 插件的整个基础。特别彻底讨论器件状态寄存器——深入全位级。

第四章:命令描述

本章受第八章中算法的支持,全面详细地讨论 28F016SA 能够执行的每个命令。本章分为两个主要部分:28F008SA 兼容的命令和新的性能增强命令。

第五章:应用编程细节

本章更为详细地讨论系列 2+ 插件的某些特殊能力。这包括页面缓冲器操作、数据保护、就绪/占线方式和电源储备。

第六章:40M 字节系列 2+ 插件操作

本章从程序员的角度解释 4 或 20M 字节插件(基于 28F016SA)和 40M 字节插件(基于 28F032SA)之间的差异。

第七章:系列 2 兼容性

系列 2+ 插件被设计成与系列 2 插件后向兼容。然而,由于工艺上的先进性存在一些极小的差异。本章解释这些差异以及如何适应它们。

第八章:软件算法

本章支持用户指南中涉及软件编程的所有其它部分。它不仅包括一些基本例行程序的 C 和汇编代码,而且包括 28F016SA 命令的流程图。

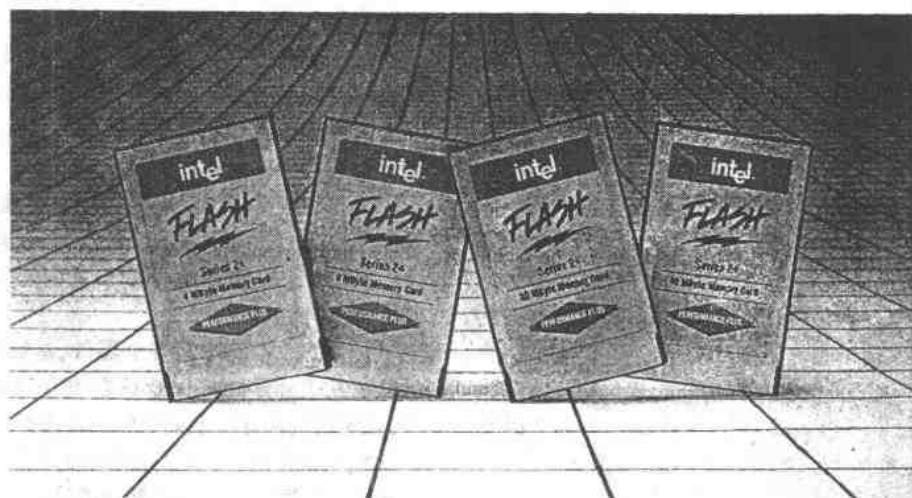
系列 2+ 的 4、8、20 和 40M 字节闪速存储器插件

iMC004FLSP, iMC008FLSP, iMC020FLSP, iMC040FLSP

- 单电源
- 自动配置 3.3V 和 5V 系统
- 5V 电源时最大访问时间 150ns
- 3.3V 电源时最大访问时间 250ns
- 高性能随机写
 - 0.85MB/S 持续吞吐量
 - 10MB/S 时的 1KB 突发串写
- 12 μ A 典型深度掉电电流值
- 创新的结构
 - 流水线式的命令执行
 - 在擦除期间写
 - 系列 2 命令的超集
- 最新的 0.6 μ m ETOX™ IV 闪速工艺
- 1 百万擦除周期/块
- 高达 640 个独立的可锁定块
- PCMCIA I 型形状因数
- PCMCIA 2.1/JEIDA 4.1 兼容
- 系列 2+ 用户手册

Intel 系列 2+ 闪速存储器插件在移动 PC 和专用设备中创下高性能磁盘仿真和在位执行(XIP)应用的新记录。该插件采用 Intel 28F016SA 16Mb(DD28F032SA 32Mb)闪速文件(FlashFile™)存储器制造,利用能够提供创新能力、低功耗操作和很高读/写性能的革命性结构。

系列 2+ 插件为固态存储应用提供当今最高密度、最高性能的非挥发性读/写解决方法。对称式分块结构、扩展 MTBF、低功耗 3.3V 操作、内装 V_{PP} 发生器和多块锁定方法的采用进一步增强了这些应用。系列 2+ 插件的双读和写电压允许在 3.3V 和 5.0V 系统之间互换。



290491-8

ETOX 和 FlashFile™ Intel 公司的商标。

系列 2+ 闪速存储器插件

- | | | | |
|-------------------------|--------|-------------------------|---------|
| 1.0 资料范围 | (II-4) | 3.4 智能电源 | (II-9) |
| 2.0 产品综述 | (II-4) | 4.0 器件命令集 | (II-10) |
| 3.0 系列 2+ 结构综述 | (II-5) | 5.0 器件状态寄存器 | (II-12) |
| 3.1 插件引出脚和管脚说明 | (II-5) | 6.0 PCMCIA 插件信息结构 | (II-13) |
| 3.2 系列 2+ 插件的控制逻辑 | (II-7) | 7.0 系统设计考虑事项 | (II-16) |
| 3.3 组件管理寄存器 | (II-9) | 7.1 电源去耦 | (II-16) |

7.2 上电/掉电保护	(II-16)
7.3 热插入/拔出	(II-17)
8.0 电学规范	(II-17)
8.1 绝对最大额定值	(II-17)
9.0 系列 2+ DC 特性	(II-17)
9.1 梗概	(II-17)
9.2 CMOS 接口: $V_{CC} = 3.3V$	(II-18)
9.3 CMOS 接口: $V_{CC} = 5.0V$	(II-18)
9.4 TTL 接口: $V_{CC} = 3.3V$	(II-19)
9.5 TTL 接口: $V_{CC} = 5.0V$	(II-20)
10.0 AC 特性	(II-21)
10.1 读操作: 公用和属性存储器	(II-21)
10.2 写操作: 公用和属性存储器	(II-22)
10.3 CE # 控制写操作: 公用和属性存储器	(II-23)
10.4 上电/掉电	(II-24)
10.5 系列 2+ 插件信息结构元组变化	(II-25)
11.0 电容	(II-25)
12.0 擦除和数据写性能	(II-25)
13.0 封装	(II-26)
14.0 补充信息	(II-27)
14.1 订购信息	(II-27)
14.2 参考	(II-27)
14.3 修订历史	(II-28)

1.0 资料范围

Intel 系列 2+ 闪存存储器插件资料包括本数据小册子和系列 2+ 闪存存储器插件用户手册(297373)。数据小册子提供全部 AC 和 DC 特性(包括时序波形),以及器件命令集和插件集成寄存器(包括 28F016SA 的状态寄存器)以便于参考。系列 2+ 存储器插件用户手册完整描述该插件的使用方法。它还包括全部列出的软件算法和流程图以及用于升级 Intel 系列 2 闪存存储器插件设计的一个章节。

2.0 产品综述

4.8 和 20M 字节系列 2+ 闪存存储器插件每个包含一组分别由 2.4 和 10 个 28F016SA TSOP 存储器件组成的闪存存储器阵列。每个 28F016SA 包含 32 个性质不同、可单独擦除的 64K 字节块。因此,4.8 和 20M 字节插件分别包含 64、128 和 320 个独立的可锁定块。

40M 字节系列 2+ 闪存存储器插件包括一组由 10 个 DD28F032SA TSOP 存储器件组成的闪存存储阵列。在单个封装内,每个 DD28F032SA 包含两个 28F016SA 芯片,这也就导致了 64 个性质不同、可单独擦除的 64K 字节块。40M 字节插件有 640 个独立的可锁定块。

与系列 2 插件家族成员相比,系列 2+ 插件提供额外的产品功能(参考 iMCOXXFLSA 数据表)。一些很明显的插件级增强功能包括:在 3.3V 或 5.0V 可互换操作、块锁定和内部 V_{PP} 发生。

系列 2+ 插件含有被称之为智能电源(SmartPower)的 V_{CC} 检测电路,用于指示插件接口处出现的电压。插件的控制逻辑相应地自动配置它的电路和 28F016SA/DD28F032SA 存储器阵列。插件信息结构(CIS)报告插件是 3.3V 或 5.0V 兼容。另外,插件还检测 V_{PP} 管脚上 12.0V 电平的出现,并将这个电源传给每个存储器件。在 12.0V 电源不能利用时,不管 V_{CC} 是 3.3V 还是 5.0V,插件都会通过内部 V_{PP} 发生电路产生所要求的 V_{PP} 。

在器件级,内部算法自动化允许使用一个两写命令序列执行写和擦除操作,就和系列 2 插件上 28F008SA 闪速文件存储器使用的方法一样。在 28F008SA 基本命令集的基础上加入了以下一个命令超集和额外的性能增强:

- 页面缓冲器写闪速使得写速高达系列 2 插件的 4 倍。
- 命令排队容许器件在执行当前命令集期间接收新的命令。
- 在擦除期间自动数据写允许 28F016SA 在一个块上执行擦除的同时对另一个块执行写操作。
- 软件锁定存储器块提供一种方法在插件内选择性地保护代码或数据。
- 擦除全部未锁定块提供一种快速而又简单的方法顺序擦除 28F016SA 存储器内的全部块。

系列 2+ 插件有两种方法置闪速器件于睡眠方式,从而降低功耗:

1. 发送一个命令至各个器件,这被称作软件控制的睡眠方式。器件将保持状态寄存器的数据内容不变,并使用这种方法结束任何正在进行之中的操作。
2. 写插件的 PCMCIA 兼容的配置和状态寄存器从而激活一个同时送至所有器件的复位掉电。

插件通过配对使用 28F016SA/DD28F032SA 器件,形成一个可访问的 64K 字大小的存储块获取它的 PCMCIA 兼容的字宽访问。(包含在 ASIC 中的)插件的译码逻辑允许系统一次写或读一个字,或通过定位高位或低位字节访问一个字节。可在整个块对上对高位和低位字节同时进行擦除,或分开对高位字节和低位字节部分进行擦除。虽然 28F016SA/DD28F032SA 支持访问字节或字宽数据,但在插件内利用字节接口允许给出更高的性能好处,如使有效页面缓冲器大小和写性能加倍。

系列 2+ 插件的 ASIC 还包括组件管理寄存器,它

提供五个控制功能,就绪-占线方式选择,软件写保护、插件状态、电压控制和软复位。

存储器插件接口支持个人计算机存储器插件工业协会(PCMCIA 2.10)和日本电子工业发展协会(JEIDA 4.1)的 68 管脚插件规格。系列 2+ 闪存插件满足所有 PCMCIA/JEIDA 1 型物理规范。

3.0 系列 2+ 结构综述

系列 2+ 插件由三种主要功能部件组成——闪存存储器阵列、插件控制和智能电源电路。插件控制逻辑处理闪存存储器阵列和主机系统 PCMCIA 信号之间

的接口。智能电源电路提供插件的集成 V_{PP} 发生器 and 一种检测插座电压值的方法。

3.1 插件引出脚和管脚说明

68 管脚 PCMCIA 规格为系列 2+ 闪存存储器插件(见表 1 和 2)提供系统接口。在 PCMCIA 2.10 标准规范中对该接口的详细技术要求进行了描述。系列 2+ 闪存插件产品家族符合以前 PCMCIA PC 插件标准版本 1.0、版本 2.0 和版本 2.01 的要求。版本 2.10 将管脚 43 和 57 重新定义为 VS_1 和 VS_2 (以前分别为 REFRESH 和 RFU)。

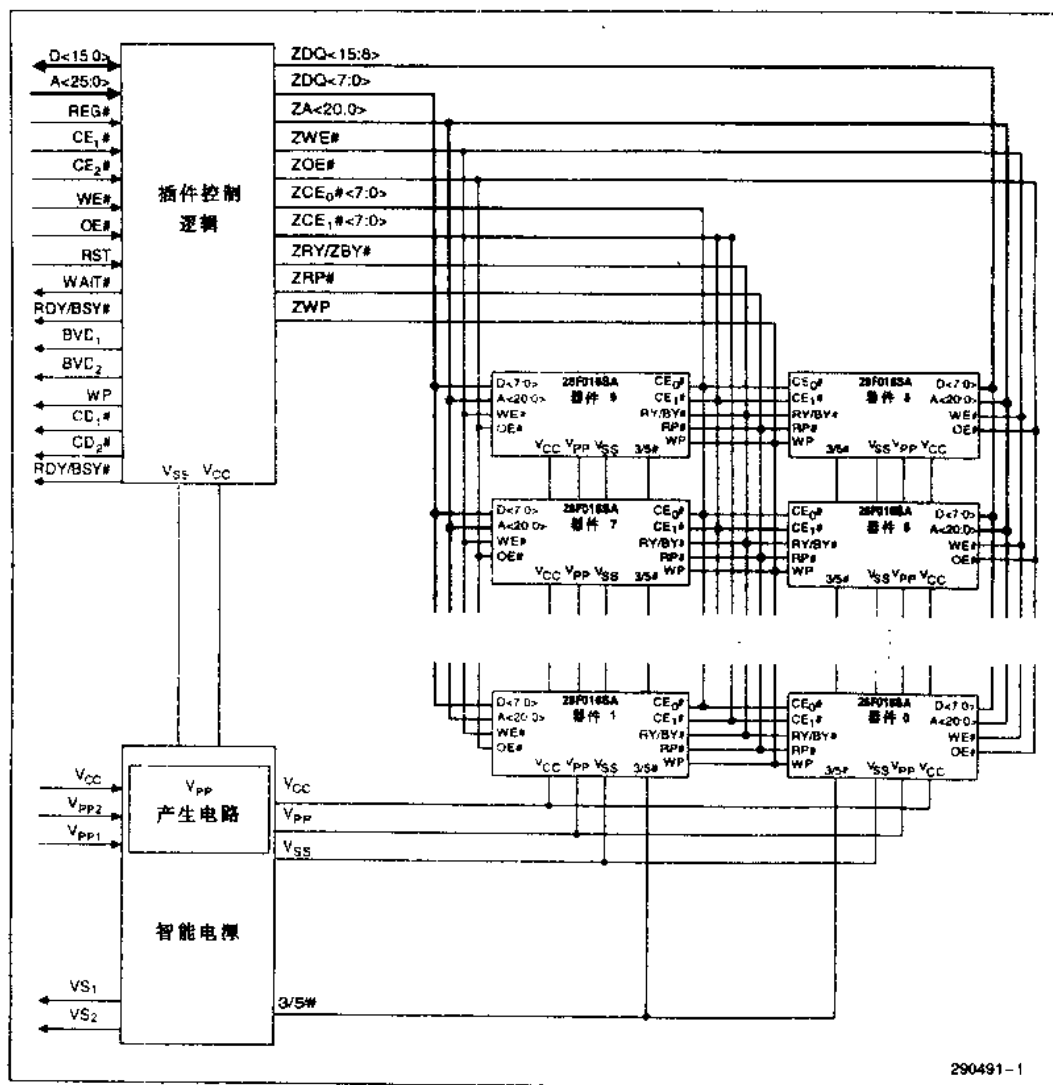


图 1 示出系列 2+ 闪存存储器插件主要功能部件的方框图

表 1 系列 2+ 闪存存储器插件信号

管脚	信号	输入/输出	功 能	有效电平
1	GND		地	
2	DQ ₃	输入/输出	数据位 3	
3	DQ ₄	输入/输出	数据位 4	
4	DQ ₅	输入/输出	数据位 5	
5	DQ ₆	输入/输出	数据位 6	
6	DQ ₇	输入/输出	数据位 7	
7	CE ₁ #	输入	插件使能 1	低电平
8	A ₁₀	输入	地址位 10	
9	OE #	输入	输出使能	低电平
10	A ₁₁	输入	地址位 11	
11	A ₉	输入	地址位 9	
12	A ₈	输入	地址位 8	
13	A ₁₃	输入	地址位 13	
14	A ₁₄	输入	地址位 14	
15	WE #	输入	写使能	低电平
16	RDY/BSY #	输出	就绪/占线	低电平
17	V _{CC}		电源电压	
18	V _{PP1}		电源电压	
19	A ₁₆	输入	地址位 16	
20	A ₁₅	输入	地址位 15	
21	A ₁₂	输入	地址位 12	
22	A ₇	输入	地址位 7	
23	A ₆	输入	地址位 6	
24	A ₅	输入	地址位 5	
25	A ₄	输入	地址位 4	
26	A ₃	输入	地址位 3	
27	A ₂	输入	地址位 2	
28	A ₁	输入	地址位 1	
29	A ₀	输入	地址位 0	
30	DQ ₀	输入/输出	数据位 0	
31	DQ ₁	输入/输出	数据位 1	
32	DQ ₂	输入/输出	数据位 2	
33	WP	输出	写保护	高电平
34	GND		地	

(续表)

管脚	信号	输入/输出	功 能	有效电平
35	GND		地	
36	CD ₁ #	输出	插件检测 1	低电平
37	DQ ₁₁	输入/输出	数据位 11	
38	DQ ₁₂	输入/输出	数据位 12	
39	DQ ₁₃	输入/输出	数据位 13	
40	DQ ₁₄	输入/输出	数据位 14	
41	DQ ₁₅	输入/输出	数据位 15	
42	CE ₂ #	输入	插件使能 2	低电平
43	VS ₁	输出	电压指示 1	低电平
44	RFU		保留	
45	RFU		保留	
46	A ₁₇	输入	地址位 17	
47	A ₁₈	输入	地址位 18	
48	A ₁₉	输入	地址位 19	
49	A ₂₀	输入	地址位 20	
50	A ₂₁	输入	地址位 21	
51	V _{CC}		电源电压	
52	V _{PP2}		电源电压	
53	A ₂₂	输入	地址位 22	
54	A ₂₃	输入	地址位 23	
55	A ₂₄	输入	地址位 24	
56	A ₂₅	输入	地址位 25	
57	VS ₂	输出	电压指示 2	未接 (N.C.)
58	RST	输入	复位	高电平
59	WAIT #	输出	扩展总线周期	低电平
60	RFU		保留	
61	REG #	输入	属性存储器选择	低电平
62	BVD ₂	输出	电池电压检测 2	
63	BVD ₁	输出	电池电压检测 1	
64	DQ ₈	输入/输出	数据位 8	
65	DQ ₉	输入/输出	数据位 9	
66	DQ ₁₀	输入/输出	数据位 10	
67	CD ₂ #	输出	插件检测 2	低电平
68	GND		地	

表 2 系列 2+ 闪存存储器插件信号说明

符号	类型	名字和功能
$A_0 \sim A_{25}$	输入	地址输入: A_0 至 A_{25} 是地址总线, 它允许在插件上直接寻址高达 64M 字节的存储单元。在字访问方式 A_0 不用。 A_{25} 是最高位
$DQ_0 \sim DQ_{15}$	输入/输出	数据输入/输出: DQ_0 至 DQ_{15} 组成双向数据总线。 DQ_{15} 是最高位
$CE_1 \#, CE_2 \#$	输入	插件使能 1 和 2: $CE_1 \#$ 使能偶数字节, $CE_2 \#$ 使能奇数字节。多路复用 A_0 、 $CE_1 \#$ 和 $CE_2 \#$ 允许 8 位主机访问 D_0 至 D_7 上的全部数据
$OE \#$	输入	输出使能: 低电平有效的信号, 控制从存储器插件读出数据
$WE \#$	输入	写使能: 低电平有效的信号, 控制写数据至存储器插件
$RDY/BSY \#$	输出	就绪/占线输出: 指示内部定时擦除或写活动的状态。高电平输出指示存储器插件已准备接收访问。低电平输出指示存储器插件中的一个器件正忙于内部定时擦除或写动作
$CD_1 \#, CD_2 \#$	输出	插件检测 1 和 2: 这些信号用于检测存储器插件的正确插入。它们定位在插件的反向端, 从而检测正确的对准。这些信号连接到存储器插件的内部地, 每当插件插入插座时总是迫使这些信号处于低电平。主机插座接口将在这些信号的管脚上提供 10K 或更大的上拉电阻
WP	输出	写保护: 写保护反应存储器插件上写保护开关的状态。 WP 置为高电平 = 写保护, 向闪存阵列提供内部硬件写封锁
V_{A1}, V_{A2}		写/擦除电源: (12V 额定值) 用于擦除存储器阵列块或写阵列中的字节。在不使用插件的集成 V_{PP} 发生器时, 这些管脚必须为 12V 以便执行写/擦除操作。这些信号可以不连上, 但为了和 ExCA™ 标准一致却要求连上
V_{CC}		插件电源: (3.3V 或 5.0V 额定值) 用于所有电路
GND		地: 所有内部电路的地
$REG \#$	输入	寄存器选择: 向系列 2+ 闪存存储器插件寄存器和属性存储器平面的信息结构提供访问
RST	输入	复位: 高电平有效的信号, 用来置插件于上电缺省状态
$WAIT \#$	输出	等待: (扩展总线周期) 为了兼容, 驱动该信号为高电平
BVD_1, BVD_2	输出	电池电压检测: 驱动这些信号为高电平从而保持 SRAM 插件的兼容性
VS_1, VS_2	输出	电压指示: 向主机插座通知插件的 V_{CC} 要求。 VS_1 接地和 VS_2 开路表示已插入一个 3.3V/5V 的插件
RFU		保留供以后用
N.C.		内部未连至插件上, 管脚可以被驱动或浮空

3.2 系列 2+ 插件的控制逻辑

插件控制逻辑包含在两个 ASIC 中, 它为系列 2+ 插件处理地址译码和数据控制。组件管理寄存器也包含在插件控制逻辑中。

3.2.1 地址译码逻辑

在最高层,地址译码部分确定何时选择公用存储器(REG # = V_{IH})或属性存储器(REG # = V_{IL})平面。在属性存储器平面(图 2)内,地址译码逻辑确定何时选择插件信息结构(CIS)或组件管理寄存器(CMR)。CIS 包含元组信息,位于从地址 0000H 开始的偶数字节地址(参见 6.0 节)。组件管理寄存器映象在地址 4000H 开始的偶数字节位置(详细说明参见 3.3 节)。

奇字节	偶字节	存储器地址
不用		1FFFFFH
不用	组件管理寄存器	004200H
不用		004000H
不用		000100H
不用	硬布线 PCMCIA CIS	000000H
		290481-9

图 2 属性存储器平面

3.2.2 数据控制

正如表 3 所示,数据控制逻辑使用 REG #、 A_0 、WE #、OE #、 CE_1 # 和 CE_2 # 作为逻辑输入选择数据通路和方向。数据控制逻辑选择 PCMCIA 字宽、字节宽和奇数字节方式中的任何一种用来读或写公用或属性存储器。所有对属性存储器平面的访问必须通过 D[7:0] 进行,无效数据会被写入高位字节。读 D[15:8] 所得到的值为 FFH。

表 3 数据访问真值表

公用存储器平面										
方式	REG #	CE_2 #	CE_1 #	A_0	OE #	WE #	V_{PP2}	V_{PP1}	D[15:8]	D[7:0]
备用	X	V_{IH}	V_{IH}	X	X	X	V_{PPL}	V_{PPL}	高阻	高阻
字节-读	V_{IH}	V_{IH}	V_{IL}	V_{IL}	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	高阻	偶
	V_{IH}	V_{IH}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	高阻	奇
字读	V_{IH}	V_{IL}	V_{IL}	X	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	奇	偶
奇数字节读	V_{IH}	V_{IL}	V_{IH}	X	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	奇	高阻
字节写	V_{IH}	V_{IH}	V_{IL}	V_{IL}	V_{IH}	V_{IL}	XXX	V_{PPH}	XXX	偶
	V_{IH}	V_{IH}	V_{IL}	V_{IH}	V_{IH}	V_{IL}	V_{PPH}	XXX	XXX	奇
字写	V_{IH}	V_{IL}	V_{IL}	X	V_{IH}	V_{IL}	V_{PPH}	V_{PPH}	奇	偶
奇数字节写	V_{IH}	V_{IL}	V_{IH}	X	V_{IH}	V_{IL}	V_{PPH}	V_{PPL}	奇	XXX
属性存储器平面										
方式	REG #	CE_2 #	CE_1 #	A_0	OE #	WE #	V_{PP2}	V_{PP1}	D[15:8]	D[7:0]
备用	X	V_{IH}	V_{IH}	X	X	X	V_{PPL}	V_{PPL}	高阻	高阻
字节读	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	高阻	偶
	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	高阻	FFH
字读	V_{IL}	V_{IL}	V_{IL}	X	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	FFH	偶
奇数字节读	V_{IL}	V_{IL}	V_{IH}	X	V_{IL}	V_{IH}	V_{PPL}	V_{PPL}	FFH	高阻

(续表)

属性存储器平面										
方式	REG #	CE ₂ #	CE ₁ #	A ₀	OE #	WE #	V _{PP2}	V _{PP1}	D[15:8]	D[7:0]
字节写	V _{IL}	V _{DH}	V _{IL}	V _{IL}	V _{DH}	V _{IL}	V _{PPL}	V _{PPL}	XXX	偶
	V _{IL}	V _{DH}	V _{IL}	V _{DH}	V _{DH}	V _{IL}	V _{PPL}	V _{PPL}	XXX	XXX
字写	V _I	V _{IL}	V _{IL}	X	V _{DH}	V _{IL}	V _{PPL}	V _{PPL}	XXX	偶
奇数字节写	V _{IL}	V _{IL}	V _{DH}	X	V _{DH}	V _{IL}	V _{PPL}	V _{PPL}	XXX	XXX

注: 在使用 V_{PP} 发生器时, V_{PP1} 和 V_{PP2} 无关。

3.3 组件管理寄存器

组件管理寄存器 (CMR) 分为两类: 一类由 PCMCIA 版本 2.0 定义, 另一类则由 Intel 加入用于增强主机系统和插件、闪存存储器阵列之间的接口。CMR 提供五种控制功能: 就绪/占线方式选择、电压控制、软件写保护、插件状态和软复位。若想进一步详细了解组件管理寄存器的功能性, 请查阅 Intel 的系列 2+ 闪存存储器插件用户手册 (297373)。

3.4 智能电源

智能电源电路产生并监视插件的编程电压。在主机系统不提供一个有效 V_{PP} 电源的时候, 通过电压控制寄存器可接通插件的集成发生器。智能电源电路还检测主机系统的 V_{CC} 值 (3.3V 或 5.0V), 并配置插件的闪存存储器件, 相应地驱动与存储器阵列相连的 3/5 # 管脚至适当的电平值。

通过写一个“1”至电压控制寄存器的位 0 使能智能电源电路。

表 4 配置选择寄存器——PCMCIA
(软复位寄存器)

属性存储器平面地址: 4100H							
读/写							
SRESET	LevlREQ	配置索引					
7	6	5	4	3	2	1	0

缺省值: 02H

位 7 = 软复位
1 = 复位状态
0 = 结束复位周期

位 6 = 电平请求
驱动为低电平

位 5-0 = 配置索引
可写入值 1-4, 参见 CIS 插件配置表元组中的索引。

表 5 插件配置和状态寄存器——PCMCIA
(全局掉电寄存器)

属性存储器平面地址: 40002H							
读/写							
保 留				PWRDWN	保 留		
7	6	5	4	3	2	1	0

缺省值: 00H

位 2 = 掉电
1 = 28F016SA 处于复位掉电
0 = 上电

表 6 插件状态寄存器——Intel

属性存储器平面地址: 4100H							
只读							
保留	SRESET	CMWP	PWRDWN	CISWP	WP	RDY/BSY #	
7	6	5	4	3	2	1	0

缺省值: 01H 或 03H

位 5 = 软复位
1 = 复位状态

位 4 = 公用存储器写保护
1 = 写保护

位 3 = 掉电
1 = 掉电

位 2 = 公用存储器 CIS 写保护
1 = 写保护

位 1 = 写保护开关
1 = 写保护

位 0 = 插件就绪/占线 #
1 = 就绪

表 7 写保护寄存器——Intel

属性存储器平面地址: 4104H 读/写							
保 留					BLKEN	CMWP	CISWP
7	6	5	4	3	2	1	0
缺省值: 04H							
位 2 = 块锁定使能							
1 = 使能独立的 28F016SA 块锁定							
0 = 全部块未锁定							
位 1 = 公用存储器写保护							
1 = 公用存储器减去处于写保护状态的 CMCIS							
0 = 根据独立的 28F016SA 块锁定写保护							
位 0 = 公用存储器 CIS 写保护							
1 = 处于写保护状态的公用存储器 CIS							
0 = 根据独立的 28F016SA 块锁定写保护							

表 8 电压控制寄存器——Intel

属性存储器平面地址: 410CH 读/写							
V _{CC} 电平	保 留					V _{PP} 有效	V _{PP} 产生
7	6	5	4	3	2	1	0
缺省值: 82H 或 02H							
位 7 = V _{CC} 电平: 只读位							
1 = 主机提供 3.3V							
0 = 主机提供 5V							
位 1 = V _{PP} 有效							
1 = V _{PP} 介于 11.4V 和 12V 之间							
0 = V _{PP} 无效							
位 0 = V _{PP} 产生							
1 = 接通集成 V _{PP} 发生器							
0 = 关闭集成 V _{PP} 发生器							
注: V _{PP} 有效位仅反映 V _{PP} 发生器的状态, 而不反映外部 V _{PP} 的状态。							

表 9 就绪/占线方式寄存器——Intel

属性存储器平面地址: 4140H 读/写							
保 留					RACK	MODE	
7	6	5	4	3	2	1	0
缺省值: 00H							
位 1 = 就绪确认							
0 = RDY/BSY # 清零							
位 0 = RDY/BSY # 方式							
1 = 高性能方式							
0 = PCMCIA 电平方式							

4.0 器件命令集

基于 28F016SA/DD28F032SA 的系列 2+ 命令集与
 首先基于 28F008SA 的设计相比在保护向后兼容性的
 同时增加了功能性。扩展命令集加入了许多新的特
 点, 改进了可编程性和写性能, 如: 页面缓冲写、单个块
 锁定、多种 RDY/BSY # 配置和器件级排队能力。在下
 面几页列出系列 2+ 命令集和总线周期操作综述。

系列 2+ 命令集

代码(H)	系列 2 兼容方式
00H	无效/保留
10H	交替数据写
20H	单块擦除
40H	数据写
50H	清零状态寄存器
70H	读 CSR
90H	读 ID 码
B0H	擦除暂停
D0H	认可/重新开始
FFH	读闪存阵列

代码(H)	系列 2+ 性能增强
0CH	页面缓冲器写闪存
71H	读 CSR 或 BSR
72H	页面缓冲器交换
74H	单个装载页面缓冲器
75H	读页面缓冲器
77H	锁定块
80H	中止
96H, 01H	RY/BY # 电平方式使能
96H, 02H	在写完时发出 RY/BY # 脉冲
96H, 03H	在擦除完时发出 RY/BY # 脉冲
96H, 04H	RY/BY # 禁止
97H	上装状态位
99H	上装器件信息
A7H	擦除全部未锁定块
E0H	顺序装载页面缓冲器
F0H	睡眠

表 10 28F008SA-兼容方式命令总线定义

命 令	第一总线周期				第二总线周期			
	读/写	地址	数 据		读/写	地址	数 据	
			字节	字			字节	字
读阵列	写	DA	FFH	FFFFH	读	DA	AD	AD
智能标识符	写	DA	90H	9090H	读	IA	ID	ID
读 CSR ⁽¹⁾	写	DA	70H	7070H	读	DA	CSR0	CSR0
清零状态寄存器 ⁽²⁾	写	DA	50H	5050H				
字/字节写 §	写	WA	40H	4040H	写	WA	WD	WD
字/字节写(交替) §	写	WA	10H	1010H	写	WA	WD	WD
块擦除/认可 §	写	BA	20H	2020H	写	BA	D0H	D0D0H
擦除暂停/重新开始	写	DA	B0H	B0B0H	写	DA	D0H	D0D0H

地址:

DA 器件地址

BA 块地址

IA 标识符地址

WA 写地址

数据:

AD 阵列地址

CSR0 CSR 数据

ID 标识符数据

WD 写数据

§ = 可排队的命令

注: 1. CSR 在器件进入数据写、擦除或暂停操作之后自动可用。

2. 清零 CSR.3, CSR.4 和 CSR.5。还清零 CSR.5 与全部 BSR.5 和 BSR.2 位。

表 11 28F016SA 超集方式性能增强命令总线定义

命 令	注释	第一总线周期				第二总线周期				第三总线周期			
		操作	地址	数 据		操作	地址	数 据		操作	地址	数 据	
				字节	字			字节	字			字节	字
读页面缓冲器		写	DA	75H	7575H	读	PA	PD	PDPD				
页面缓冲器交换	6	写	DA	72H	7272H								
单个装载至页面缓冲器		写	DA	74H	7474H	写	PA	PD	PDPD				
顺序装载至页面缓冲器	4,5	写	DA	E0H	E0E0H	写	DA	BCH		写	DA	BCH	
页面缓冲器写至闪存阵列 §	3,4,5	写	DA	0CH	0C0CH	写	A0	BC(L,H)		写	WA	BC(H,L)	
擦除完时发出 RY/BY # 脉冲 §	7	写	DA	96H	9696H	写	DA	D0H	D0D0H				
写完时发出 RY/BY # 脉冲 §	7	写	DA	96H	9696H	写	DA	D1H	D1D1H				
RY/BY # 使能电平方式 §	7	写	DA	96H	9696H	写	DA	D2H	D2D2H				
RY/BY # 禁止 §	7	写	DA	96H	9696H	写	DA	D3H	D3D3H				
锁定块/认可 §		写	DA	77H	7777H	写	BA	D0H	D0D0H				

(续表)

命 令	注释	第一总线周期				第二总线周期				第三总线周期			
		操作	地址	数 据		操作	地址	数 据		操作	地址	数 据	
				字节	字			字节	字			字节	字
上装状态位/认可 §	2	写	DA	97H	9797H	写	DA	D0H	D0D0H				
读扩展状态寄存器	1	写	DA	71H	7171H	读	RA	GSRD/BSRD					
擦除全部未锁定块/认可 §		写	DA	A7H	A7A7H	写	DA	D0H	D0D0H				
睡眠		写	DA	F0H	F0F0H								
中止		写	DA	80H	8080H								
上装器件信息		写	DA	99H	99H	写	DA	D0H	D0D0H				

地址:

数据:

数据计数:

DA 器件地址

AD

写地址

WC(L,H) 字计数(低,高)

BA 块地址

CSR

CSR 数据

BC(L,H) 字节计数(低,高)

IA 标识符地址

G/BSRD

GSR/BSR 数据

WD(L,H)V 写数据(低,高)

PA 页面缓冲器地址

ID

标识符数据

RA 扩展寄存器地址

WD

写数据

WA 写地址

PD

页面缓冲器数据

X 无关

§ = 可排队的命令

注:1. RA 可以是 GSR 地址或任何 BSR 地址。

2. 器件上电时,全部 BSR 锁定位被锁定。锁定状态上装命令必须写入,以反映锁定位状态。

3. A₀ 自动取补,从而装载数据的第二字节。

4. 对于本产品而言,因为页面缓冲器大小是 256 字节,为了避免将页面缓冲器内容写入一个阵列块内超过一个 256 字节段, BCH/WCH 必须处于 00H。它们简单地表示页面缓冲器的可扩展性。

5. 在(未示出的)第四周期开始提供 PA 和 PD(其计数在周期 2 和 3 给出)。

6. 该命令允许用户在可用页面缓冲器之间交换(0 或 1)。

7. 这些命令重新配置 RY/BY# 输出为两种脉冲方式中的一种,或者它们使能和禁止 RY/BY# 功能。

5.0 器件状态寄存器

每个 28F016SA 有三种类型的状态寄存器:兼容状态寄存器(CSR)、全局状态寄存器(GSR)和块状态寄存器(BSR)。兼容状态寄存器与 28F008SA 的状态寄存器相同。全局状态寄存器包含关于每个器件的排队和页面缓冲器信息。器件内的每个块有一个块状态寄存器归其所有。块状态寄存器包含块锁定状态和正被寻址块的特殊信息。

表 12 兼容状态寄存器

只读寄存器							
WSMS	ESS	ES	DWS	VPFS	保 留		
7	6	5	4	3	2	1	0

缺省值:80H

CSR.7 = 写状态机状态 (WSMS)
1 = 就绪
0 = 占线

CSR.6 = 擦除暂停状态 (ESS)
1 = 擦除暂停
0 = 擦除正在进行/结束

CSR.5 = 擦除状态 (ES)
1 = 块擦除出错
0 = 块擦除成功

CSR.4 = 数据写状态 (DWS)
1 = 数据写出错
0 = 数据写成功

CSR.3 = V_{PP} 状态 (VPFS)
1 = V_{PP} 低电平检测, 操作中
0 = V_{PP} 正常

表 13 全局状态寄存器

WSMS	ESS	ES	DWS	VPFS	保 留		
7	6	5	4	3	2	1	0

缺省值:80H

CSR.7 = 写状态机状态 (WSMS)
1 = 就绪
0 = 占线

CSR.6 = 擦除暂停状态 (ESS)
1 = 擦除暂停
0 = 擦除正在进行/结束

CSR.5 = 擦除状态 (ES)
1 = 块擦除出错
0 = 块擦除成功

CSR.4 = 数据写状态 (DWS)
1 = 数据写出错
0 = 数据写成功

CSR.3 = V_{PP} 状态 (VPFS)
1 = V_{PP} 低电平检测, 操作中
0 = V_{PP} 正常

表 14 块状态寄存器

BS	BLS	BOS	BOAS	QS	VPFS	保 留	
7	6	5	4	3	2	1	0

缺省值:80H

BSR.7 = 块状态 (BS)
1 = 就绪
0 = 占线

BSR.6 = 块锁定状态 (BLS)
1 = 用于写/擦除的未锁定块
0 = 用于写/擦除的锁定块

BSR.5 = 块操作状态 (BOS)
1 = 操作不成功
0 = 操作成功或正在运行

BSR.4 = 块操作中止状态 (BOAS)
1 = 操作中
0 = 操作未中止

BSR.3 = 排除状态 (QS)
1 = 队列满
0 = 队列可用

BSR.2 = V_{PP} 状态 (VPFS)
1 = V_{PP} 低电平检测, 操作中
0 = V_{PP} 正常

6.0 PCMCIA 插件信息结构

插件信息结构 (CIS) 从插件属性存储器平面的地址 00000000H 开始, 它包含一个长度可变的符合基本格式的数据块 (元组) 的可变长度链 (表 15)。系列 2+ 闪存存储器插件的 CIS 可在表 16 中找到。

表 15 PCMCIA 元组格式

字节	数 据
0	元组代码: CISTPL_ xxx。元组代码 0FFH 表示在表中没有元组。
1	元组链接: TPL_LINK。链接至表中下一个元组。这可以被看作为元组中的额外字节数量, 但不包括本字节。零链接字段表示空元组体。链接字段包含 0FFH 表示表中的最后一个元组。
2-n	属于该元组的字节数。